

## 특 집

# 네트워크프로세서 기술의 표준화 동향

김 봉 완, 곽 동 용, 김 봉 태

한국전자통신연구원 네트워크연구소 네트워크핵심기술연구부

## I. 서 론

인터넷 트래픽의 폭발적 증가에 의해, 네트워크 장비의 고속화가 진행되고 있다. 이러한 고속화와 더불어 사용자들의 고품질 서비스 요구에 부응하기 위해서는, 고속이면서도 유연한 패킷 처리가 가능해야 한다. 단순히 속도만이 중요하다면 전용 ASIC을 사용한 구현이 가장 효과적이다. 하지만 이 경우 유연성(flexibility)이 떨어져서 스케줄링 방식을 바꾼다든지 등의 새로운 QoS의 요구에 대처하기가 힘들다. 반면에 일반 프로세서를 통해 구현한다면, 유연하고 다양한 처리가 가능하나 속도의 한계를 갖는다.

이러한 단점들을 극복하는 새로운 대안이 네트워크프로세서이다. 네트워크프로세서는 하나의 범주에 넣기에는 너무 다양한 형태를 갖지만, 몇 가지 특징을 요약하면 다음과 같다<sup>[1][2][3]</sup>. 첫째, 네트워크 프로토콜 처리에 적합한 축소된 명령어를 처리하는 마이크로 코어가 있다. 통상 RISC 코어를 사용하지만, 컴팩트한 명령어 세트로 고속처리가 가능하다. 또한 병렬처리를 위해 4개 이상의 코어를 집적하는 추세이다. 둘째, 네트워크 데이터 처리에 적합한 입출력 구조를 갖는다. 물리층 디바이스와 직접 연결이 되거나, 네트워크 칩 벤더들이 사용하는 버스 구조의 입출력 인터페이스를 장착함으로써, 네트워크 데이터가 바로 네트워크프로세서에서 처리되어 진행될 수 있다. 셋째로 넓은 대역폭을 갖는 내부 메모리를 들 수 있다. 네트워크 데이터의 처리에는 IP 룩업, QoS를 위한 정책 선택 등을 위해 빈번한 메모리 참

조가 필요하다. 만일 7계층 룩업까지를 고려한다면, 물리적 네트워크 대역폭의 32배의 메모리 대역폭이 필요하다는 분석 결과도 있다<sup>[4]</sup>.

네트워크프로세서는 필요에 의해 네트워크 부품 업체들을 중심으로 독자적으로 발전해 왔다. 따라서 각 업체들의 자신들의 칩셋에 맞는 인터페이스 구조로 네트워크프로세서를 개발하게 되었고, 다른 회사의 칩셋과는 호환성을 갖지 못하는 문제가 발생하여 네트워크프로세서의 발전에 장애를 갖게 되었다. 이를 타개하고자 표준화 논의가 활발해졌고, 네트워크프로세서와 관련된 중요한 표준화 논의가 OI 포럼(Optical Internetworking Forum)과 NP 포럼(Network Processing Forum)을 중심으로 진행되고 있다.

본 논문에서는 이러한 네트워크프로세서 관련 표준화 논의들을 다루고자 한다. 2장에서는 네트워크프로세서에서 표준화 논점들에 대해서 다룬다. 3장과 4장에서는 각각 OI 포럼과 NP 포럼의 표준화 진행상황을 살펴본다. 그리고 5장에서 결론을 맺는다.

## II. 네트워크프로세서 관련 표준화 논점

기본적으로 네트워크프로세서는 각기 다른 업체에서 독자적으로 발전해 왔기 때문에, 네트워크프로세서 내부에 대한 표준화 논의는 사실상 불가능하여 논의되고 있지 않다. 따라서 하드웨어적으로는 네트워크프로세서와 주변 칩들간의 인터페이스 부분에 표준화 논의가 집중되고 있

다. 또한 다양한 네트워크프로세서에 라우팅 프로토콜 등의 상위 프로그램들이 동일하게 사용될 수 있도록 소프트웨어적인 프로그래밍 인터페이스 표준화 작업도 활발하다. 그리고 네트워크프로세서를 선택하는 사용자 입장에서 선택의 기준이 될 수 있는 성능 지표를 정하는 벤치마킹에 관한 논의도 NP 포럼에서 이루어지고 있다.

〈그림 1〉은 일반적인 네트워크프로세서와 주변 칩들과의 연결 구조를 나타내고 있다. 네트워크프로세서는 먼저 물리계층 칩(PHY)과 정합과 스위치 장치(Switch Fabric)와의 정합 부분이 존재한다. 패킷 데이터의 큰 흐름이 물리계층 칩에서 네트워크프로세서를 거쳐 스위치로 향하기 때문에 상기한 두 인터페이스는 네트워크프로세서에 반드시 존재하게 된다. 그리고 네트워크프로세서에 따라서는 역할 분담을 위해 또 다른 네트워크프로세서와의 정합이 존재할 수 있다. 이렇게 살펴본 세 부분은 패킷 데이터의 전송 속도만큼이나 보장되는 전송 속도를 가져야 한다. 즉 OC-192(10 Gbps)의 물리층 연결을 갖는다면, 이 세 연결도 10 Gbps의 데이터 전송 및 부가적인 제어 정보를 보낼 수 있는 만큼의 전송 속도를 갖는 표준이 필요한 것이다(NP 포럼에서는 이 세 연결 부분을 스트리밍 인터페이스(Streaming Interface)로 정의하고 있다.). 이와 더불어 전체 패킷 데이터는 아니더라도 부분적인 패킷 데이터 전송이 이루어지는 메모리나 보조 프로세서(Co-processor)와의 인터페이스도 정의되어야 한다(NP 포럼에서는 이 부분을 Look-

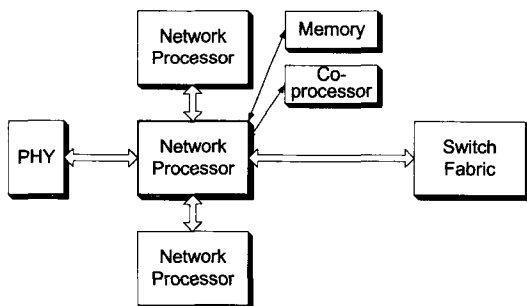
Aside로 정의하고 있다.).

네트워크프로세서 관련 표준화 논점은 위에서 기술한 하드웨어적인 인터페이스의 표준화 논의와 더불어, 소프트웨어적으로 상위 라우팅 프로토콜과의 인터페이스를 포함한다. 라우팅 프로토콜을 개발하는 업체 입장에서는 다양한 네트워크프로세서에 적용 가능하기 위해서는 표준적인 프로그래밍 인터페이스, 즉 API(Application Programming Interface)의 통일이 필요하다. IETF(The Internet Engineering Task Force)의 ForCES(Forwarding and Control Element Separation) 분과(Working Group)와 NP 포럼의 소프트웨어 분과에서 활발한 표준화 논의가 진행 중이다.

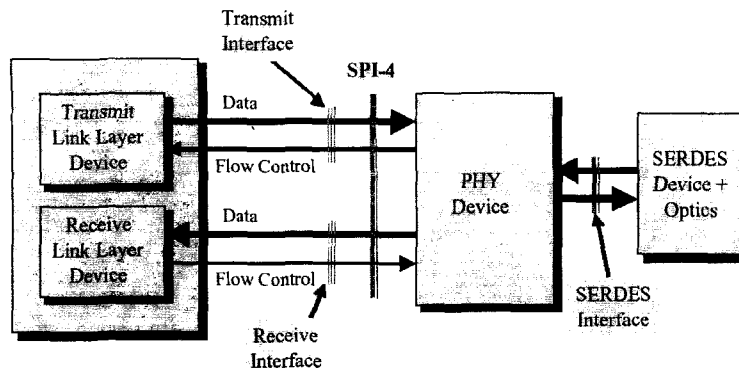
현재 네트워크프로세서 간의 성능에 직접 비교에 대한 기준이 없어서 사용자들이 자신의 시스템에 적합한 네트워크프로세서 선정에 어려움을 겪고 있다. 이의 해결을 위해 NP 포럼에서는 네트워크프로세서의 성능 비교가 가능하도록 벤치마킹에 관한 표준화 논의가 진행 중이다.

### III. OI 포럼의 네트워크프로세서 관련 표준화 활동

OI 포럼에서는 광 네트워크 기술을 사용하여, 네트워크프로세서와 같은 라우팅 혹은 스위칭 제품과 서비스의 상호연동(interoperable) 방안을 논의하고 있다. 기본적으로는 OI 포럼은 네트워크프로세서에 대한 직접적인 표준을 제정하는 기관은 아니다. 다만 여기서 제정된 몇몇 표준들이 네트워크프로세서의 하드웨어 인터페이스로 그대로 사용되거나, 일부 변형되어 사용되기 때문에 이 곳의 표준화 활동은 결과적으로 네트워크프로세서의 표준에 반영되고 있다. 현재 전 세계적 인터페이스 규약으로 OC-48(2.5 Gbps) 패킷 인터페이스를 제공하는 SPI-3(System Packet Interface Level 3)과 OC-192(10 Gbps) 인터페이스의 SPI-4, 그리고 OC-768(40 Gbps) 인



〈그림 1〉 네트워크프로세서의 하드웨어 인터페이스 구조



〈그림 2〉 SPI-4.2 참조 모델

터페이스인 SPI-5가 제정되어 있다<sup>[5]</sup>. SPI-3, 4, 5는 현재 표준화가 완료되었기 때문에 본 논문에서는 자세히 다루지 않는다. 다만 현재 활발하게 개발되고 있는 10기가급 네트워크프로세서에 채용되고 있는 SPI-4.2(SPI-4 phase 2)를 중심으로 간략히 살펴본다.

〈그림 2〉는 SPI-4.2의 참조 모델을 나타내고 있다. 기본적으로 입출력 양방향에 대한 인터페이스를 갖고, 각 인터페이스는 데이터 경로와 제어 정보를 위한 역방향 경로를 갖는다. 점대점(point-to-point) 연결 방식이고, 256 포트를 지원한다. 데이터 경로는 라인당 622 Mbit/sec 이상의 속도로 LVDS(Low Voltage Differential Signal, IEEE 1596.3) 입출력 신호방식을 통해 16 비트로 전송한다. 이 데이터 경로로는 데이터와 포트 주소, 패킷의 시작 및 끝 점, 그리고 에러 제어 코드가 함께 전달된다. 흐름제어(flow control) 경로는 2비트로 FIFO(First-In First-Out) 상태 정보를 전송하여, 데이터 전송 가능 여부를 알려줄 수 있다.

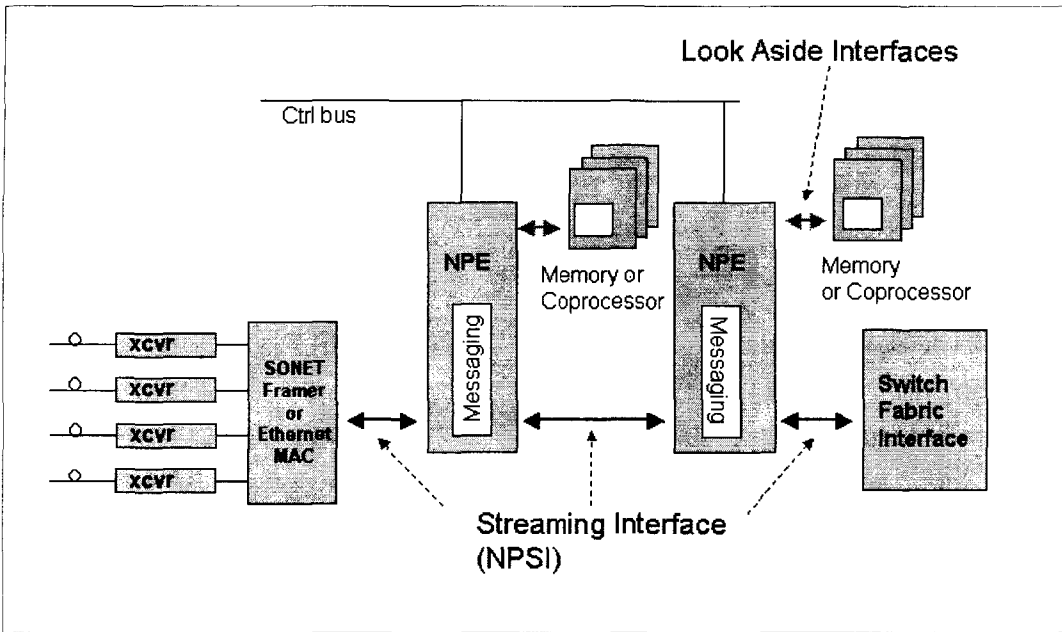
#### IV. NP 포럼의 표준화 활동

NP 포럼(Network Processing Forum)은 네트워크 소자 및 시스템 업체, 그리고 메모리나 FPGA 같은 관련 주변 소자들을 생산하는 업체

들로 구성되어 있으며, 네트워크 프로세싱 기술에 기반을 둔 차세대 네트워킹 및 통신 제품의 개발을 촉진하기 위해 조직되었다<sup>[6]</sup>. NP 포럼은 전신인 Common Switch Interface Consortium(CSIX)과 Common Programming Interface Forum(CPIX), 두 기관이 합쳐져서 2001년 2월 19일 출범하였다. 2002년 9월 13일 현재 91개 社가 참여하고 있으며, 참여사로는 국내의 ETRI, 삼성전자, Paion을 비롯해 Intel, IBM, NEC, Vitesse, Agere Systems, Avici, IDT, PMC-Sierra, C-Port, Sony, Xilinx, ZettaCom 등이 있다.

현재 NP 포럼은 크게 네 개의 분과(Working Group)를 두고 있다. CSIX 활동을 이어받은 하드웨어 분과(Hardware Working Group), CPIX를 이어받은 소프트웨어 분과(Software Working Group), 성능 지표를 다루는 벤치마킹 분과(Benchmarking Working Group), 그리고 기술교육 마케팅 분과(Technical Education and Marketing Working Group)를 두고 있다. 본 논문에서는 앞으로 네트워크프로세서의 구조와 밀접한 관계가 있는 하드웨어 분과의 활동을 중심으로 살펴본다.

NP 포럼의 하드웨어 분과에서는 소분과(task group)로, 스트리밍 인터페이스(Streaming Interface), 룩어사이드(Look-Aside), CSIX-L2 등의 소분과를 두고 있다. 스트리밍 인터페이스 소분과에서는 물리 계층과 연결되는 프레임



〈그림 3〉 NP 포럼 시스템 블럭도

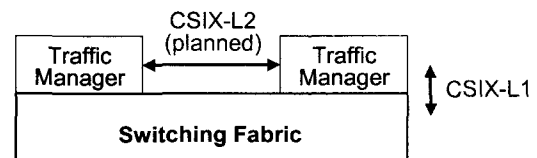
(framer)와의 접속, 네트워크프로세서간의 접속, 그리고 네트워크프로세서와 스위치 장치간의 접속에 대한 표준안을 도출하고 있다. 룩어사이드 소분과에서는 패킷 데이터의 흐름상 경로에 있지 않은 보조 프로세서(Co-processor)와의 접속, 그리고 메모리 칩들과의 접속 표준을 정하고 있다. 〈그림 3〉은 이러한 NP 포럼의 시스템 블럭도를 나타내고 있다.

NP 포럼 하드웨어 분과의 전신인 CSIX에서는 2000년 8월에, 스위치 칩과 네트워크프로세서 사이의 인터페이스 표준을 규정하는 CSIX-L1 (CSIX Layer 1) 버전 1.0 표준안을 제정 발표하였고<sup>[7]</sup>, 현재 스위치 관련 많은 업체들이 이 표준에 맞는 스위치를 개발하고 있다. CSIX에서 말하는 layer는 〈그림 4〉와 같다. 트래픽 매니저(TM: Traffic Manager)에서는 네트워크 트래픽의 관리, 즉 패킷 전달 및 큐잉, 스케줄링 작업이 이루어진다. 보통 네트워크프로세서의 칩셋이 이러한 TM의 역할을 수행한다. CSIX-L1은 이러한 TM과 스위치 장치 사이의 인터페이스 표준안이다. 현재 많은 네트워크프로세서가 CSIX-

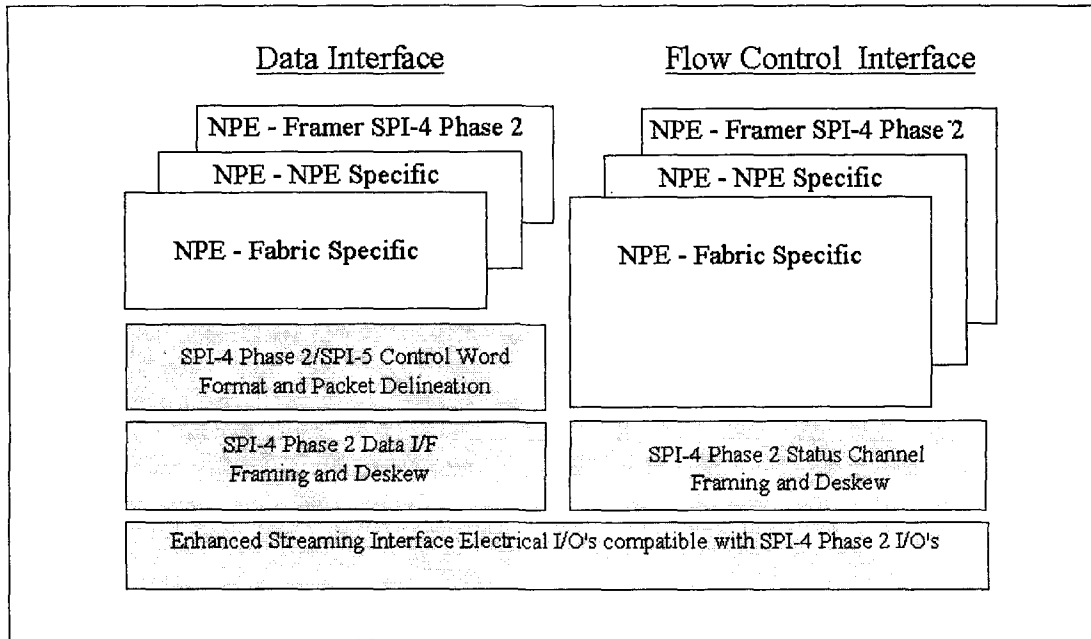
L1 인터페이스를 채용하였거나, 채용할 예정이다. CSIX-L2는 TM간의 흐름제어 등에 관한 규약으로, 현재 NP 포럼의 CSIX-L2 소분과에서 표준화가 진행중이다.

CSIX-L1 표준안에서는 32~128bits의 라인을 통해 100 Mhz~250 Mhz의 클럭으로 최대 32Gbps의 속도로 라인카드와 스위치 장치를 연결한다. 예를 들어, OC-48(2.5Gbps)의 속도를 제공하기 위해서는 32bit 100 Mhz로, OC-192(10Gbps)로 연결하기 위해서는 64bit 200 Mhz 혹은 128bit 100 Mhz의 조합으로 구현 가능하다. 현재로서는 OC-48(2.5Gbps)에 최적화가 되어있다.

위와 같이 CSIX-L1은 2.5Gbps에는 적합하나, 10Gbps에서는 인터페이스의 편 수가 많이



〈그림 4〉 CSIX 인터페이스의 위치



〈그림 5〉 스트리밍 인터페이스 참조 모델

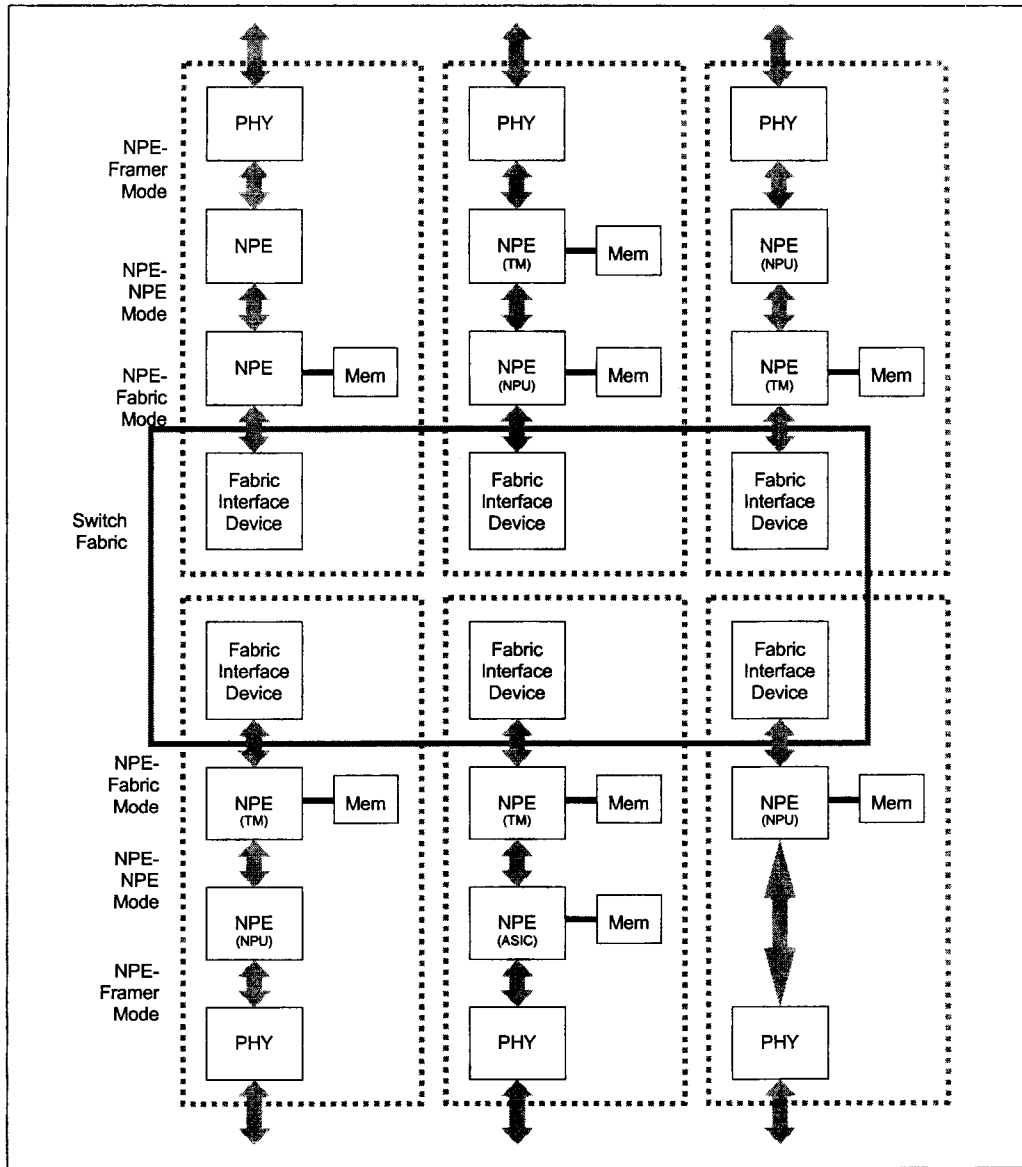
소요되는 문제를 갖고 있다. 이러한 문제를 극복하기 위해서 NP 포럼의 스트리밍 인터페이스 소분과에서는 OI 포럼의 SPI-4에 기반을 둔 새로운 NP 포럼 스트리밍 인터페이스(NPSI: NPF Streaming Interface)의 표준화 작업을 진행 중이다. 〈그림 5〉에서 보듯이, NPSI는 크게 세 종류의 참조 모델을 제안하고 있다. 세 가지의 참조 모델은 네트워크프로세서와 같은 네트워크 프로세싱 소자(NPE: Network Processing Element)와 물리층 칩과의 연결(NPE-Framer), 스위치와의 연결(NPE-Switch), 또 다른 NPE와의 연결(NPE-NPE)이다.

〈그림 6〉은 이러한 NPSI의 다양한 모델들이 사용된 사례를 보여주고 있다.

NPSI는 점대점 연결을 통해 16비트 데이터 경로를 갖는데, 소스 동기 double-edge clocking으로 라인당 최소 311 Mhz(622 Mbps)를 갖는다. SPI-4.2의 LDVS와 전기적 호환성을 갖고 최고 라인당 1.3 Gbps 이상의 전송속도를 제공한다. In-band로 data multiplexing, flow control context, packet delineation, 그리고 error

control coding을 한다. SPI-4.2와 마찬가지로 데이터와 역방향으로 흐름 제어 경로를 갖고 있고, 이를 통해 in-band framing 및 error control coding을 실시한다.

NPE-Framer 모드는 OI 포럼의 SPI-4.2를 그대로 사용하기로 결정된 상태이다. 그러나 NPE-Switch 모드나 NPE-NPE 모드의 경우는 SPI-4를 그대로 사용하기에는 헤더의 크기나 흐름 제어의 정보량이 부족하여 독자적인 포맷을 정의하였다. NPE-Switch 모드에서는 최대 256 클래스에 대한 4096개의 egress 포트를 지원하고, 유니캐스트와 멀티캐스트 트래픽을 제공한다(포트 정보를 쪼개어 서브포트로 지정할 수도 있다.). Data Ready 신호를 통한 링크레벨 흐름 제어와 포트와 서브포트 기반의 흐름 제어를 제공한다. 이러한 흐름 제어를 위해 흐름 제어 경로는 기본적으로는 SPI-4.2와 같은 2비트이나 옵션으로 4비트로 확장할 수 있다. NPE-NPE 모드는 256 포트를 제공하고, SPI-5 Pool Status Mechanism을 채용하여 흐름 제어의 정도(granularity)를 조절할 수 있도록 하였다. 나머지 사항들은 NPE-



〈그림 6〉 NPSI의 다양한 모델이 사용된 사례

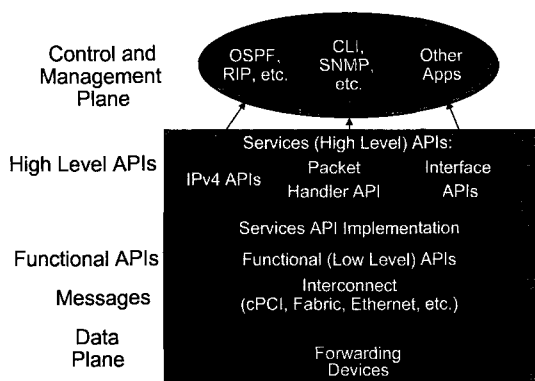
Switch 모드와 유사하다.

위와 같은 스트리밍 인터페이스 소분과 활동과 더불어, 록어사이드 소분과에서는 memory mapped 방식의 인터페이스인 LA-1을 2002년 초에 발표하였다. LA-1은 OC-48에서는 4번의 록업을 OC-192에서는 1번의 록업이 가능한 속도를 제공한다(여기서 록업을 위한 패킷 수는 40바이트

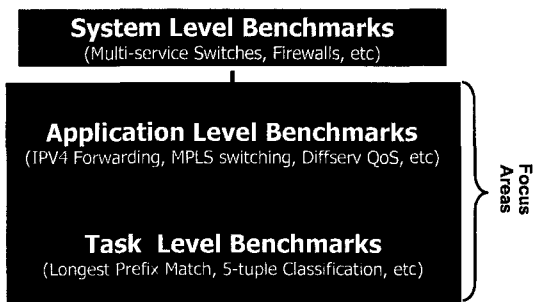
패킷과 144비트 서치키(Search Key)를 사용한 라인속도에 대한 가정이다.). 현재는 LA-1의 4배 성능을 제공할 수 있는 LA-2에 대한 표준화 작업이 진행되고 있다.

NP 포럼 소프트웨어 분과에서는 네트워크프로세서와 수많은 응용 소프트웨어간의 통일적인 소프트웨어 인터페이스에 대한 표준화 작업을 진행

### V. 결 론



〈그림 7〉 NP 포럼 API Framework



〈그림 8〉 NP 포럼 Benchmarking Framework

중이다. 〈그림 7〉에서 보듯이, NP 포럼 표준 API를 통해 통일적인 방식으로 네트워크프로세서와 상위 라우팅 관련 프로그램들과의 정보 교환이 가능하게 하는 것을 목표로 하고 있다. 현재까지는 IPv4 포워딩 API 마련에 주력하였고, 최근에 IPv6 및 MPLS 연구 그룹(Study Group)을 결성하여 이들에 대한 표준화 작업도 진행중이다.

벤치마킹 분과에서는 네트워크프로세서의 성능 분석을 돕기 위한 표준 벤치마킹 도구 개발에 주력하고 있다. 현재 IPv4 포워딩 응용단계 벤치마킹에 대한 구현 약정(Implementation Agreement)이 발표되어 있고, 〈그림 8〉에서 보듯이 앞으로 더 많은 부분들에 대해서 벤치마킹을 위한 도구들을 표준화할 계획이다.

네트워크프로세서의 표준화 작업은 NP 포럼을 중심으로 활발히 진행되고 있다. 하드웨어의 표준을 정하던 CSIX와 프로그래밍 환경의 표준을 정하던 CPIX가 합쳐져서 만들어진 NP 포럼은, 현재 90여 개 네트워크프로세서 관련 회사가 참여하고 있다. 2000년 8월 CSIX-L1이 발표되어 스위치와 트래픽 매니저 사이의 하드웨어적인 규약이 정해졌고, 2002년 초에는 록어사이드 인터페이스 표준인 LA-1이 발표되었다. 현재 10 Gbps급의 스트리밍 인터페이스 규약인 NPSI의 표준화 작업이 거의 마무리되어 올 연말쯤에는 공식으로 발표될 예정이다. 소프트웨어 API도 IPv4 포워딩 API를 시작으로 현재 IPv6와 MPLS에 대한 표준화 작업이 활발하고, 벤치마킹 도구들도 하나씩 발표되기 시작하고 있다.

NP 포럼을 중심으로 한 이러한 네트워크프로세서 관련 표준화 작업을 올 연말을 기점으로 기초적인 표준화 작업이 마무리될 것으로 보인다. 특히 올 연말경에 10 Gbps급의 네트워크프로세서에 관한 하드웨어 인터페이스인 NPSI가 발표되면, 내년부터는 NP 포럼 표준 인터페이스를 따르는 10G 네트워크프로세서들이 대거 출시될 것으로 보인다. 또한 표준 API들이 정해지고, 네트워크프로세서 업체들이 이 API 따른 하위 코드들을 제공해 주면, 다양한 라우팅 프로토콜들이 네트워크프로세서 종류에 구애되지 않고 쉽게 설치될 수 있을 것으로 예상된다.

#### 참 고 문 헌

- (1) 김봉완, 이형호, "네트워크프로세서의 응용과 표준화 동향", 전자공학회지, 제28권 10호, pp.94-101, 2001년 10월.
- (2) 이형호, 김봉완, 안병준, "테라비트 라우터 기술", Telecommunications Review, 제 11권 2호, pp.237-247, 2001년 4월.

- [3] Linley Gwennap and Bob Wheeler, A Guide to Network Processors, 3rd Edition, MiroDesign Resources, 2002.
- [4] [http://www.ezchip.com/html/tech\\_7\\_layers.html](http://www.ezchip.com/html/tech_7_layers.html)
- [5] [http://www.oiforum.com/public/elec\\_interface.html](http://www.oiforum.com/public/elec_interface.html)
- [6] <http://www.npforum.org>
- [7] "CSIX-L1 : Common Switch Interface Specification-L1", <http://www.csix.org/csix1.pdf>, Aug. 2000.

## 저자 소개



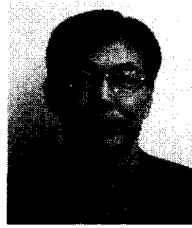
金 奉 完

1992년 2월 한양대학교 전자공학과 (공학사), 1994년 2월 한국과학기술원 전기 및 전자공학과 (공학석사), 2000년 8월 한국과학기술원 전자전산학과 (공학박사), 2000년 10월~현재 : 한국전자통신연구원 네트워크핵심기술연구부 선임연구원, <주관심 분야 : 네트워크프로세서 구조, 상호연결망 구조, 인터넷 QoS, IPv6 변환>



郭 東 鎔

1983년 2월 동국대학교 전산학과 (공학사), 1985년 9월 동국대학교 대학원 (공학석사), 1985년 9월~현재 : 한국전자통신연구원 네트워크 연구소 네트워크핵심기술연구부 NP라우팅팀장 (책임연구원), <주관심 분야 : 네트워크 트래픽 엔지니어링, 인터넷 QoS>



金 奉 泰

1983년 2월 서울대학교 공과대학 전자공학 학사, 1991년 12월 미국 NCSU 컴퓨터공학 석사, 1995년 12월 미국 NCSU 컴퓨터공학 박사, 1983년 3월~현재 : 한국전자통신연구원 (ETRI), 네트워크핵심기술연구부장, 1985년 1월~1986년 12월 : 미국 ITT Telecom 방문연구원, <주관심 분야 : 네트워크 시스템, 홈네트워크, 모뎀, VoIP/NGN>