

네트워크프로세서의 최신 기술개발 동향

진 승 의, 곽 동 용, 김 봉 태

한국전자통신연구원 네트워크연구소 네트워크핵심기술연구부

I. 서 론

고속화되고 다양화된 인터넷 서비스 수요가 증대함에 따라 다양한 프로토콜을 수용하는 고성능 네트워크 장비의 필요성이 대두되게 되었다. 이러한 배경에서 최근에 개발되고 있는 Gbps급 이상의 고속 네트워크 장비는 패킷처리 성능을 높이고 다양한 프로토콜을 효과적으로 수용하기 위하여 패킷 제어 플레인(packet control plane)과 패킷 포워딩 플레인(packet forwarding plane)을 분리하면서 패킷처리 부하를 포워딩 플레인을 구성하는 각 라인 인터페이스로 분산시킨 구조를 채택하고 있다. 분산 구조 기반의 네트워크 장비에서 다양한 프로토콜 기반의 패킷처리를 지원하기 위하여 각 프로토콜에 적합한 라인 인터페이스부의 개발은 필수적으로 요구된다. 고속의 패킷 포워딩 플레인 상에서 다양한 프로토콜을 수용하는 라인 인터페이스부를 구현하기 위하여 다양한 패킷처리 알고리즘을 고속으로 수행하는 프로세서가 필요하게 되었다. 이러한 요구를 충족시키기 위하여 네트워크프로세서(network processor)라는 새로운 기능성 소자가 개발되게 되었다.

네트워크프로세서는 이름에 명시되어 있는 것처럼 다양한 네트워크 알고리즘이나 프로토콜을 프로그램할 수 있도록 전용화된 프로세서 구조를 갖는다. 일반적으로 네트워크프로세서는 OSI 7계층(OSI 7 layer) 구조에서 3계층(L3 layer)에 해당하는 네트워크 계층에서부터 응용계층에

해당하는 7계층(L7 layer)까지의 프로토콜 스택과 관련된 패킷처리를 지원하는 것을 목적으로 한다. 이러한 관점에서 보면 네트워크프로세서는 비교적 단순한 IP 목적 주소 룩업(IP destination address lookup)에서부터 많은 계산량을 요구하는 방화벽 처리 기능까지 광범위한 패킷처리 작업을 수행할 수 있어야 한다. 앞에서 언급한 것처럼 다양한 응용에 유연하게 적용할 수 있게 하기 위하여 네트워크프로세서의 동작을 프로그램 기반으로 자유롭게 정의할 수 있도록 하고 있다. 그러나, 광전송 기술의 급속한 발전으로 인한 전송 대역폭 증대로 단일 네트워크 인터페이스의 처리속도에 대한 요구가 10Gbps급에 이르고 있어 실질적으로 프로그램 기반의 패킷처리에 대한 유연성을 무한으로 제공할 수는 없는 상황이다. 따라서, 네트워크프로세서는 필수적으로 요구되는 고정된 네트워킹 기능을 라인속도를 유지하도록 하드웨어화하여 지원하고 추가적으로 특정 프로토콜 서비스 기능을 수용할 수 있는 유연한 구조로 진화하고 있다.

본 고에서는 네트워크프로세서 진화와 함께 대두되고 있는 관련 최신 기술들에 대하여 살펴보기로 한다. 제2장에서는 현재 개발되고 있는 네트워크프로세서의 핵심 구조를 소개하고 제3장에서 네트워크프로세서의 구조를 형성하는 핵심 기술 요소들에 대하여 논의한다. 제4장에서는 실리콘 기술의 한계에 도전하고 있는 10Gbps급 네트워크프로세서의 개발 동향에 대하여 다룬다. 마지막으로 향후 네트워크프로세서의 개발 방향을 조감해 보고 결론을 맺는다.

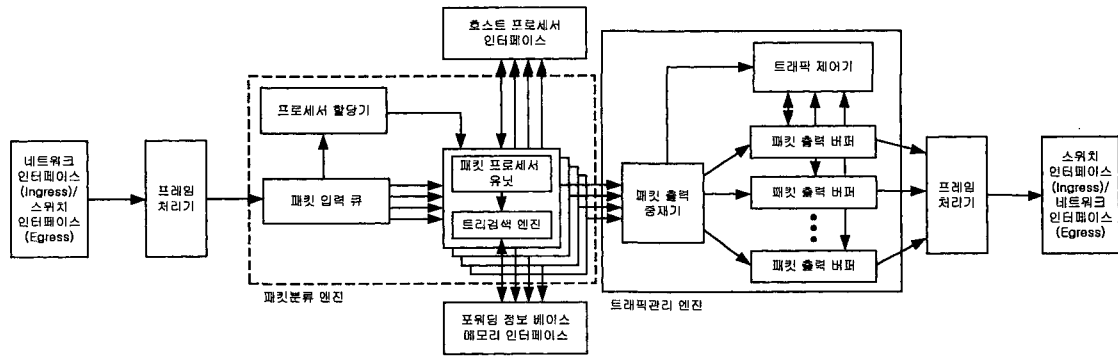
II. 네트워크프로세서의 구조

네트워크프로세서 구조는 크게 패킷 분류 엔진(packet classification engine), 트래픽 관리 엔진(traffic management engine)의 2개 엔진부와 외부 인터페이스부의 3개 핵심요소로 구성된다. 외부 인터페이스부는 라인 인터페이스와 연동하는 네트워크 인터페이스, 네트워크 장비 내부의 스위치 패브릭과 연동하기 위한 스위치 인터페이스, 네트워크프로세서 외부의 제어용 호스트 프로세서와 연동하기 위한 호스트 인터페이스로 구성된다. 앞에서 기술한 내용을 바탕으로 <그림 1>에 네트워크프로세서의 핵심 구조를 개념화하여 도시하였다. 각 핵심요소에 대하여 다음 3장에서 상세히 알아 보기로 한다.

<그림 1>에 도식화한 구조는 네트워크프로세서가 수용해야 할 기능요소들을 고려하여 공통 플랫폼을 제시한 것이다. 현재 개발되고 있는 네트워크프로세서는 해당 제조업체별로 고유의 특화된 구조를 갖고 있어 단일화된 참조 모델을 제시하기는 어려운 실정이다. 그러나, 설계철학면에서

몇가지 공통점을 발견할 수 있는데 이를 정리하면 다음과 같다.

- 네트워크프로세서가 갖는 네트워크 인터페이스의 전송속도가 Gbps급을 상회하게 되면서, 패킷처리 엔진을 다중 프로세서로 구성하고 있다. 구체적으로 다중화하는 프로세서의 수나 프로세서 동작 주파수에는 차이가 있으나, <표 1>에 정리한 라인속도별 패킷처리 성능을 만족시키기 위하여 프로세서 협동체를 패킷엔진으로 채택하고 있다.
- 포워딩 정보를 저장하기 위하여 일반적으로 경제적이며 대용량으로 구성할 수 있는 DRAM 계열의 칩 외장 메모리를 사용한다. 포워딩 정보 검색이 <표 1>에 정리한 라인속도별 패킷처리 성능을 만족시키는 범위 안에서 이루어 질 수 있도록 검색 알고리즘을 개발하고 이를 전용의 하드웨어 엔진으로 구현함으로써 패킷처리 엔진의 부하가 적정 수준을 유지하도록 한다.
- QoS(quality of service)를 보장하는 네트워크 서비스에 대한 중요성이 높아짐에 따라



<그림 1> 네트워크프로세서 구조도

<표 1> 라인속도별 패킷처리 성능 요구 사항

라인속도 (Gbps)	0.155	0.622	2.5	10	40
요구되는 패킷처리 속도 ¹⁾ (Mpps)	0.48	1.94	7.81	31.25	125

주 1) 40바이트의 POS 최소 패킷에 대하여 요구되는 패킷처리 속도로 정의하였다.

단순한 FIFO(first-in-first-out) 형태의 패킷 버퍼 관리에서 탈피하여 우선순위나 서비스 클래스에 따라 별도의 버퍼를 만들어 관리하는 형태로 진화하고 있다. 이렇게 함으로써 플로우별로 다른 패킷처리 정책을 적용할 수 있게 된다.

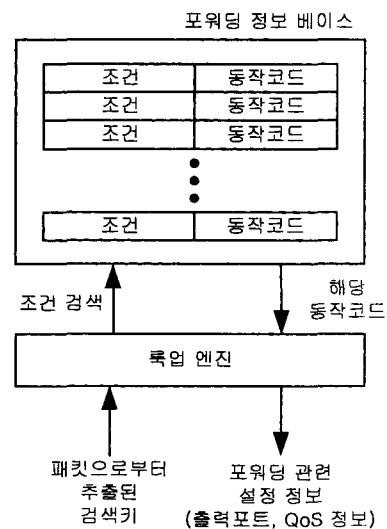
Ⅲ. 네트워크프로세서의 핵심 구성 요소별 개발 동향

1. 패킷 분류 엔진

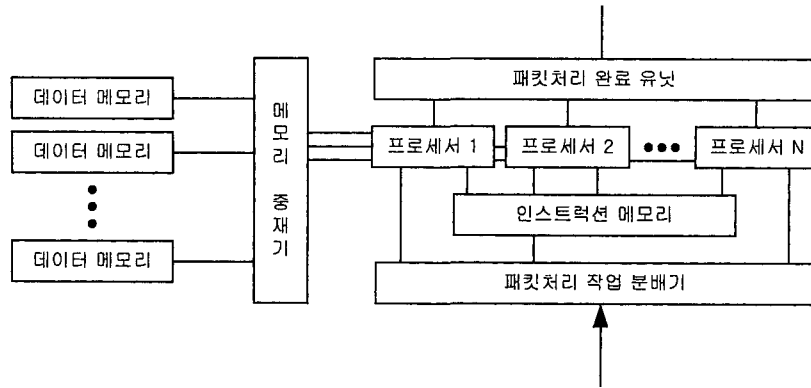
일반적으로 패킷 분류 엔진은 IP 주소 룩업 기능 수행을 기본으로 하고, 추가적으로 다양한 필드들을 조합하여 패킷 분류를 수행할 수 있도록 설계되고 있다. 룩업을 포함한 패킷 분류는 네트워크프로세서의 외부에 실장된 대용량 메모리 검색과정이 주를 이룬다. 패킷 분류 엔진을 논리적으로 추상화하여 기술하면 <그림 2>에서 제시한 것처럼 <조건-동작코드>쌍으로 정의된 정보로 구성된 데이터베이스를 매 패킷이 유입될 때마다 패킷에 포함된 특정 필드를 검색키로 하여 질의(query)하는 과정으로 정의할 수 있다. 네트워크프로세서와 연동하는 데이터베이스를 포워딩 정보 베이스(forwarding information base)라고 통칭하며, 이 포워딩 정보 베이스는 라우터 시스템 관리자에 의하여 정적으로 구축되거나 라우팅 프로토콜을 통하여 동적으로 구성되게 된다. 패킷에 포함된 특정 필드를 검색키로 포워딩 정보 베이스를 검색하는 동작을 일반적으로 룩업(lookup)이라고 통칭하며, 검색 성능을 높이기 위하여 네트워크프로세서마다 고유의 최적화된 검색 알고리즘을 제공하고 있다. 이러한 룩업 알고리즘은 네트워크프로세서에 내장된 패킷처리 엔진(packet processing engine)과는 별개의 전용 하드웨어 엔진으로 구현되고 있다. 많은 네트워크프로세서가 다중비트 검색 트리(multibit search trie) 구조를 기반으로 룩업의 신속성, 포워딩 정보 베이스 갱신 및 구축의 용이성, 포워

딩 정보 베이스 메모리 사용 효율성이라는 3가지 고려 사항에 대하여 자체적으로 최적화된 검색 알고리즘을 개발하고 있다^[1].

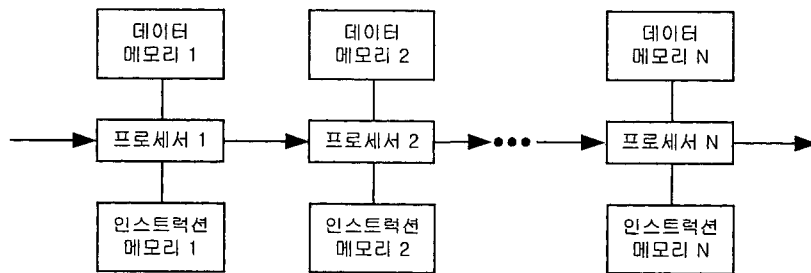
Gbps 이상의 전송속도를 갖는 패킷에 대한 룩업을 실시간으로 처리하기 위하여 네트워크프로세서 내부의 패킷처리 엔진으로 병렬처리 기반의 다중 프로세서 코어를 사용한다. 현재 네트워크 프로세서에 대표적으로 적용되고 있는 다중 프로세서 모델로는 RTC(Run-To-Completion) 모델과 파이프라인 모델이 있다^[2]. <그림 3>의 (a)에서 보는 것처럼 RTC 모델은 동일한 구조를 갖는 다중 프로세서들이 인스트럭션 메모리 및 컨트롤 메모리, 카운터 등의 자원을 공유하면서 할당된 태스크를 독립적으로 병렬처리하게 하는 구조를 갖는다. 현재 상용 네트워크프로세서의 대다수가 RTC 모델을 기반으로 한 다중 프로세서 구조를 채택하고 있다. RTC 모델을 채택한 대표적인 성공 사례로 IBM사의 NP4G 계열 네트워크프로세서를 들 수 있다. 파이프라인 모델은 <그림 3>의 (b)에서 보는 것처럼 각 프로세서가 패킷 처리를 위한 일련의 전체 태스크 중의 특정 기능 수행에 대한 임무를 부여받아 처리하게 하는 방식을 취하고 있다. 일부 상용 네트워크 프로세서에서 이 방식을 채택하여 개발 중에 있



<그림 2> 포워딩 정보 베이스 모델



(a) RTC 모델



(b) 파이프라인 모델

〈그림 3〉 네트워크프로세서의 다중 프로세서 구조 모델

으며, 향후 실제 시스템에 실장되어 성능 및 기능을 검증받을 것으로 보인다.

〈그림 2〉에 제시한 포워딩 정보 베이스 모델에서 조건을 단일 IP 목적주소에서 확장하여 IP 헤더내의 필드들 및 IP 패킷 데이터 내부에 있는 특정 필드들의 조합을 수용하도록 요구하는 응용들이 발생하고 있다. 그러한 응용의 대표적인 예로 QoS 플로우 매핑, 방화벽 응용, L4 스위칭, 웹 스위칭을 들 수 있다. 이러한 응용을 위하여 검색 필드의 다중화와 범위기반 검색 방식을 수용함에 따라 검색과정의 복잡도가 기하급수적으로 증가하게 된다. 검색과정의 복잡도가 증가함으로써 패킷마다 처리하여야 할 계산량은 그에 비례하여 증가하게 되고 포워딩 성능은 자연히 감소하게 된다. 이러한 성능저하 문제를 해결하기 위하여 CAM(content addressable memory)이나 패킷 분류 전용 보조 프로세서(packet

classification coprocessor)를 사용해서 네트워크프로세서가 감당해야 할 패킷처리 부하를 줄여주는 방안도 제안되고 있다^[3]. 대부분의 상용 네트워크프로세서는 CAM이 갖는 고비용, 고전력 소모, 낮은 집적도라는 단점 때문에 실질적으로 CAM을 수용하지는 않고 있으며, 패킷분류 전용 보조 프로세서 기능을 네트워크프로세서 내부로 수용하는 방향으로 진행하고 있다.

2. 트래픽 관리 엔진

트래픽 관리 엔진은 패킷 분류 엔진에 의하여 결정된 패킷별 포워딩 경로 설정 정보를 실제로 적용하여 패킷을 네트워크 인터페이스나 스위치 인터페이스로 송출하는 일련의 과정을 수행한다. 이 과정은 패킷 출력 큐잉, 패킷 출력 스케줄링, 트래픽 제어, 패킷 조립 및 분할의 동작들로 구성된다.

패킷 출력 큐잉/스케줄링 기능은 네트워크프로세서마다 지원하는 범위가 다양하다. 구분가능한 최대 플로우의 수에서부터 지원하는 스케줄링 알고리즘까지 네트워크프로세서마다 차이를 보인다. 지원가능한 최대 플로우 수를 높이고 스케줄링의 단위를 세분화할수록 패킷처리를 위하여 요구되는 시간이 증가하게 되어 포워딩 성능을 저하시키게 된다. 따라서, 네트워크프로세서에 구현된 룩업 기능과 스케줄링 기능이 성능을 위하여 최적화되었는지가 그 프로세서의 우수성을 가늠하는 척도가 된다고 볼 수 있다.

트래픽관리 엔진이 지원하는 기능에 의하여 QoS 서비스 구현의 범위가 정해진다. 대부분의 네트워크프로세서는 IETF(Internet Engineering Task Force) 인터넷 표준화 기구에서 권고하는 DiffServ(differentiated service) QoS 기본적인 메커니즘을 지원한다. DiffServ QoS 메커니즘을 지원하기 위하여 네트워크프로세서에

〈표 2〉 네트워크프로세서의 DiffServ QoS 기능 리스트

기능 분류	구현 방법
Metering	Token bucket 기반의 packet coloring 동작 지원 - SrTCM(single rate three color metering) - TrTCM(two rate three color metering)
Policing	Congestion 발생시 이를 해소하기 위한 메커니즘 지원 - Tail drop - WRED(weighted random early detection) - RIO(random early detection with in-and-out)
Shaping	Packet coloring 기반의 rate-limiting 지원
Scheduling	다중 출력 큐 구조에서 적용 - SP(strict priority) - WRR(weighed round robin) - CBWFQ(class based weighted fair queueing)

〈표 3〉 L2처리 소자별 인터페이스 리스트

L2처리 소자 분류	표준 인터페이스
GbE MAC	GMII/TBI, PL3
10GbE MAC	XGMII, SPI-4
OC-48 Framer	PL3
OC-192 Framer	SPI-4

서 구현되고 있는 세부 기능들에 대하여 아래 〈표 2〉에서 정리하였다.

3. 네트워크 인터페이스

서론에서 언급한 것처럼 다양한 프로토콜이 혼재되어 글로벌 인터넷망을 형성함에 따라 라우터와 같은 네트워크 장비가 지원해야 할 전송 매체 및 전송 프로토콜이 다양하게 존재한다. 따라서, 네트워크프로세서도 다양한 전송 프로토콜을 수용할 수 있도록 네트워크 인터페이스를 지원해야 한다. Gbps 이상의 전송속도에 적합한 전송 프로토콜로 Gigabit Ethernet(GbE)과 Packet Over SONET(POS)가 주류를 이루기 때문에 대부분의 네트워크프로세서에서 GbE와 POS를 기본적으로 지원하고 있다. 꾸준히 증가하고 있는 Gigabit Ethernet 스위치 시스템에 대한 수요를 고려하여 대부분의 네트워크프로세서가 GbE/10GbE MAC 기능은 칩 내부에 내장하는 추세이며, 그외의 네트워크 인터페이스는 네트워크프로세서 외부에 전용의 L2처리 소자를 활용할 수 있도록 표준 인터페이스를 제공하고 있다. L2처리 소자별로 요구되는 인터페이스를 〈표 3〉에서 정리하였다.

4. 스위치 인터페이스

스위치 인터페이스에 대한 네트워크프로세서의 지원추세는 제조업체별로 크게 두 가지 형태로 나뉘고 있다. 스위치 패브릭 솔루션을 함께 제공하는 경우에는 자사의 스위치 패브릭과 연동한 통합 솔루션에 초점을 맞추고 자사 고유의 스위치 인터페이스를 지원한다. 이와 반대로 네트워크프로세서만을 개발하는 제조업체의 경우는 다

큰 제조업체의 스위치 패브릭과 반드시 연동하여야만 하기 때문에 기본적으로 네트워크프로세서 포럼(Network Processor Forum: NPF)^[4]에서 제안하는 Common Switch Interface (CSIX) 및 NPF Streaming Interface(NPFSI)와 같은 표준 스위치 인터페이스를 따르고 있다.

CSIX-L1 표준은 OC-48급의 스위치 포트에 대하여 라인 속도를 제공하기 위해서 32-bit 100 MHz로 동작시킬 것을 권고하고 있으며, OC-192 스위치 포트에 연결하기 위해서 64-bit 200MHz 혹은 128-bit 100MHz의 조합으로 동작시킬 것을 권고하고 있다. 일반적인 100MHz의 동작 주파수에 128-bit 광폭의 데이터 버스가 요구됨을 고려할 때 CSIX-L1은 OC-192 전송속도에는 적합하지 않은 솔루션이라고 판단되며 현재로서는 OC-48 전송속도에 최적화가 되어있다고 볼 수 있다. 따라서, 대부분 네트워크프로세서가 CSIX-L1 표준을 OC-48급 이하의 스위치 포트에 대해서만 적용하고 있다.

NPFSI는 SPI-4.2를 기반으로 16-bit LVDS 데이터 버스를 사용함으로써 인터페이스 핀 수를 줄이면서 OC-192 이상의 전송속도를 제공하는 것을 목표로 하고 있다. 그러나, 본 원고를 작성하는 시점에도 NPFSI에 대한 표준화가 완료되지 않아 10 기가급 네트워크프로세서를 개발하는 업체에서 표준 NPFSI를 채택하지 못하고 있다. 이러한 표준 부재 상황에서 Ezchip을 포함한 일부 제조업체에서는 인터페이스 핀 수의 증가를 감수하고도 64-bit 200MHz의 CSIX-L1의 확장을 이용하고 있으며, Intel같은 경우는 16-bit 500MHz로 overclocking한 변형된 SPI-4.2 인터페이스를 사용하고 있다.

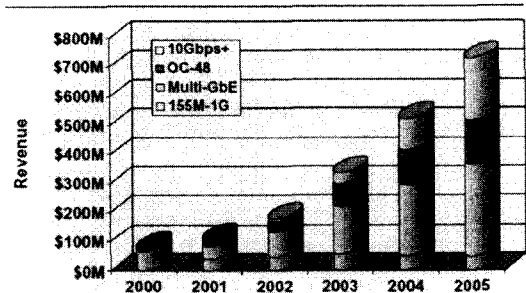
5. 호스트 인터페이스

호스트 인터페이스는 네트워크프로세서에 대한 제어 기능과 관리 기능을 수행하는 호스트 프로세서와 정합하는 기능을 수행한다. 호스트 프로세서로 power PC, MIPS와 같은 범용 프로세서를 활용하며, 일반적으로 PCI 인터페이스 규격 기반으로 네트워크프로세서와 통신한다.

IV. 10 Gbps급 네트워크프로세서 개발 동향

네트워크프로세서 개발의 초점이 2.5Gbps급에서 10 Gbps급으로 전환되고 있으며 일부 제조업체에서는 이미 초기 버전의 10 Gbps급 프로세서에 대한 개발을 완료하고 샘플 형태의 칩을 시스템 업체에게 배포하고 있는 상황이다. 프로세서를 개발하는 반도체 업체들은 현재 10 Gbps급 네트워크프로세서 칩셋 개발 경쟁에 주력하고 있으나, <그림 4>에서 분석한 네트워크프로세서 시장의 상황^[5]을 볼 때 현재 과도하게 과열된 10 Gbps급 프로세서 개발 경쟁은 문제가 있는 것으로 보인다. <그림 4>에서 보듯이 향후 2005년까지도 실제로 수익 창출의 중심은 단일 칩으로 2개 이상의 GbE 포트를 지원할 수 있는 중저가의 네트워크프로세서일 것으로 예측되고 있다. 이러한 시장 예측과는 달리 네트워크프로세서를 개발하는 대부분의 우수 반도체 업체들과 벤처 업체들이 10 Gbps급 네트워크프로세서 개발에 주력하고 있기 때문에 본 고에서는 10 Gbps급 네트워크프로세서에 대하여 살펴보기로 한다. 10 Gbps급 네트워크프로세서의 개발 방향을 정리하면 다음과 같다.

- 패킷분류 엔진과 트래픽 관리 엔진이 독립모듈의 칩으로 분화되고, 트래픽 관리 엔진 모듈에 대한 기능이 강화되는 성향을 보인다. 이는 10 Gbps급 라인 인터페이스를 갖는 라우터 시스템이 ISP의 코어망에 적용될 것을 고려하여



<그림 4> 네트워크프로세서 종류별 수익창출 예상 도표 (출처: Gartner Dataquest)

패킷 처리 서비스 품질의 향상에 대한 필요성이 강조되었기 때문인 것으로 판단된다.

- 프로그램 가능성을 극대화시킴으로써 응용에 대한 유연성을 높이는 계열과 전체 기능을 분할한 후 각 기능들을 고속의 하드웨어 엔진화하여 패킷처리 성능을 높이는 계열로 개발방향이 양극화되는 양상을 보인다.

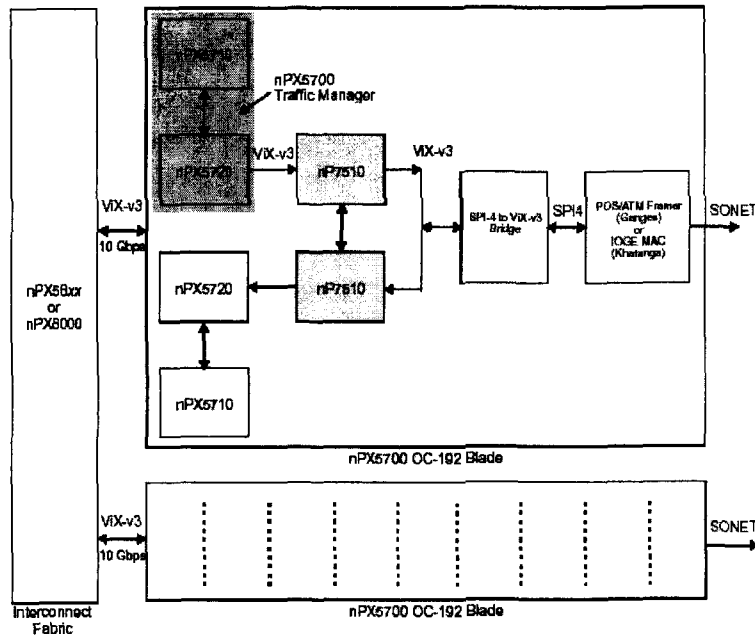
다음 각 절에서 대표적인 네트워크프로세서 제조업체가 개발하고 있는 10 Gbps급 네트워크 프로세서 솔루션에 대하여 간략히 살펴보기로 한다.

1. AMCC

AMCC사의 10 Gbps급 네트워크프로세서 솔루션은 패킷분류 엔진인 nP7510 칩과 트래픽 관

<표 4> AMCC사의 10Gbps 솔루션 특징

항 목	특징 요약
패킷 엔진 구조	6개의 RISC Core로 구성 각 Core는 NISC(Network Instruction Set Computing) 구조를 가짐 프로세서 동작 주파수: 450 MHz
출력 큐잉 구조	256개의 하부 포트를 갖는 구조 512K개의 플로우 지원
네트워크 인터페이스	AMCC 고유 ViX-v3 규격의 단일 포트만 지원 (ViX-v3: 단방향으로 128-bit 125 MHz 병렬 버스를 지원하는 구조) 별도의 ViX-v3와 SPI-4 변환 FPGA를 이용하여 외부의 OC-192 framer 및 10GbE MAC 소자와 정합해야 함
스위치 인터페이스	AMCC 고유 ViX-v3 규격의 단일 포트만 지원 nPX5800 스위치패브릭과 외부 별도의 SERDES 기능 소자를 통하여 정합하여야 함
호스트 인터페이스	Synchronous, non-pipelined 32-bit 66 MHz local bus 지원



<그림 5> AMCC사의 10Gbps 솔루션 구성도

리 엔진인 nPX5700 칩군으로 구성되어 있다⁶⁾. 그리고, 자체적으로 nPX5800이라는 스위치 패브릭 솔루션도 제공함으로써 단일 밴드의 10 Gbps급 솔루션을 제공하고 있다. <그림 5>에서 보는 것처럼 양방향 10 Gbps 솔루션을 제공하기 위하여 각각 2개의 nP7510, nPX5710(scheduler), nPX5720(packet buffer manager)를 사용하여야 한다. 패킷 엔진은 L3 포워딩을 위한 기본 동작만 담당하게 하고, 그외의 복잡한 검색이나 QoS 정책 적용과 같은 특정 기능은 하드웨어로 구현된 전용 엔진을 사용하게 함으로써 패킷처리 성능을 높이도록 설계되었다. 다른 10 Gbps 솔루션보다 요구되는 칩수가 많다는 단점을 보완하기 위하여 nP7510을 양방향 10 Gbps 트래픽 처리가 가능하게 성능을 높이고 nPX5710과 nPX5720의 통합화를 진행중이다. 그리고, 네트워크와 스위치 인터페이스도 자사 고유의 ViX-v3에서 SPI-4로 변경하고 스위치 패브릭과 정합하기 위하여 요구되는 SERDES 모듈도 nPX5700 칩 내부로 포함시킬 계획이다.

2. EZchip

Ezchip사의 10 Gbps급 네트워크프로세서 솔루션은 패킷분류 엔진인 NP-1 칩과 트래픽 관리 엔진인 QX-1 칩으로 구성되어 있다⁷⁾. 10 Gbps급 양방향 트래픽을 처리하기 위하여 단일

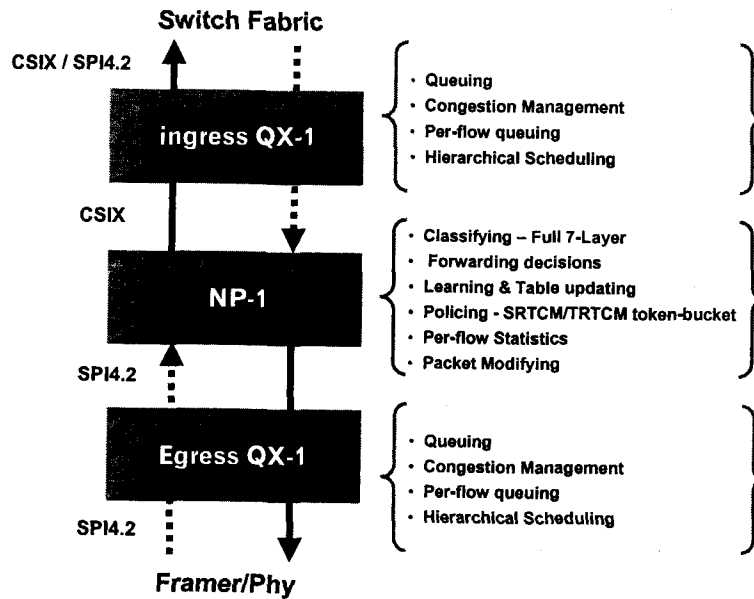
NP-1과 2개의 QX-1이 요구된다. 이 프로세서 솔루션의 가장 큰 특징은 10 Gbps급 라인속도를 유지하면서 L7까지 자유롭게 패킷 처리를 수행하도록 설계되었다는 점이다. 이는 Ezchip사가 프로세서의 응용분야를 단순히 고속의 L3 패킷 포워딩에 두지 않고 방화벽 처리, 고속의 NAT (network address translation), 클러스터 서버의 로드밸런싱 스위치와 같은 고급 서비스 구현에 초점을 맞추었기 때문인 것으로 판단된다. <표 5>에 정리된 것처럼 약 64개에 달하는 RISC 코어를 단일 칩 내부에 집적시키고 약 31 GBps의 고속 인터페이스를 갖는 메모리를 내장함으로써 별도의 패킷분류 보조 프로세서 없이 NP-1만으로 L7까지 패킷분류 작업이 가능하게 하고 있다. Bump-in-the-wire 형태의 응용을 위하여 CSIX 스위치 인터페이스 대신에 10GbE 인터페이스를 가진 칩셋도 함께 제공하는 점도 다른 제품과의 차이를 보이는 부분이다.

3. Agere

Agere사의 10 Gbps급 네트워크프로세서 솔루션은 패킷분류 엔진인 NP10 칩과 트래픽 관리 엔진인 TM10 칩으로 구성되어 있다⁸⁾. 자체적으로 Pi-40이라는 스위치 패브릭 솔루션도 제공함으로써 단일 밴드의 10 Gbps 솔루션을 제공하고 있다. <그림 7>에서 보는 것처럼 양방향 10

<표 5> EZchip사의 10Gbps 솔루션 특징

항 목	특징 요약
패킷 엔진 구조	약 64개의 RISC Core로 구성 Super Scalar 방식 채택 프로세서 동작 주파수 : 166 MHz
록업 메모리	칩 내부에 4MB에 달하는 대용량 메모리 내장 (메모리 액세스 속도 : 31GBps) 대용량 포워딩 정보 베이스 및 패킷 저장을 위하여 외장 DDR SDRAM 사용
출력 큐잉 구조	256K개의 큐를 3단계로 계층화하여 구성가능 1M개의 플로우 지원
네트워크 인터페이스	2×10GbE(16×GbE) MAC 내장 외부 OC-192c framer와의 연동을 위해 SPI-4.2 지원
스위치 인터페이스	CSIX-L1(64-bit 250 MHz), SPI-4.2, NPFISI 지원
호스트 인터페이스	32-bit 66 MHz PCI 지원



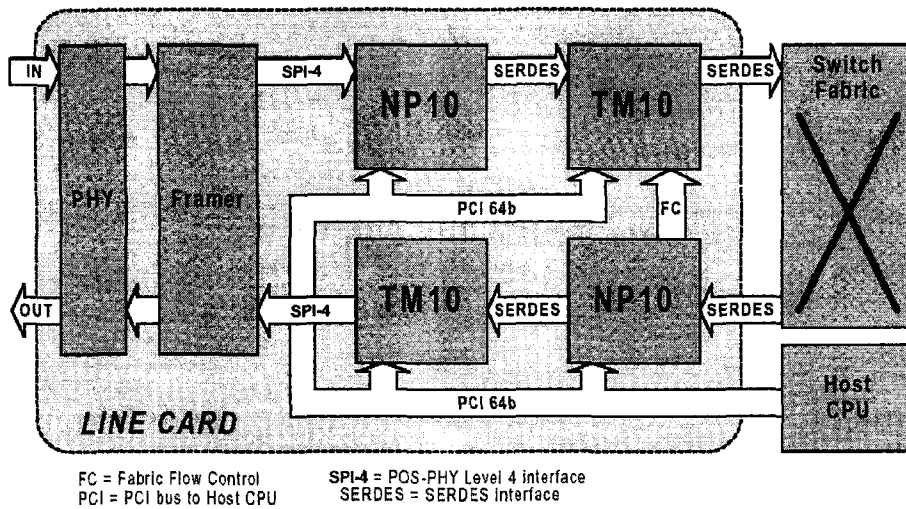
〈그림 6〉 EZchip사의 10Gbps 솔루션 구성도

Gbps 솔루션을 제공하기 위하여 각각 2개의 NP 10과 TM10을 사용하여야 한다. 이 솔루션은 다른 10Gbps급 네트워크프로세서와는 달리 트래픽 관리 엔진에 VLIW 기반의 RISC 엔진을 사용함으로써 유연성있게 패킷 스케줄링 알고리즘을 적용할 수 있게 하였으며 ATM 패킷에 대한 트래픽관리 및 통계기능 지원을 강화하였다. 오

히려 패킷 엔진은 RISC 코어를 사용하지 않고 고유의 패턴처리를 위한 계산 엔진을 기반으로 패킷내의 임의의 위치에 있는 값에 대한 패턴매칭 작업을 수행할 수 있도록 설계되어 다양한 프로토콜을 위한 패킷분류를 효과적으로 지원하도록 되어 있다.

〈표 6〉 Agere사의 10Gbps 솔루션 특징

항 목	특징 요약
패킷 엔진 구조	5개의 패턴처리 전용 엔진으로 구성 (RISC Core를 사용하지 않음) 각 패턴처리 전용 엔진이 64개의 context를 처리함 엔진 동작 주파수 : 266 MHz
록업 메모리	패턴처리 엔진 각각 독립적인 메모리 인터페이스를 가짐 (과도한 핀 수 사용의 문제가 있음) 대용량 포워딩 정보 베이스 및 패킷 저장을 위하여 외장 FCRAM 사용
출력 큐잉 구조	256K개의 플로우 지원
네트워크 인터페이스	외부 OC-192c framer 및 10GbE MAC 소자와 정합하기 위하여 SPI-4.2 지원
스위치 인터페이스	Pi-40 스위치 패브릭과 연동하기 위한 자사 고유의 SERDES 지원
호스트 인터페이스	64-bit 66 MHz PCI 지원



〈그림 7〉 Agere사의 10Gbps 솔루션 구성도

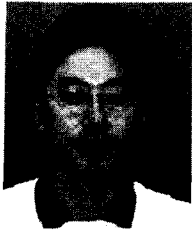
V. 결 론

앞에서 살펴 본 것처럼 지금까지 네트워크프로세서가 패킷처리 성능을 고도화하는데 중점이 맞추어져 있었다면 앞으로의 개발방향은 다양한 네트워크 서비스 기능을 자유롭게 추가 및 변경할 수 있는 멀티서비스 플랫폼 구조로 진화할 것으로 보인다. 네트워크프로세서의 응용분야가 고속의 라우터/스위치 시스템 개발에 국한되지 않고, 유무선 통합 네트워크나 이동 네트워크를 위한 중계 시스템이나 가입자 단말까지 응용이 확대될 것으로 기대된다. 이러한 배경에서 볼 때, 지금까지는 네트워크프로세서의 부가적인 기능으로 인식되었던 보안 및 QoS 관련 기술들이 부각될 것으로 예상되며 다양한 네트워킹 알고리즘을 얼마나 용이하게 수용할 수 있는가하는 것이 네트워크프로세서의 가치를 판단하는 중요한 기준이 될 것으로 본다.

참 고 문 헌

- [1] M. A. Ruiz-Sanchez et al., "Survey and Taxonomy of IP Address Lookup Algorithms", IEEE Network, Vol. 15, No. 2, pp8-23, Mar/Apr 2001
- [2] E. strohmaier et al., "Marketpalce of High-Performance Comupting", Parallel Computing, Vol. 25, No. 13, pp1517-1544, Dec 1999
- [3] S. Iyer et al., "ClassiPI: An Architecture for Fast and Flexible Packet Classification", IEEE Network, Vol. 15, No. 2, pp33-41, Mar/Apr 2001
- [4] <http://www.npforum.org>
- [5] Gartner research group, "2001 Network Processor Forecast", Oct 2001
- [6] <http://www.mmcnetworks.com/Solutions>
- [7] http://www.ezchip.com/html/in_prod.html
- [8] http://www.agere.com/enterprise_metro_access/network_processors.html

저자 소개



陳昇儀

1998년 2월 한양대학교 전자공학과 (학사), 2000년 2월 한국과학기술원 전자전산학과 (공학석사), 2000년 12월~현재:

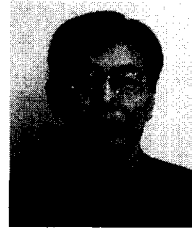
한국전자통신연구원 재직, <주관심 분야: 광네트워크 설계 및 최적화, 네트워크프로세서 응용>



郭東鎔

1983년 2월 동국대학교 전산학과 (공학사), 1985년 9월 동국대학교 대학원 (공학석사), 1985년 9월~현재: 한국전자통신연구원

네트워크 연구소 네트워크핵심기술연구부 NP라우팅팀장 (책임연구원), <주관심 분야: 네트워크 트래픽 엔지니어링, 인터넷 QoS>



金奉泰

1983년 2월 서울대학교 공과대학 전자공학 학사, 1991년 12월 미국 NCSU 컴퓨터공학 석사, 1995년 12월 미국 NCSU 컴퓨터공학 박사, 1983년 3월~현재:

한국전자통신연구원 (ETRI), 네트워크핵심기술연구부장, 1985년 1월~1986년 12월: 미국 ITT Telecom 방문연구원, <주관심 분야: 네트워크 시스템, 홈네트워크, 모뎀, VoIP/NGN>