

## 반도체 확산공정에서의 컨베이어 적정속도와 길이를 구하는 시뮬레이션\*

박일석\*, 이철기\*\*

Conveyor Capability Simulation for Semiconductor Diffusion Area

Yil-Seug Park, Chil-Gee Lee

### Abstract

Semiconductor wafer fabrication is a business of high capital investment and fast changing nature. To be competitive, the production in a fab needs to be effectively planned and scheduled starting from the ramping up phase, so that the business goals such as on-time delivery, high output volume and effective use of capital intensive equipment can be achieved. Project executed that use conveyor in bay semiconductor A line. But conveyor capability is lacking and rundown happened in equipment. Do design without normal simulation and conveyor system failed. The comparison is performed through simulation using .AutoMod a window 98 based discrete system simulation software, as a tool for comparing performance of proposed layouts. In this research estimate optimum conveyor capability, there is the purpose.

**Key Words:** Conveyor, FAB, Diffusion Area, Job Shop Model

\* 본 연구는 한국과학재단 목적기초연구(R01-2000-00250)지원으로 수행되었음.

\*\* 성균관대학교 정보통신공학부 석사4기

\*\*\* 성균관대학교 정보통신공학부 부교수

## 1. 서론

반도체 산업은 칩 제조 과정이 제조설비(장비)에 크게 의존하는 장치산업으로 특징지을 수 있다. 반도체 설비는 1947년 미국의 벨연구소에서 트랜지스터가 발명된 이후 산업화 과정을 거치면서 고도의 첨단 설비로 발전하고 있으며 고가의 가격으로 투자부담도 높다[1]. 또한 프로세스조건에 크게 의존하며 전기, 전자, 기계 등 여러 기술의 종합적 산물로서 점점 복잡화, 다양화되고 있어 반도체 제조 기술의 빠른 발전속도에 따라 그만큼 진부화가 빠르고 유효수명이 짧다. 따라서 복잡화, 자동화, 고기능화되고 있는 반도체 설비는 최초 제작이나 구입시도 중요하지만, 사용 중에도 최적 상태로의 유지, 보수가 생산성향상에 주요한 요인이 된다.

한편, 반도체 제조 공정은 웨이퍼 가공(FAB: Fabrication), 웨이퍼 검사, 조립 및 포장과 최종 검사의 4단계로 이루어지는데 이 중 FAB공정이 가장 복잡하고 자본 집약적인 공정이다. 이런 FAB공정은 웨이퍼가 시스템에 대기중인 시간이 증가할수록 제품에 대한 수율이 떨어지는 특수성을 지니고 있고 생산공정 또한 복잡하므로 수리적 모델링으로는 한계성이 있다[2,3]. 즉 생산과정에서 요소들간의 충돌, 시스템 의존도와 변칙적 사건등의 불규칙한 세계는 시뮬레이션 기법을 사용해야만 구성요소의 변화에 따른 수행도 분석을 쉽게 할 수 있다.

이러한 시뮬레이션 기법을 활용한 기존연구를 살펴보면 Dayhoff, Atherton[4]은 FAB공정의 시뮬레이션 모델을 처음으로 소개하고 시스템 수행도 분석에 여러 가지 시뮬레이션 모델을 이용하였다. Dayhoff와 Atherton[5, 6]은 웨이퍼가공의 특성을 설명하고, 여러 가지 작업 할당 규칙의 효과를 실험하는데 신호분석기법을 사용하였으며 FAB공정으로 들어가는 웨이퍼의 수율에 대해서 시뮬레이션 모델로 얻은 TAT(Turn Around Time), 공정 중 재고(WIP: Work In Process) 그리고 생산율을 근거로 시스템의 수행도를 실험하였다. 그리고 Miller[7]는 공정 중 재고와 생산량

의 관계를 시뮬레이션을 통해 분석하여, 적용시스템의 생산량을 일정수준으로 유지하면서 TAT를 줄이는 적정 재고 수준을 제안하였다. 또 Wein[2]은 FAB공정 중에서 사진공정에 초점을 맞추어 시스템을 단순화시켜서 모델링하였으며, 이 모델을 기초로 시뮬레이션하여 시스템의 수행도를 분석하였다. Neve 등[8]은 FAB공정에 시뮬레이션을 적용하여 공정중 재고 40% 감소와 생산율 10%증가시킨 수행도 향상 사례를 발표하였다.

생산설비의 신설 또는 증설시 제안된 설비배치의 효율성은 간단히 계산해내기 어려운 경우가 대부분이며, 실제로 시공된 후 시스템의 불균형은 재구성이 어렵거나 막대한 재투자를 요구하게 된다. 따라서, 그래픽 시뮬레이션을 통하여 제안된 프로세스를 실험함으로써 물류의 흐름, 공정의 균형 및 생산관리의 여러 측면을 사전에 검토함으로써 시운전 기간 단축 및 Ramp up 시간을 최소화 할 수 있다.

따라서 본 연구에서는 이미 장비가 설치되어 가동 중에 있는 반도체 라인 환경 또는 신규로 새로운 라인을 디자인할 때 사람을 대신해 컨베이어로 베이(bay) 내에서 로트(lot)를 스토커(stocker)에서 장비 또는 장비에서 장비로 이동할 경우 적정 컨베이어 Capability를 산정 하는데 그 목적이 있다. 여기서 컨베이어 Capability는 컨베이어의 속도와 길이를 의미한다. 본 논문의 구성은 2장에서는 반도체 FAB라인 공정을 간단하게 서술했고 3장은 제안된 Job Shop 모델에 대해 설명하고 4장에서는 시뮬레이션 모델을 구축하고 5장은 반도체 확산(diffusion)공정에서의 컨베이어 Capability 시뮬레이션을 수행하고 실험을 분석하였다. 마지막 6장에서는 연구결과와 향후 연구 방향을 제시하였다.

## 2. 반도체 FAB 공정

### 2.1 FAB 라인의 구성

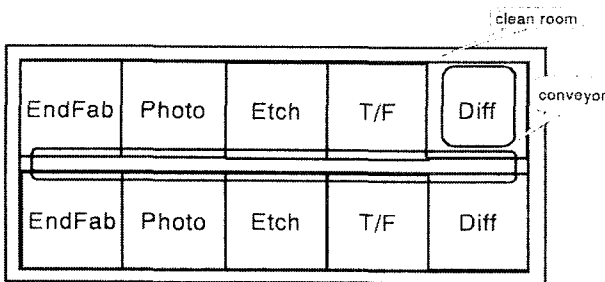
FAB 라인 공간은 공정 특성에 따라 확산

(Diffusion), 포토(Photo), 식각(Etch), Thin-Film Area로 나누고 Area는 다시 2~6개의 베이(bay)로 구분한다. 실제 단위 제조 공정(processing)이 실행되는 베이(bay)내에는 생산과 계측장비, 스토커(stocker), Intra-System 으로 구성된다.

이곳에서 공정 진행을 위한 로트(lot) 이송은 작업자(operator)에 의해 이루어 졌으나 최근에는 작업 진행 방식을 표준화하고 장비와 이송 장치의 고도화에 따라 컨베이어 개념을 활용한 OHT(Over Head Transport) 또는 AGV(Auto Guided Vehicle)를 사용하는 추세에 있다.

스토커(stocker)는 다음 공정을 대기하는 로트(lot)들을 저장하는 창고 역할을 하는 것으로서, 베이(bay)와 베이(bay) 간 이송을 담당하는 Inter-System(OHT or AGV 사용)에 의해 이송된 로트(lot)가 자동으로 반입,반송되고 Intra-System에 의해 장비로 이송되기를 기다리는 곳이다.

일반적인 반도체 Fab 공정은 약 200개의 단위 공정으로 구성된다. 단위 공정을 그룹(group)화하여 Layer라 부르고 전체 공정은 대략 20.0 Layer로 구분 관리한다. 각 Layer는 포토(Photo), 확산(Diffusion), 식각(Etch), Thin Film, 계측 공정의 조합과 반복으로 이루어진다.



<그림 1> FAB 라인의 구성

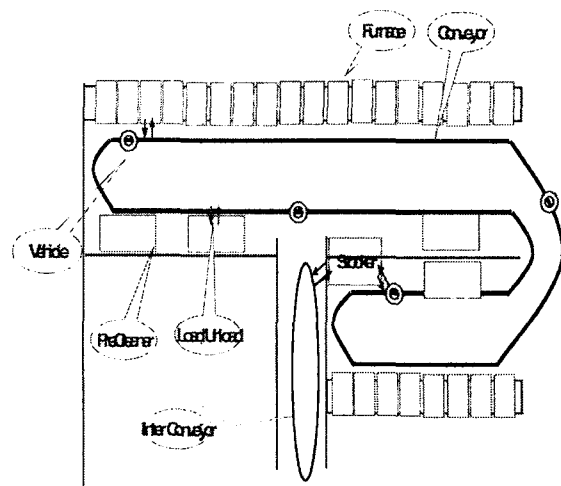
- 확산(Diffusion): 확산로 속에서 반도체 소자(Wafer)에 높은 온도를 가하여 불순물 B(붕소)나 P(인)을 확산시키는 것을 말하며 반도체 특성을 결정하기 위한 것임
- 식각(Etch)
  - Dry Etch : 건식 식각, 용액성 화학물질을 사용하지 않고 활성화 된 Gas (Plasma)를 이

용하는 식각방법.

- Wet Etch : 습식 식각, 용액성 화학물질을 사용하는 식각
- 사진(Lithography): 감광액을 사용 회로를 형성화 하는 공정
  - Photo Flow : P.R Coating -> Expose -> Develop -> Bake -> Inspection
  - Photo Resist (P.R) : 사진 식각 공정을 위하여 사용되는 점액성 액체를 말하며 빛이 닿는 유무에 따라 상태가 변함.
- ThinFilm : Thick Film과 달리 진공증착등의 방법으로 기판위에 얇은 두께의 박판(두께 약 5 micron 이하)을 형성하는 것으로, 저항콘덴서 등의 소자나 혼성 직접회로를 형성하기 위한 것.
- 이온주입(Implantation): 반도체 소자가 원하는 전기적 특성을 가지도록 반도체 기판 위에 필요한 부분에만 고전압으로 가속된 이온을 물리적으로 주입하는 것

2.2 확산공정

<그림 2>는 본 논문에서 실험을 위해 사용한 확산공정 배치도이다.



<그림 2> 확산공정에서의 컨베이어 구성도

2.3 H/W 구성

- Furnace : Diffusion 실제 공정(processing)을 하는 장비이며 Batch 단위로 공정이 진행된다. 공정시간은 4~12시간이며 같은 공정을 할 수 있는 장비가 여러 대로 구성되어 있다. 이 장비로 실행되는 공정은 <표1>과 같다.

<표 1> 장비 유형과 공정관계

Equipment Type	공정	장비 수	Processing Time	Processi Type
Furnace	OX	8	6Hr	Dicrete -Event
	WDR	16	12Hr	
	HTO	8	3Hr	
	ALLOY	16	5Hr	
	POly	12	6Hr	
	pocl	8	5Hr	
WetEtcher	PreCleaner	4	1Hr	Contineous -Event

- PreCleaner : Wet Etch 장비로서 일본 DNS 사 제품이 일반적으로 사용되며 용도에 따라 부르는 이름이 다르다. Furnace 전 Cleaning 목적으로 사용시는 PreCleaner라 한다. 일반적으로 1 베이(bay) 당 2대 정도로 Furnace 작업 량에 따라 필요 수량이 결정된다.
- 스토커(stocker) : 타 Area에서 확산 작업을 위해 Inter컨베이어에 의해 반송된 로트(lot)가 공정을 진행하기 위해 기다리는 곳이다.
- 스토커(stocker) : 타 Area에서 확산 작업을 위해 Inter 컨베이어에 의해 반송 된 로트(lot)가 공정을 진행하기 위해 기다리는 곳이다.
- 컨베이어(conveyor) : Intra-System 불리우고 확산 영역의 스토커(stocker)에서 장비로 또는 장비에서 다른 장비로 로트(lot)를 Vehicle위에 실어서 이송시키는 장치를 말한다.

3. 제안된 Job Shop 모델

동일한 Job을 할 수 있는 장비가 2개 이상 한

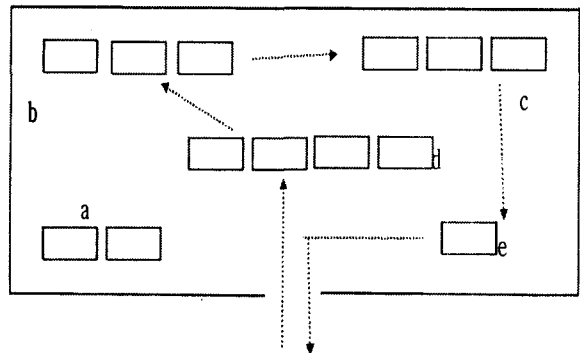
그룹에 다수 개 존재하고 그룹(Station)이 다수 개 존재하는 환경에서 사용자의 목적에 따라 최대 산출량을 만들기 위한 시물레이션을 Job Shop 모델 시물레이션이라 한다.

<표2> Job 유형별 Processing Path 예)

Job 유형	Process Path
Type 1	in -> d -> b -> c -> e -> out
Type 2	in -> d -> a -> e -> out
Type 3	in -> b -> a -> c ->e -> out

<표3>Job 유형별 Mean Service Type 예)

Job 유형	Mean Service Time for Successive Tasks, Hours
Type 1	8.0 -> 3.0 -> 5.0 -> 6.0
Type 2	8.0 -> 4.0 -> 6.0
Type 3	3.0 -> 4.0 -> 5.0 -> 6.0



<그림3> Job Shop 모델 배치

\*장비 그룹 : a공정:Pre Clean, b공정:WDR, c공정:HTO, d공정:ALLOY, e공정:POLY

4. 시물레이션 모델 구축

본 연구에서는 개발환경으로 Window 98, NT이며 사용 틀은 애니메이션(Animation)기법을 이용할 수 있는 Automod를 통하여 모형을 설계하고 시물레이션 실험을 하였다.

#### 4.1 시뮬레이션 가정

##### ● Job 의 종류

시뮬레이션 영역에서 컨베이어를 사용 Source Site에서 Destination Site로 이동하는 Path에 따른 분류로서 스토커(stocker)에서 장비로, 장비에서 장비로, 장비에서 스토커(stocker)로 3 가지 형태의 Job이 있다.

##### ● 장비그룹

장비그룹은 크게 Furnace와 Wet-Etch 2가지로 구분되나 여기서는 공정시간과 장비대수에 따라 6개 Furnance를 가지고 있고 8시간을 진행하는 A 그룹, 3개 Furnance를 가지고 있고 6시간을 진행하는 B 그룹과 1시간 공정을 진행하지만 FIFO 방식의 연속작업을 하는 PreClean C 그룹으로 분류 할 수 있다.

##### ● 컨베이어 Capability

Source Site에서 Destination Site까지 이송능력을 말하는 것으로서 모노 컨베이어 환경이고 FIFO 가 적용된다. 즉 뒤에 있는 로트(lot)가 앞에 있는 로트(lot)를 추월할 수 없고, 이동시 Loading or Unloading 작업이 있으면 작업이 완료되어 이동할 때까지 기다려야 한다. 이때 발생하는 Interruption은 거리에 Dependent한 Normal Distribution에 따르고 이것은 컨베이어의 속도로 표현된다.

##### ● H/W 상태

장비, 컨베이어, 스토커, Loading/Unloading Supplier등 Material을 이송하기 위한 H/W는 고장이 없는 것으로 가정한다

##### ● 스토커 Capability

컨베이어 Capability를 목적으로 하고 있으므로 스토커에는 항상 새로운 배치(batch)를 구성할 수 있는 로트(lot)들이 Processing 을 대기하고 있다

##### ● Vehicle은 고려 안한다

실제 컨베이어에서는 로트가 자체 동력을 가진 Vehicle 위에 올려져서 이동하는 방식으로 정해진 수량의 Vehicle이 컨베이어에서 로트를 순서대로 이동시킨다. 즉 새로운 로트를 이송하기 위해서는 비어 있는 Vehicle을 먼저 Catch해야 하는데 여기

서는 비어 있는 Vehicle은 항상 있다고 가정한다. 즉 Vehicle을 사용하지 않고 로트가 직접 컨베이어에서 자체적으로 이동하는 것과 같이 모델링하였다.

##### ● 컨베이어속도 변화는 없다

컨베이어는 직선 부분과 곡선부분으로 구성되고, Vehicle이 멈춘 상태에서 시작할 때 가속이 발생하고, 곡선 부분에서는 감속되는 현상이 있으나 대량의 이동을 고려할 경우 무시될 수 있다.

##### ● 배치 사이즈(batch size)

실제 배치 Size는 Furnace 경우는 공정에 따라 4~ 6 lot으로 구성되고 Pre Cleaner 경우는 2 (로트)lot으로 구성된다.

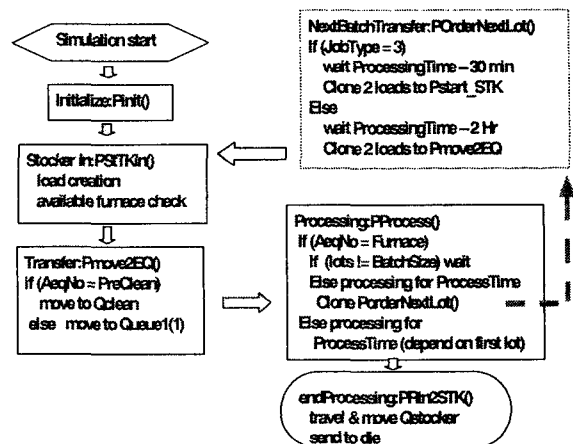
##### ● Reserve Batch Start

실제 Batch Size 작업의 경우는 Furnace에 다음배치(batch)를 스토커(stocker) 할 수 있는 Trawl 스토커(stocker)가 있고 Loading, Unloading 시간을 절약하고 Preclean 작업이 있을 경우 등을 고려하여 진행중인 작업이 완료 되기 전 새로운 배치를 할당하고 컨베이어를 사용 첫번째 장비로 이동하게 된다.

##### ● Pre Cleaner Processing

연속 Processing 을 하는 장비로서 처음 배치에 작업 시간동안의 기다리는 시간이 발생하는 장비로서 이 시간을 15분으로 한다.

#### 4.2 플로우 차트



<그림 5> 플로우 차트

## 5. 실험 및 결과분석

컨베이어에서 선행 장비에 Loading 또는 Unloading 중일 때 이후 로트(lot)는 추월하여 이동 못하고 기다려야 하는 모노레일 방식의 경우를 시물레이션하였다. 반도체 확산 공정에서는 주 공정 장비인 Furnance를 기준으로 두개 이상의 공정(예: Prelean + POLY)을 한번에 예약하여 진행하는데 후속공정은 반드시 정해진 시간(1시간) 내에 진행해야 한다. 작업자에 의해 로트를 장비에 Loading 할 경우 불규칙적인 작업으로 정해진 시간을 초과하는 현상이 발생하였으나 본 실험에서는 컨베이어를 사용 이동함으로써 Prelean 후 장기 대기상태의 로트는 발생하지 않았다. 컨베이어에서 로트(lot) 진행을 방해하는 Loading, Unloading 작업 시간은 장비 대수와 관계되며 컨베이어 속도 함수로 표현 될 수 있다. 즉 장비가 많으면 컨베이어 길이가 길어지고 이것은 더 많은 Interruption을 일으키고, 컨베이어 평균 속도를 떨어뜨린다.

컨베이어 길이에 따른 또 다른 영향은 작업이 배치 단위로 진행되므로 한 Batch의 로트 전부가 도착할 때까지 장비는 비가동 상태에 있으므로 가동 시간은 줄어들게 된다. 컨베이어 길이를 정해 놓고 시물레이션한 아래 실험결과에서 Precleaning 후 진행하는 6대의 Furnace와 확산 작업만 진행하는 3대의 Furnace가 로트 이동 평균 속도를 10 m/min에서 60 m/min으로 올릴 경우 장비 가동률이 증가하나 더 이상 속도를 올려도 장비 가동률 증가는 발생하지 않는다. 즉 위와 같은 조건에서 필요 장비 가동률을 유지하고 컨베이어를 사용하기 위해서는 최소 60m/min의 이동 속도가 필요한 것을 알 수 있다.

반대로 컨베이어 속도가 이미 정해진 경우 길이를 변경함으로써 장비 가동률을 유지 할 수 있다.

실제 가동중인 반도체 라인에서 컨베이어를 도입 할 경우 길이는 일반적으로 베이(bay) 크기에 종속되므로 Interruption을 고려한 컨베이어 속도가 어느 정도까지 지원되는지 확인하면 된다.

## 6. 결론

92~3년 A 라인에서 처음으로 베이(bay) 내에 컨베이어 (Intra) 사용한 스토커(stocker)에서 로트(Lot) 이동을 위한 프로젝트를 실시하였으나 예상과는 달리 컨베이어 Capability가 부족하여 장비에서 정지 현상이 발생하였다. 정상적인 시물레이션없이 디자인한 컨베이어시스템은 막대한 금전투자, 인력투자, 설치테스팅 철거 등으로 인한 라인 작업방해 등 막대한 손실을 남기는 실패를 가져왔다. 본 연구에서는 이미 장비가 설치되어 운행중에 있는 반도체 라인 환경 또는 신규로 새로운 라인을 디자인할 때 사람을 대신해 컨베이어로 베이(bay) 내에서 로트(lot)를 스토커(stocker)에서 장비 또는 장비에서 장비로 이동할 경우 적정 컨베이어 Capability를 산정 하는데 그 목적이 있다. 이것은 비단 반도체 공정뿐 아니라 기타 제조업에서도 적용되리라 예상된다.

## 참고문헌

- [1] "반도체란 무엇인가?", 삼성전자(주)
- [2] Wein, L. M., "On The relationship Between Yield and Cycle time in Semiconductor Wafer Fabrication," IEEE Transactions on Semiconductor Manufacturing, Vol.5, pp.156-158, 1992.
- [3] Prasad, K., "A Generic Computer Simulation Model to characterize photolithography manufacturing Area in an IC FAB Facility," IEEE Transactions on Components, hybrids and manufacturing technology, vol. 14, No.3, pp.483-489, 1991.
- [4] Dayhoff, J.E., and Atherfon, R.W., "Signature Analysis of dispatch Schemes in Wafer Fabrication," IEEE Transactions on Components, hybrids and manufacturing technology, vol. 9, No.4, pp.518-525, 1986.

- [5] Dayhoff, J.E., and Atherfon, R.W., "Signature Analysis Simulation of Inventory, Cycle time and Throughput Tradeoffs in Wafer Fabrication of Inventory, Cycle time and Throughput Tradeoffs in wafer Fabrication," IEEE Transactions on Components, hybrids and manufacturing technology, vol. 9, No.4, pp.498-507, 1986.
- [6] Dayhoff, J. E., and Atherton, R.W., "Simulation of VLSI Manufacturing Areas," Vlsi Design, pp.84-92, 1984.
- [7] Miller, D. J. "Simulation of Semiconductor Manufacturing line," Communication of the ACM, Vol.33, No.10, pp99-108, 1990
- [8] Neve, J.M., RAY, F.D. and Sitrarik, J.P>, "Improving the Performance of and Integrated Circuit Manufacturing Line", AT&T Technical Journal, Vol.66, Issue 5, pp39-48, 1987.

---

● 저자소개 ●

---



박일석

2002 성균관대학교 정보통신공학부 석사4기

관심분야: 공장자동화, 물류시스템, 컴퓨터시뮬레이션



이철기

1980 성균관대학교 전자공학과 졸업

1979-1983 한국방송공사 근무

1985 Arizona State University 전기 및 컴퓨터 공학과 석사

1990 University of Arizona 전기 및 컴퓨터 공학과 박사

1990-1995 삼성전자 수석연구원

1995-현재 성균관대학교 정보통신공학부 조교수

관심분야 : 컴퓨터 시뮬레이션, 객체지향 모델링, 공장자동화, 전문가 시스템