韓國 OA學會 論文誌
第7卷 第3號, 2002. 9.

2002-7-3-3-7

WRR 구현을 위한 BSW 알고리즘 연구

조 해 성*

A Study on BSW Algorithm for WRR Implementation

Hae-Seong Cho*

요 약

스케쥴링 알고리즘의 일종인 WRR은 매우 간편하며 각 큐에 다른 가중치를 할당하여 여러 큐를 직접 제어한다.

본 논문에서는 WRR 스케쥴링 알고리즘을 효율적으로 수행할 수 있는 새로운 BSW 구조를 제안한다. 또한, 새로운 BSW 구조에 적합한 셀 스케쥴링 알고리즘을 개발한다. 제안된 BSW 구조와 알고리즘은 VC에 할당된 가중치를 정확히 유지 할 수 있고, 서비스 받을 VC큐가 비어 있을 경우 다른 VC 셀을 서비스하여 평균 셀 지연 및 최대 버퍼 크기를 감소시킨다. 제안된 알고리즘은 WRR 구현에 매우 적합한 구조이다.

Abstract

The Weighted Round Robin(WRR) discipline which is a sort of scheduling algorithm is quite simple and straightforward for handling multiple queues, and by putting a different weight on each queue.

In this paper, we propose new BSW structure, which can execute the WRR scheduling algorithm efficiently. Also, we develop a cell scheduling algorithm which is adapt in the new BSW structure. The proposed BSW structure and the algorithm is capable of maintaining an allocated VC's weight correctly and decrease of average cell delay and maximum buffer length by serving other VC cell when empty in each VC queue. The proposed algorithm is a structure suitable for WRR implementation.

* 건양대학교 IT학부 전임강사

논문접수 : 2002. 7. 13
심사완료 : 2002. 9. 18

Ⅰ. 서론

셀 스케쥴링의 성능을 결정하는 요소들은 트래픽의 통계적 특성과 QOS 파라메터와 스케쥴링 알고리즘이다[1-4]. 이중 스케쥴링 알고리즘은 셀 스케쥴링의 성능을 결정하는 가장 중요한 요소이다.

스케쥴링 알고리즘들 중 WFQ(Weighted Fair Queueing)와 WRR(Weighted Round Robin)은 각 큐에 대해 대역을 보장할 수 있기 때문에 보편적인 스케쥴링 알고리즘으로 발전 되어왔다[5,6]. WRR 기법은 ATM과 같은 고속 패킷 스위칭 네트워크에서 계산의 단순성과 저 비용 구현의 장점을 가지고 있어 셀 스케쥴링 기법으로 널리 쓰인다[7]. 이 기법은 특정 큐의 서버에 대한 접근 시간의 양을 제어함에 의해서 대역을 할당한다. 또한, WRR은 각 큐에 대역을 보장해 주기 때문에 스케쥴링 기법으로 많이 사용되었다.

WRR 스케쥴러를 구현하기 위해 계산 복잡도와 하드웨어 요구사항을 현저히 경감시키는 BSW(Binary Scheduling Wheels) 기법이 제안되었다. 그러나, BSW 알고리즘은 이진 휠 구성에 있어 2의 지수승의 가중치 값만을 제공하기 때문에 모든 VC는 BSW 알고리즘의 최소 전송율의 2의 지수승의 전송율로 서비스를 받을 수밖에 없다.

이러한 BSW 구조의 문제점을 개선하기 위해서 본 논문에서는 WRR 스케쥴링 알고리즘을 충실히 수행 할 수 있는 기능이 향상된 BSW 구조를 제안하였고 제안된 BSW 구조에 적합한 셀 스케쥴링 알고리즘을 개발하였다. 기존의 스케쥴링 알고리즘은 이진으로 서비스를 수행하기 때문에 가중치 보다 많은 서비스를 받는 경우가 발생하여 공평한 서비스가 이루어지지 않고 또한, 각 VC의 큐 상황에 관계없이 서비스를 수행하기 때문에 서비스 율이 떨어지는 단점을 이 알고리즘은 개선하고 있다.

본 논문의 구성은 1장 서론에서는 제안한 알고리즘의 전반적인 사항에 대하여 서술하였고 2장에서는 기존의 BSW 구조 알고리즘에 대하여 살펴보고 3장에서는 제안된 알고리즘의 특징 및 성능개선 사항에 대하여 서술하였다. 4장은 시뮬레이션 수행을 위한 환경과 그 결과를 분석하였고 5장에서 결론으로 본 논문의 성과 및 추후 연구 내용에 대해 서술하였다.

Ⅱ. 기존의 BSW 알고리즘

WRR 스케쥴러를 구현하기 위해 계산 복잡도와 하드웨어 요구사항을 현저히 경감시키는 BSW 기법이 제안되었다[8]. BSW은 최소 하드웨어 비용으로 광범위한 전송률을 제공하고 과부하에는 최소 전송률을 보장할 수 있다. 이 알고리즘에서는 링크 대역을 2의 지수승으로 나눈 값을 각 VC의 전송율로 규정하고 최소 전송율을 1/2n로 제한하였다[9]. 따라서 VC i의 전송율은 $w_i / 2^n$로 계산되며 w_i는 가중치로서 2의 지수승 이다. 그러므로 모든 VC의 전송율은 출력 링크의 2의 지수승으로 나눈 값들 중의 하나 이고 최소 전송율의 2의 지수승 이다.

BSW 알고리즘에 사용되는 주요 변수와 그 내용은 아래와 같다.

m : 이진 슬롯의 갯수

wi : VCi의 가중치

ri = wi / 2n : VCi의 정규화된 2진 전송율

$Count_i$: 스케쥴링 바퀴에 있는 VC의 갯수

$WeightCountProduct_i = w_i \times Count_i$

$BinaryProduct_i = 2^{\lceil \log_2 WeightCountProduct_i \rceil}$:

스케쥴링바퀴의 전송율을 2의 정수지수승화 함

$$BinaryRate_i = \frac{BinaryProduct_i}{2^n}$$:

스케쥴링바퀴 전송율의 정규화

위 변수들의 값을 계산하여 그 계산 결과에 따라서 이진 바퀴를 구성하고 이진 바퀴에 근거하여 작성한 이진 전송 목록을 작성한다. 그림 1에서 각 비트에 해당하는 슬롯은 서비스를 수행할 때 슬롯의 위치에 따라 서비스 회수를 결정하게 된다. 그림 1은 16비트의 슬롯으로 구성된 이진 전송 목록으로 16번째 비트를 LSB로 하여 이 LSB를 최소 전송율로 하고 나머지 상위 비트는 LSB의

2의 지수승으로 서비스를 받게된다. 그리고 각 비트에 해당하는 가중치를 표시하였고 이진 바퀴의 가중치 총합이 표시된 가중치 값에 근접한 슬롯에 이진 바퀴가 연결된다.

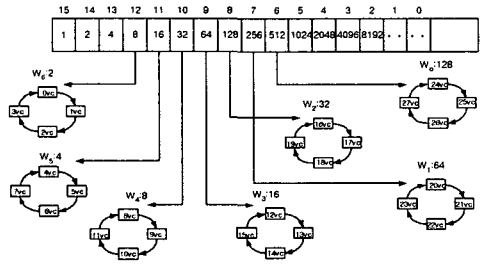

그림 1. 기존 BSW의 이진 전송율 목록

그림 1에서 첫 번째 슬롯의 스케쥴링 바퀴는 두 번째 슬롯의 스케쥴링 바퀴보다 두 배로 서비스되고 세 번째 슬롯의 스케쥴링 바퀴보다는 네 배로 서비스를 받게 된다. 그래서 슬롯의 스케쥴링 바퀴들을 서비스하기 위해서 n+1 비트의 이진 카운터를 사용하여 이진 전송율 목록의 슬롯들을 선택하는데 이진 카운터에서 처음으로 1이 나오는 비트는 다음 비트보다 두 배만큼 변하게 되는데 j 번째 비트의 변화로 j슬롯의 이진 바퀴들에 대한 서비스가 시작된다. 예로, 할당된 가중치가 128인 10개의 VC가 이진 바퀴를 구성하고 할당된 가중치가 64인 18개의 VC가 이진 바퀴를 구성할 때 두 개의 이진 바퀴의 VC들의 총 합이 각각 1280과 1152이기 때문에 두 바퀴 모두 가중치 값이 2048인 이진 전송율 목록의 슬롯에 속하게 된다. 그런데 서비스를 받을 때는 각각의 바퀴에서 1개의 VC가 서로 교차하며 서비스를 받으므로 가중치가 128인 VC들 중 마지막 두 개의 VC는 서비스를 덜 받게 되는 문제점이 발생된다.

Ⅲ. 제안된 BSW 알고리즘

제안된 BSW 구조는 기존 BSW 구조에서 각 VC에 최소 대역의 2의 지수승 만을 제공하는 문제점을 개선하기 위하여 각 VC에 임의 대역을 할당 할 수 있도록 다음과 같은 가중치 값과 가중치 목록을 작성하였다. VC i의 가중치 계산은 식 (1)과 같다.

$$W_i = \lfloor r_i * W / C \rfloor \qquad W = W_1 + W_2 + \cdots + W_N \tag{1}$$

식 (1)에서 C는 출력 링크의 용량이고 W는 모든 가중치 값들의 합이고 ri는 VC i에 할당된 전송율이다. 제안된 BSW 구조에서 각 VC는 스케쥴링 서버가 제공하는 가중치 값에 근거하여 가중치 목록을 식 (2)에 따라 구성한다.

$$VC_K(W) = \{W_1, W_4, \cdots, W_N\}, \text{ if } W_k = W_1 + W_4 + \cdots + W_N \tag{2}$$

식 (2)에서 $VC_k(W)$는 VC k의 가중치 전송목록을 표시한다. 식 (2)에서 스케쥴링 서버가 2의 지수승의 가중치만을 제공할 때 제공되는 가중치 값을 조합하여 임의 크기의 가중치 값을 구성 할 수 있기 때문에 임의 크기의 가중치를 가진 VC에 서비스가 가능하다. 아래 그림 2는 위에서 구성된 각 VC의 가중치 목록을 근거로 하여 각 가중치 값에 해당하는 이진 바퀴의 구성을 보여주고 있다. 여기서 기존 BSW 구조의 이진 바퀴에서는 한 VC는 하나의 바퀴에만 포함 될 수 있는 반면 제안된 BSW 구조에서는 한 VC가 여러 바퀴에 포함 될 수 있음을 그림 2에서 보여주고 있다.

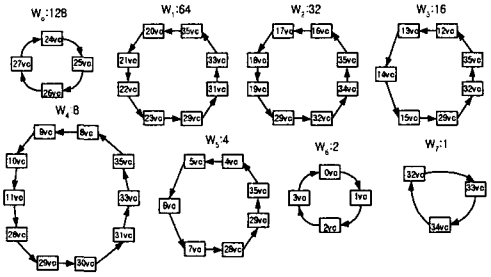

그림 2. 제안된 BSW 구조의 이진 바퀴

또한, 이러한 구조에 적합한 셀 스케쥴링 알고리즘을 제안하였다. 제안된 스케쥴링 알고리즘은 각 VC에 *W, lend, borrow*의 추가적인 변수를 사용하여 가중치, 서비스를 빌려준 횟수, 서비스를 빌린 횟수를 기록하여 서비스를 공평하게 수행할 수 있도록 한다. 제안된 BSW 구조의 셀 스케쥴링의 특징은 서비스 순서가 된 VC의 가중치 계수기 값, 큐의 상태, 이전에 빌린 서비스의 개수 등을 고려하여 서비스를 수행하는 것이다. 만약 서비스 순

서가 돌아와 선택된 VC의 큐에 셀이 존재하지 않으면 서비스를 수행할 수 없기 때문에 선택된 VC가 속한 VC들 중에 이전에 서비스를 제일 많이 빌려준 VC에 우선권을 주어 서비스를 수행할 수 있도록 한다. 또한, 서비스 받을 VC의 가중치 값이 0일 경우에는 서비스 받을 VC가 속한 이진 바퀴에서 가중치 값이 제일 큰 VC에게 서비스를 받을 수 있도록 한다. 그림 3은 제안된 BSW 구조의 셀 스케줄링 흐름도이다.

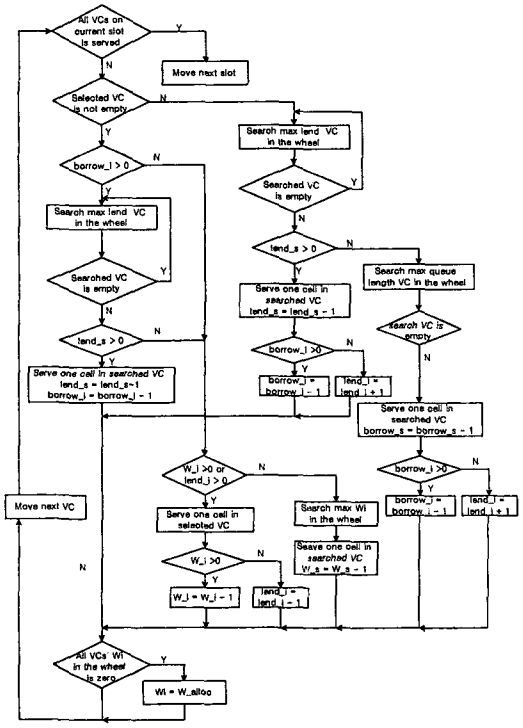

그림 3. 제안된 BSW 구조의 셀 스케줄링 알고리즘 흐름도

Ⅳ. 시뮬레이션 및 결과분석

시뮬레이션 환경에서 출력 링크 용량은 기존의 알고리즘과의 성능 비교를 위하여 2의 지수승인 128Mbps로 하였고 입력 부하를 조정하기 위해서 일정한 전송율을 가진 VC들의 개수를 조정하였다. 그리고 입력되는 셀 발생은 아래 식(3)과 같이 Poisson 분포를 따르도록 하였다.

$$\Pr(\text{T시간동안에 k개 도착}) = \frac{(\lambda T)^k}{k!} e^{-\lambda T}$$

$$\lambda : \text{입력 부하} \qquad (3)$$

아래 표 1은 입력 부하에 따른 일정한 전송율을 가진 VC 개수를 보여주고 있다.

표 1. 입력 부하에 따른 VC의 개수

부하(%) / 대역	50	60	70	80	90	95
4M	4	6	7	8	10	10
2M	8	10	13	16	18	20
1M	16	17	18	20	20	20
0.5M	16	16	18	18	20	20
256K	16	16	20	20	20	24
128K	16	16	16	16	16	32
64K	32	32	32	32	32	32

그림 4은 입력 부하에 따른 고속 VC들의 최대 버퍼 크기를 평균하여 나타낸 그림이다. 그림 4에서 기존의 알고리즘보다 제안된 알고리즘의 최대 버퍼 크기가 월등히 작게 유지됨을 알 수 있다. 제안된 알고리즘의 경우 버퍼 크기가 큰 VC는 여분의 서비스가 존재할 경우 최우선으로 서비스를 제공함으로서 최대 버퍼의 크기를 좀더 작게 할 수 있음을 확인 할 수 있다. 이는 버퍼의 요구 양을 감소시켜 하드웨어 구현시 보다 적은 메모리로 구현할 수 있는 장점을 가진다.

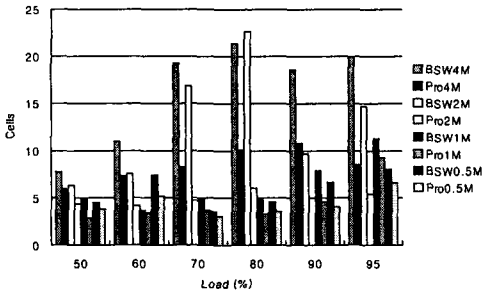

그림 4. 입력 부하에 따른 고속 VC들의 최대 버퍼 크기

그림 5는 입력부하에 따른 고속 VC들의 평균 큐 지연을 제안된 알고리즘과 기존의 알고리즘을 비교하여 보여

주고 있다. 그림 5에서 제안된 알고리즘의 큐 지연이 기존의 알고리즘보다 월등히 우수함을 확인할 수 있다. 이러한 결과는 제안된 알고리즘은 큐에 셀이 많이 싸이게 되면 서비스를 제공받을 기회를 많이 부여함으로서 큐에서 기다리는 지연을 감소시키기 때문이다. 전체적으로 큐 지연을 반 이하로 감소시킴으로서 제안된 알고리즘은 지연에 민감한 CBR이나 VBR 서비스의 전송품질을 유지할 수 있을 것이다.

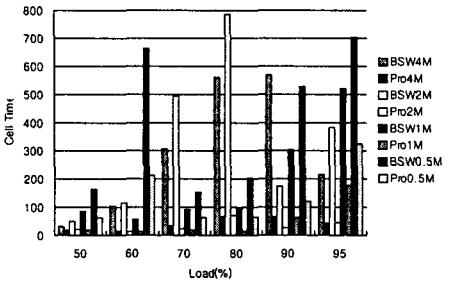

그림 5. 입력부하에 따른 고속 VC들의 평균 큐 지연

그림 6은 기존의 BSW 알고리즘의 입력부하에 따른 서비스 회수를 가중치 값으로 정규화하여 보여주고 있다. 모든 VC들에 공평한 서비스를 위해서는 각 VC에 할당된 가중치 회수만을 스케줄러는 서비스를 수행할 수 있도록 해야한다. 그림 6에서 기존의 알고리즘은 가중치 값이 64인 VC의 경우 입력 부하에 따라 서비스의 회수가 최저 60에서 최고 85까지 25정도의 편차를 가지고 수행함을 확인 할 수 있다. 이러한 결과는 서비스의 공평성에 있어 많은 문제를 야기한다.

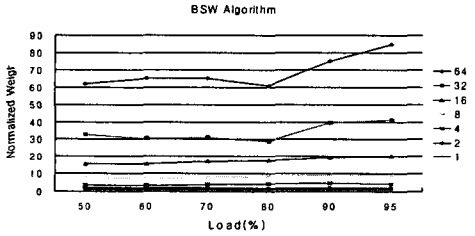

그림 6. 기존의 BSW 알고리즘의 입력부하에 따른 서비스 횟수

그림 7은 제안된 BSW 알고리즘의 입력부하에 따른 서비스 회수를 가중치 값으로 정규화하여 보여주고 있다. 그림 7은 가중치가 64인 VC의 경우 입력부하에 따른 가중치가 최저 57에서 71까지의 편차를 보이고 있다. 이는 그림 6의 기존의 알고리즘 보다 가중치 편차의 크기가 25에서 14정도로 감소됨을 확인할 수 있다. 이러한 결과는 제안된 알고리즘이 기존의 알고리즘 보다 모든 VC들에 보다 공평하게 서비스를 수행함을 입증한다. 그러므로 ABR과 UBR등의 best-effort 서비스 수행을 보다 우수하게 수행 할 수 있을 것이다.

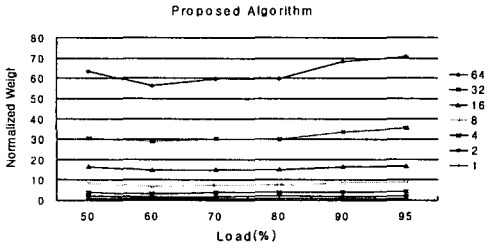

그림 7. 제안된 BSW 알고리즘의 입력부하에 따른 서비스 회수

V. 결 론

셀 스케줄링 알고리즘은 짧은 시간에 모든 계산을 수행해야 하므로 계산 복잡도가 작아야 한다. 이에 적합한 알고리즘이 WRR 알고리즘이다. 이러한 WRR 알고리즘을 하드웨어로 구현하기 위하여 BSW 구조가 개발되었다. 그러나, 기존의 BSW 구조는 하드웨어 복잡도를 감소시키고자 WRR 알고리즘의 성능을 저하시키는 문제를 내포하고 있다.

본 논문에서는 이러한 BSW 구조의 문제를 개선하고자 새로운 BSW 구조를 제안하고 이에 적합한 셀 스케줄링 알고리즘을 개발하였다. BSW 구조는 WRR 알고리즘을 효율적으로 구현할 수 있게 하였으나 하드웨어의 복잡도를 감소시키기 위하여 WRR 성능을 저하시켰다. 기존 BSW 구조의 성능 저하를 개선하기 위해서, 본 논문에서는 융통성 있고 성능을 개선할 수 있는 새로운 구조의 BSW를 제안하였고, 제안된 BSW 구조에 적합한 새로운 셀 스케줄링 알고리즘을 개발하였다. 제안된 BSW 구조의 성능을 평가하기 위하여 기존의 BSW 셀 스케줄링 알고리즘과 제안된 구조에 적합한 셀 스케줄링 알고리즘의 시뮬레이션을 수행하여 그 결과를 비교 분석하였다. 시뮬레이션 결과는 제안된 구조의 알고리즘이 기존의 알고리

즘 보다 최대 버퍼의 크기는 50%이하로 감소되었고 평균 큐잉 지연은 제안된 구조의 알고리즘이 기존의 알고리즘 보다 65%이상 감소되었다. 이러한 성능 개선은 스위치의 셀 전송 능력을 상당히 향상시킬 수 있을 것이다. 할당된 가중치에 대한 서비스 횟수는 제안된 알고리즘의 경우 입력 부하에 따라서 그 수치가 정규화를 하였을 경우 15이내에서 변동이 있는 반면에 기존의 알고리즘에서는 그 변동이 25이내 이다. 이러한 결과는 제안된 알고리즘이 기존의 알고리즘 보다 할당된 가중치에 충실하게 서비스를 수행하고 있음을 확인할 수 있다. 이는 제안된 BSW 구조가 WRR 알고리즘의 하드웨어 구현을 가능하게 하며 셀 스케쥴링 성능을 그대로 유지할 수 있는 구조로 사용될 수 있을 것이다.

참고문헌

[1] K. Sui, H. Tzeng, "Intelligent congestion control for ABR service in ATM networks," IEEE ACM SIGCOMM, Comp. Commun. Rev., pp. 81-106, Oct. 1996.

[2] H. Ohsaki, M. Murata, H. Suzuki, C. Ikeda, and H. Miyahara, "Performance evaluation of rate-based congestion control algorithms in multimedia ATM networks," IEEE GLOBECOM'95, pp. 1243-1248, Nov. 1995.

[3] Okada. T. H. Ohnishi and N. Morita, "Traffic Control in ATM," IEEE Communication Magazine. Sep. 1991.

[4] J. M. Hyman, A. A. Lazar, G. Pacifici, "Real Time Scheduling with Quality of Service Constraints," IEEE Journal on Selected Areas in Communications, vol. SAC-9, no. 7, Sep. 1991, pp. 1052-1063

[5] D. Stiliadis, A. Verma, "Design and Analysis of Frame-based Fair Queuing: A New Traffic Scheduling Algorithm for Packet-Switched Networks," to appear in ACM Sigmetrics, May 1996.

[6] J Golestani, "Fair Queueing Algorithms for Packet Scheduling in BISDN," in the Internation Zurich Seminar, pp. 39-51, 1996.

[7] M. Katevinis, S. sidiropoulos, C. Courcoubetis, "Weighted round- robin cell multiplexing in a general-purpose ATM switch chip," IEEE J. on Sel. Area in Commun., Sep. 1991.

[8] Yuhua Chen, Jonathan S.Turner, "Designing of a Weighted Fair Queueing Cell Scheduling for ATM Network," Proceedings of the Globecom '98 vol. 1, pp. 405-410, Nov. 1998.

[9] 조해성, 임청규, 전병실, "BSW 구조의 셀 스케쥴링 알고리즘", 한국OA학회논문지, 제5권 제3호, pp. 119-125, 2000. 9.

저자소개

조 해 성

1994년 2월 : 전북대학교 전자공학과 졸업(공학사)

1996년 2월 : 전북대학교 전자공학과 석사

2001년 2월 : 전북대학교 전자공학과 박사

2001년 3월~8월 : 표준과학연구원 Post-Doc.

2001년 9월~현재 : 건양대학교 IT학부 전임강사

〈관심분야〉 ATM 트래픽제어, ATM 스위치 설계, 멀티미디어 통신