

**특 집**

# 휴대 단말기용 전력 증폭기 기술

박 현 민, 김 덕 환, 홍 성 철

한국과학기술원 전자전산학과

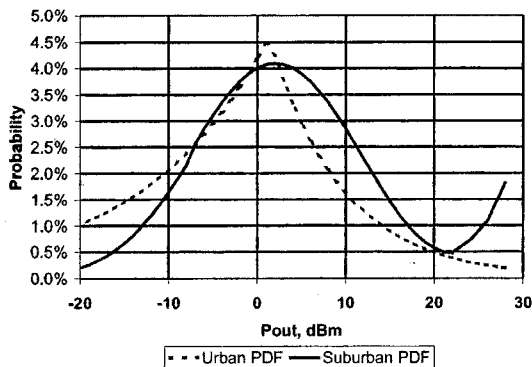
## I. 서 문

국내 이동 통신 서비스의 표준인 CDMA 시스템의 단말기에 사용되는 전력 증폭기는 그 특성상 높은 전력 효율을 가지는 것이 유리하다. 동시에 인접 채널간의 간섭 때문에 통화 품질이 저하되는 현상을 막기 위해서 높은 선형성이 요구된다. 일반적으로 널리 사용되는 class AB 전력 증폭기의 경우 최대 출력 전력 지점으로부터 충분히 떨어진 곳에 동작점을 두어 선형성을 확보하나 전력 효율이 떨어지는 단점이 있다. 반면 최대 출력 전력 근방에서 가장 높은 효율을 보이지만, <그림 1>에 보는 것처럼 probability distribution function(PDF) 값은 비교적 낮다<sup>[1]</sup>. 이는 전력 증폭기에서 최대 전력을 출력하도록 요구되는 시간이 전체 동작 시간 중 극히 일부분임

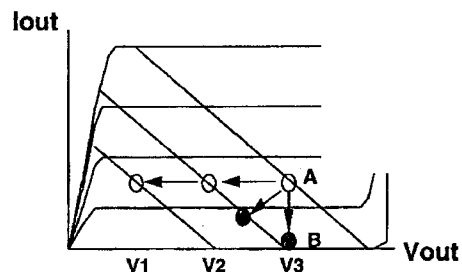
을 의미한다. 반면 최대 전력 지점보다 약 25dB 정도 물러난 지점에서 확률이 최대값을 형성하고 있다. 따라서 이 영역의 효율을 높일 수 있는 회로를 구성하는 것이 전체 시스템 효율을 상승시키는데 더욱 효과적이라 할 수 있다. 이와 같이 이동 통신 시스템은 전력 증폭기의 동작 전력 범위가 광대해짐에 따라 전체 전력 영역에서 유효한 효율 상승 방안이 중요해지고 있으며, 최대 출력 전력에서 효율 수치의 의미는 점점 퇴색되고 있다. 출력 전력이 분포 함수의 형태를 가지는 경우 평균 전류 소모는 출력 전력의 분포 함수와 전력에 따른 증폭기 전류의 곱을 적분함으로써 구할 수 있다.

$$\langle I_c \rangle = \int_{P_{min}}^{P_{max}} I_c(P) \cdot f(P) \cdot dP \quad (\text{식 1})$$

저전력 영역에서 효율을 증대하는 일차적인 방안으로 바이어스 전류를 낮추는 것과 서플라이 전압을 낮춰 신호 전압의 크기를 상대적으로 키우는 것을 생각해 볼 수 있다. <그림 2>에 나타난 것처럼 출력 전력의 크기에 따라 바이어스 전



<그림 1> IS-95 urban, suburban 환경에서 전력 증폭기의 probability distribution function(PDF).



<그림 2> 전력 증폭기의 전류-전압 관계에 나타난 로드 라인 및 바이어스 지점.

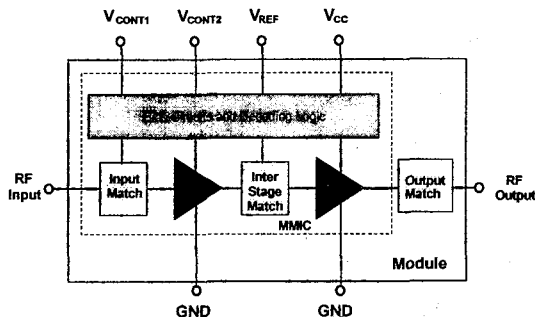
류 혹은 서플라이 전압을 최적으로 조절한다면, 저전력 영역에서 효율이 큰 값으로 유지될 수 있다<sup>[2]</sup>. 만약 바이어스 전류와 서플라이 전압을 동시에 조절한다면 더욱 큰 효율 증대를 기대할 수 있을 것이다.

전력 효율과 선형성은 전력 증폭기의 가장 중요한 설계 사양이며, 시스템의 성능과 밀접한 연관이 있기 때문에 둘 사이의 상호 관계를 바탕으로 한 설계 연구가 이루어지는 것이 중요하다. 또한 전력 효율을 높이기 위해 취하는 방안이 회로의 선형성을 저하해 정해진 범위 밖으로 벗어나지 않도록 확인하는 것이 필요하다. 본 고에서 최근에 이루어지고 있는 연구 중 저전력 영역에서 효율을 상승시키기 위한 회로 기술에 국한하여 사례 중심으로 알아보았다.

## II. 본 론

### 1. 바이어스 전류 변화

바이어스 전류 변화는 휴대 단말 시스템에서 출력되는 제어 전압을 이용하여 저전력 영역의 동작 전류를 낮추어 효율을 상승시키는 방안이다. <그림 3>은 Conexant사의 System Smart PA를 나타낸 것으로써, 2개의 제어 입력을 이용하여 최대 네 단계의 동작 전류를 선택할 수 있다. 전력 증폭 회로 외에 제어 로직 회로가 포함되어 있어 특정 전력 레벨에서 동작 전류가 스위



<그림 3> Conexant사의 System Smart PA.

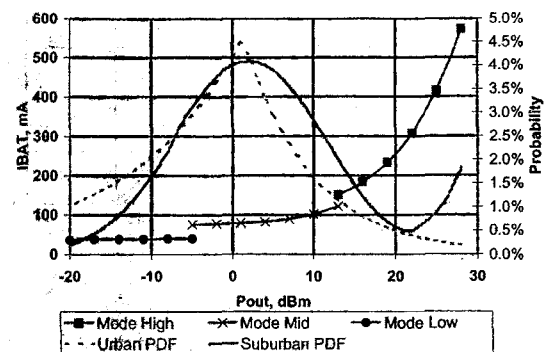
칭 된다. 최대 동작 전류 모드에서는 일반 전력 증폭기로 동작하면서 100mA 정도의 전류를 소모하는 반면, 최소 전류 모드에서는 33 mA 까지 감소되어 전력 효율을 상승시키는 역할을 한다. <그림 4>는 cellular band의 System Smart PA가 세 단계 전력 범위에서 동작 전류 스위칭 할 경우 전류 소모를 나타낸 것이다. 이로 인해 대략 20~30% 정도의 평균 전류 감소 효과를 얻을 수 있다.

### 2. 서플라이 전압 변화

전력 증폭기의 효율은 RF 신호의 순간 최대 전압 ( $V_o$ )과 직류 서플라이 전압 ( $V_{PA}$ )간의 비율에 크게 의존한다. (식 2)는 class A 전력 증폭기에서 관계식을 나타낸다.

$$\eta = \frac{(V_o/V_{PA})^2}{2} \quad \text{(식 2)}$$

일반적으로 증폭기 설계 시 최대 전력 지점에 맞추어 로드라인을 설정하기 때문에, 저전력 영역에서 순간 RF 전압은 서플라이 전압에 비해 매우 작아 효율이 작다. 만약 출력 전력의 감소에 맞추어 서플라이 전압을 감소시킨다면 이 비율을 높일 수 있어 저전력 영역의 효율이 증대될 것이다. 서플라이 전압 변화 회로를 구성하기 위해서 buck-type DC-DC 컨버터를 사용하여 배터리 전압과 ( $V_{BAT}$ ) 같거나 낮은 전압을 증폭기의 출력 전압에 ( $V_{PA}$ ) 인가하는 것이 일반적이다. 이



<그림 4> Cellular band System Smart PA의 출력 전력에 따른 바이어스 전류 스위칭.

경우 전력 증폭기의 효율이 상승하는 것 외에 배터리로부터 끌어내는 전류 ( $I_{BAT}$ )가 줄어들어 평균 전류 소모가 감소한다.

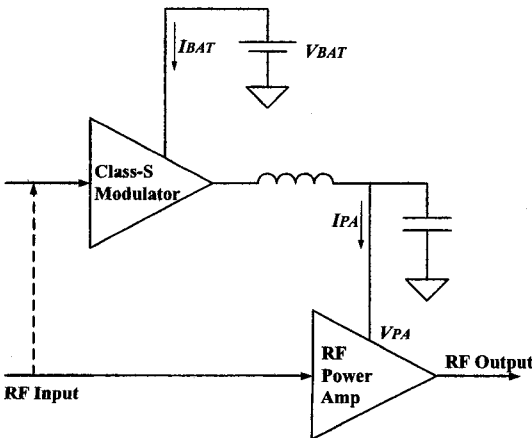
$$I_{BAT} = I_{PT} \cdot \frac{V_{PA}}{V_{BAT}} \cdot \frac{1}{Eff} \quad (식 3)$$

### 1) Envelope Following Technique

Envelope Following (EF) 증폭기는<sup>[3]</sup> 입력 envelope 신호의 크기에 따라 순간적으로 서플라이 전압을 바꾸어 증폭 회로가 항상 포화 상태에서 동작하게 한다. 이로 인해 (식 2)에서처럼  $V_0$ 와  $V_{PA}$ 의 비가 증대되어 효율이 상승한다. 이때 증폭기가 소모하는 전력은  $I_{PT}$ 와  $V_{PT}$ 의 평균값을 곱한 것으로 고정된  $V_{BAT}$ 를 사용하는 것보다 훨씬 작아질 수 있다. 또한 증폭기가 선형적으로 동작하기 위해서는 amplitude ( $E(t)$ )와 phase ( $\Phi(t)$ ) 모두 다음의 선형 관계식을 만족해야 한다. 따라서 서플라이 전압 변화에 따라 정해진 선형성이 보장되는지 반드시 확인해야 한다.

$$\begin{aligned} \Phi_{out}(t) &= \Phi_m(t) + \Phi_{offset} \\ \frac{E_{out}(t)}{E_m(t)} &= G \end{aligned} \quad (식 4)$$

Si CMOS 공정을 이용하여 5MHz로 스위칭하는 buck-type DC-DC 컨버터 형태로 class-S modulator를 구현한 것에 따르면 3.5V에서

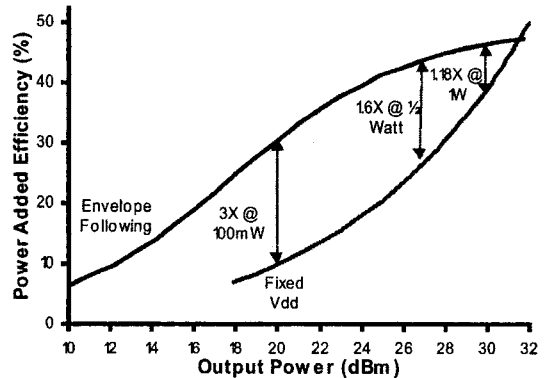


<그림 5> 서플라이 전압 변화 방식을 이용한 전력 증폭기.

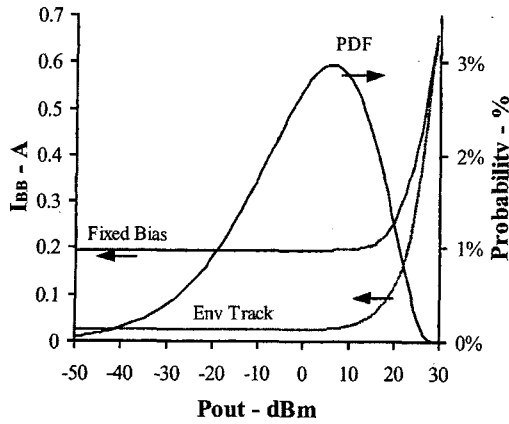
1A까지 약 90%의 효율 특성이 보고 되었다. <그림 6>은 IS-136 신호를 입력하여 EF 기술을 적용하기 전과 후의 효율을 나타낸 것이다. 저전력 영역으로 갈수록 EF 기술에 의한 효율 상승이 두드러져 최대 출력 지점에서 약 10dB 후퇴한 지점에서 효율이 3배 상승하였다. DC-DC 컨버터에서 발생하는 스위칭 노이즈는 L/C 필터에 의해 감쇄된다.

### 2) Envelope Tracking Technique

앞 절의 EF 기술은 입력 envelope 신호의 변화에 반응하여 서플라이 전압을 제어할 수 있는 빠른 class-S modulator를 필요로 하기 때문에 대역폭이 넓은 신호가 입력될 경우 문제를 야기할 가능성이 있다. 대역폭이 넓어지면 스위칭 주파수를 높여야 하는데 이는 스위칭에 따른 dynamic loss를 증가시켜 class-S modulator의 변환 효율을 떨어뜨린다. 따라서 EF 기술은 IS-95 CDMA처럼 대역폭이 넓은 시스템에 적용되기 어렵다. CDMA 시스템은 휴대 단말기의 출력 전력을 조절하여 기지국에 도달하는 전력이 시간에 따라 균일하게 만드는 power control을 수행한다. 이는 단말기와 기지국 사이의 거리 및 환경적인 영향을 보상하기 위한 것으로써 시스템의 신호 대역폭보다 훨씬 느린 속도로 이루어지며, 이 결과 전력 증폭기는 최대 전력에서 많이 후퇴한 저전력 영역에서 주로 동작 한다.



<그림 6> IS-136 신호를 입력한 후 EF 증폭기의 효율 개선.



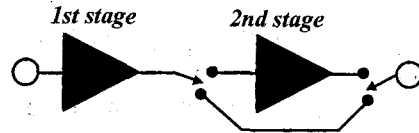
〈그림 7〉 IS-95 CDMA 신호를 입력한 후 ET 증폭기의 배터리 전류 감소.

Envelope Tracking(ET) 기술은<sup>[4]</sup> EF 기술과 달리 입력 신호의 순간적인 크기가 아닌 RMS 크기에 반응하여 서플라이 전압을 조절하는 방식으로, 증폭기의 동작이 대부분 저전력 영역에서 이루어지는 상황에 매우 적합하다. 증폭 회로의 바이어스 전압은 DC-DC 컨버터에 의해 배터리 전압보다 낮춰진다. EF 기술과 유사하게  $I_{PA}$ 와  $V_{PA}$ 의 평균값의 곱으로 전력 소모가 나타내어지므로 효율 상승을 기대할 수 있다. 〈그림 7〉은 IS-95 CDMA 신호를 인가한 후 ET 기술에 의해 배터리 전류가 감소한 것을 나타낸 것으로, PDF가 최대값을 형성하는 지점에서 1/4 이하로 감소하였다. 고정 서플라이 전압을 사용하는 경우와 비교하여 평균 전류 소모는 199mA에서 39mA로 감소하였으며, 이에 따라 평균 효율은 2.2%에서 11.4%로 상승하였다.

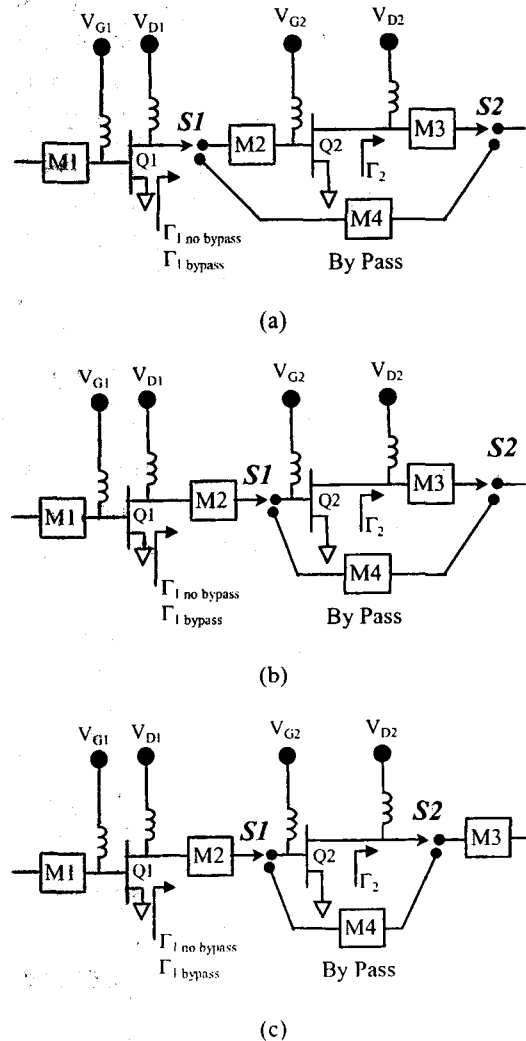
### 3. Switched Gain Stage

저전력 영역에서 효율을 증대하기 위해서 (식 2)와 같이 RF 신호 스윙을 서플라이 전압에 비해 상대적으로 크게 하는 것이 필요하다. 〈그림 8〉에서처럼 switched gain stage 개념을<sup>[5]</sup> 사용하여 최종단을 바이패스하는 것이 한 가지 방법이 될 수 있다. 저전력 영역에서는 첫번째 단을 통해서 증폭이 이루어지고 신호는 직접 출력과 연결된다. 반면 고전력 영역에서는 모든 단을 통

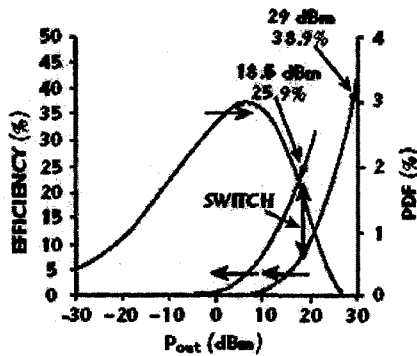
해서 증폭이 이루어지기 때문에 최종단에 사용된 소자가 충분한 전력을 공급할 수 있을 것이다. 저전력 바이패스 모드에서는 두번째 단이 사용되지 않기 때문에 전체 전류 소모를 줄일 수 있어 효율 상승을 기대할 수 있다. 또한 이 모드에서 필



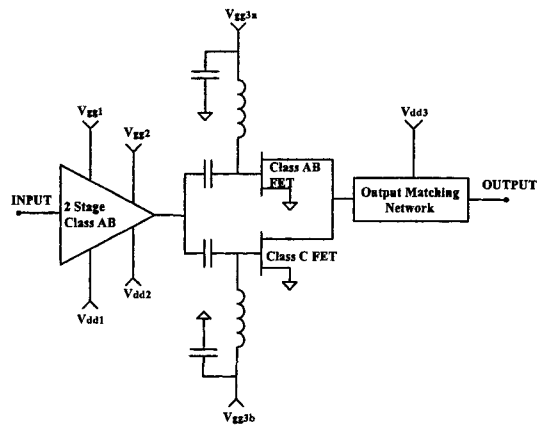
〈그림 8〉 Switched gain stage.



〈그림 9〉 스위치의 위치에 따라 서로 다른 구조.



〈그림 10〉 Switched gain stage 증폭기의 모드에 따른 전력 효율.



〈그림 11〉 Class AB+C FET 전력 증폭기.

요에 따라 첫번째 단의 로드 저항 값을 더 높은 효율이 얻어지는 쪽으로 변화할 수도 있다.

첫번째 단의 경우 바이패스 모드에서 동작이 가능하도록 추가 회로를 사용하여 매칭 회로를 구성하는 것이 필요하다. 또한 바이패스를 위해서 필요한 스위치를 최종단 매칭 회로의 어느 쪽에 위치할 것인지에 대한 최적화가 필요하다. 스위치를 부가적으로 사용하기 때문에 발생하는 감쇄와 interstage, output 매칭 회로의 어느 쪽에 스위치를 부착하는 것이 전체 회로를 최적화할 것인지 여부가 switched gain stage를 구현하는 데 따르는 가장 큰 쟁점이다. 이에 따라 FET를 사용하는 경우 〈그림 9〉와 같이 세 종류의 구조가 가능하다.

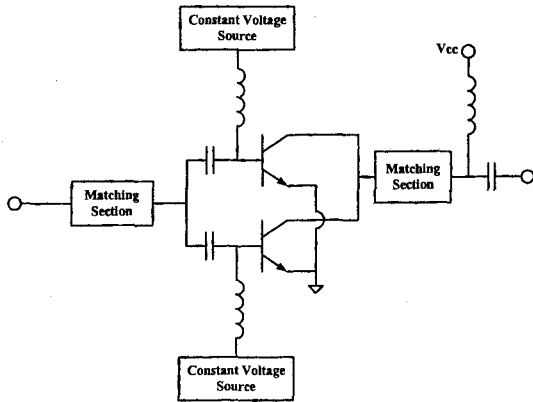
〈그림 10〉은 835MHz 대역에서 3.5V 배터리 전압에서 동작하는 IS-95 CDMA 전력 증폭기가 바이패스 모드와 디렉트 모드에서 동작했을 때 효율을 나타낸 것이다<sup>[6]</sup>. 출력 전력이 18.5 dBm이 되는 지점에서 바이패스 모드로 전환하는 경우 평균 효율은 디렉트 모드에 비해 2.07%에서 9.50%로 4.5배 증가한다. 전력 이득은 25 dB에서 13dB로 급격히 감소하지만 단말기 내부의 power control을 통해 보완할 수 있다.

#### 4. In-Phase Combining Technique

앞서 살펴본 서플라이 전압 혹은 바이어스 전류를 바꾸는 회로와 switched gain stage는 모두 부가적인 회로가 필요하다. 〈그림 11〉은<sup>[7]</sup>

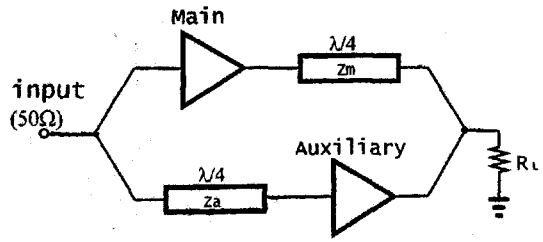
FET를 이용한 3단 전력 증폭기로서, 첫번째와 두번째 단은 일반적인 class AB로써 소자 포화 전류 값의 5~10%에 해당하는 전류에 동작점을 둔다. 최종단은 두 개의 소자가 병렬 구조로 연결되어 있는데 한쪽은 class AB에, 다른 쪽은 class C로 동작점을 잡는다. 저전력 영역에서 class C FET는 동작하지 않아 전류 소모가 없기 때문에, 최종단에 모두 class AB를 사용하는 경우에 비해 전류 소모가 반으로 줄어들어 효율 향상을 기대할 수 있다. Class AB 증폭 회로는 출력 전력이 증가함에 따라 전력 이득이 감소하는 특성을 보이는 반면 class C 증폭 회로는 전력 이득이 증가하는 특성을 보인다. 따라서 class AB와 class C의 바이어스 전류를 주의 깊게 선택하면 두 특성이 서로 상쇄되어 최대 전력 지점까지 평탄한 이득 특성을 가지는 증폭 회로를 구성할 수 있는 장점이 있다. 하지만 class C FET에 전류가 흐르기 시작하는 시점에 선형성이 나빠지는 현상이 있으므로 주의를 기울여야 한다.

증폭 소자로 HBT를 사용하는 경우 〈그림 12〉처럼 최종단에 constant voltage(CV) base bias 회로와 constant current(CC) base bias 회로를 병렬로 연결할 수 있다<sup>[8]</sup>. 이 경우 CV 증폭 회로는 출력 전력 증가에 따라 전력 이득이 증가하는 반면 CC 증폭 회로를 전력 이득이 감소하는 특성을 가진다. 따라서 각각의 소자 크기와 바이어스 전류를 조절함으로써 이득 변화 특

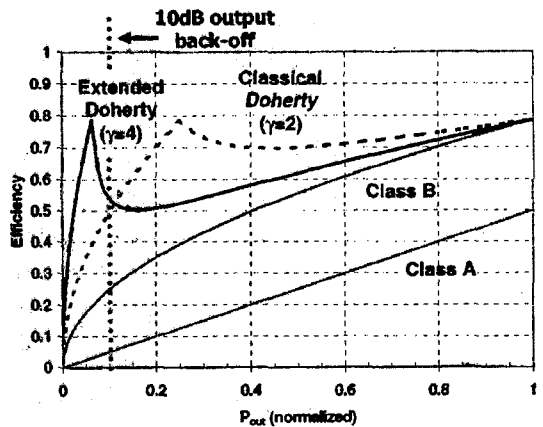


〈그림 12〉 CV/CC HBT 전력 증폭기.

성을 상쇄하여 선형성을 향상시킬 수 있다. 두 소자를 서로 다른 바이어스 조건에서 동작시키기 위해 베이스에 커패시터를 추가하였으며, 에미터와 컬렉터는 공통 단자를 사용한다. 특히 CV 회로만을 사용했을 경우와 비교해 볼 때 같은 출력을 내어주기 위해 필요한 전체 바이어스 전류의 크기가 줄어들기 때문에 효율 상승의 이득이 있다.



〈그림 13〉 Doherty 증폭기.



〈그림 14〉 Doherty 증폭기의 전력 효율 특성.

### 5. Doherty Amplifier

Doherty 증폭기는 〈그림 13〉 주증폭기와 보조 증폭기가  $\lambda/4$ -transformer에 의해 출력이 결합된 형태로 구성되어 있다<sup>[6]</sup>. 출력에서 양 경로간 시간 지연을 맞추기 위해 보조 증폭기 입력단에  $\lambda/4$ -transformer가 추가되어 있다. 통상적으로 주증폭기는 class B에, 보조 증폭기는 class C에 동작점이 잡혀 있으며 주증폭기가 포화 되는 시점에 보조 증폭기가 동작하기 시작한다. 보조 증폭기가 전류를 흐르게 따라 주증폭기가 보는 임피던스 값이 줄어들는데, 이런 load-pulling 효과에 의해 주증폭기는 더욱더 많은 전류를 공급한다. 이는 주증폭기가 계속해서 포화 상태에서 동작하는 것을 의미하며, 이런 포화 상태는 보조 증폭기가 포화될 때까지 계속 유지된다. 결국 모든 증폭기가 포화되기 전부터 주증폭기가 포화 상태에서 동작하기 때문에 저전력 영역에서 효율 상승이 가능하다.

Classical Doherty 증폭기는  $Z_m$ 의 특성 임피던스를  $R_L$ 의 2배로 하여 최대 전력 지점에서 6dB 후퇴한 곳 부터 포화 상태를 유지한다. 만약 특성 임피던스를 2배 이상으로 하면 6dB 이상 후퇴한 곳부터 포화 상태를 유지하는 'Extended Doherty Amplifier' 구성이 가능해져 보다 넓은 영역에서 통상적인 증폭기보다 높은 효율을 얻을 수 있다.

### III. 결 론

이동 통신 시스템에 사용되는 전력 증폭기는 기존의 단순한 구조를 넘어서 사용 환경에 따른 적응성을 요구하고 있다. 그 중 시스템이 기능을 발휘하는 최대 시간과 밀접한 연관이 있는 증폭기의 전력 효율은 포화 전력에서 수치 하나만으

로 나타내던 기존 관습 이상의 의미를 갖게 되었다. 따라서 증폭기가 동작 가능한 영역 전반에 걸쳐 효율을 증대할 수 있는 방안이 부각되고 있다. 본 고에서 최근 이루어지고 있는 연구 중 휴대 단말기용 전력 증폭기에 응용 가능한 사례에 대해 소개하였다. 하지만 이와 같은 방안이 적용된 후 회로의 성능 저하가 유발되는지 여부를 확인하여 주어진 설계 사양 범위 밖으로 벗어나지 않도록 하는 것이 중요하다. 전력 증폭 회로는 동작 환경이 지속적으로 복잡해지기 때문에, 다양한 조건 하에 소자의 동작을 예측할 수 있는 대신호 모델의 중요성이 더욱 부각될 전망이다.

#### 참 고 문 헌

- [1] Thomas Fowler, "Efficiency improvement techniques at low power levels for linear CDMA and WCDMA power amplifiers," in *IEEE Radio Frequency Integrated Circuits Symp. Dig.*, 2002, pp. 41-44.
- [2] Gary Hanington, "High-efficiency power amplifier using dynamic power-supply voltage for CDMA applications," *IEEE Trans. Microwave Theory Tech.*, vol. 47, pp. 1471-1476, Aug. 1999.
- [3] J. Staudinger, "An overview of efficiency enhancements with application to linear handset power amplifiers," in *IEEE Radio Frequency Integrated Circuits Symp. Dig.*, 2002, pp. 45-48.
- [4] J. Staudinger, "High efficiency CDMA RF power amplifier using dynamic envelope tracking technique," in *IEEE MTT-S Int. Microwave Symp. Dig.*, 2000, pp. 873-876.
- [5] Joe Staudinger, "Stage bypassing in multi-stage PAs," *IEEE MTT-S Symposium Workshop on Efficiency & Linearity Enhancement Methods for Portable RF/MW Power Amplifier*, Jun. 2000.
- [6] J. Staudinger, "Applying switched gain stage concepts to improve efficiency and linearity for mobile CDMA power amplification," *Microwave Journal*, pp. 152-162, Sep. 2000.
- [7] J. Cao, "A 3.2 V, 45% efficient, novel class AB+C CDMA MMIC power amplifier using quasi enhancement mode PHEMTs," in *IEEE Radio Frequency Integrated Circuits Symp. Dig.*, 2000, pp. 93-96.
- [8] Shintaro Shinjo, "A 20mA quiescent current CV/CC parallel operation HBT power amplifier for W-CDMA terminals," in *IEEE Radio Frequency Integrated Circuits Symp. Dig.*, 2002, pp. 249-252.
- [9] Masaya Iwamoto, "An extended Doherty amplifier with high efficiency over a wide power range," *IEEE Trans. Microwave Theory Tech.*, vol. 49, pp. 2472-2479, Dec. 2001.

## 저자 소개



朴賢珉

1997년 2월 한국과학기술원 전기 및 전자공학과 학사, 1999년 2월 한국과학기술원 전기 및 전자공학과 석사, 2002년 현재: 한국과학기술원 전자전산학과 박사과정, <주관심 분야: 전력증폭기

설계, 대신호 모델>



洪聖喆

1982년 2월 서울대학교 전자공학과 학사, 1984년 2월 서울대학교 전자공학과 석사, 1989년 4월 University of Michigan 전자공학과 박사, <주관심 분야: 반도체소자 모델, MMIC 회로설

계, 광소자 및 양자기능소자>



金德桓

1999년 2월 한국과학기술원 전기 및 전자공학과 학사, 2001년 2월 한국과학기술원 전기 및 전자공학과 석사, 2002년 현재: 한국과학기술원 전자전산학과 박사과정, <주관심 분야: RF전력소자

모델링 및 회로설계>