

## RF CMOS 기술의 현재와 미래

김 천 수, 유 현 규

한국전자통신연구원 반도체·원천기술연구소 RF/Analog IC설계팀

### 요 약

Wireless communication systems will be one of the biggest drivers of semiconductor products over the next decade. Global Positioning System (GPS) and Blue-tooth, HomeRF, and Wireless-LNA system are just a few of RF-module candidate awaiting integration into next generation mobile phone. Motivated by the growing needs for low-cost and multi-band/multi-function single chip wireless transceivers, CMOS technology has been recognized as a most promising candidate for the implementation of the future wireless communication systems.

This paper presents recent developments in RF CMOS technology, which is classified into device technology and circuit technology and from them forecasts technology trends in the near future.

### I. 서 론

'96년 초 "실리콘 RF 집적회로 소자기술" 연구를 시작으로 RF CMOS 기술을 처음 접하면서, 앞으로 RF CMOS 기술이 1~2GHz 대역의 이동통신 송수신 부품에 적용가능할 것인가를

고민한 과거를 회상하면, 현재의 RF CMOS 기술의 발전속도나 저변이 확대되는 속도는 격세지감을 느낀다. CMOS 기술은 수 많은 수 많은 연구자들에 의한 기술개발 및 시설투자 등으로 기술개발의 속도가 타 기술에 비해 빠르므로 미래를 예측하는 자체가 많은 무리가 따른다. RF CMOS 기술은 불과 6~7년 전에는 GHz 대역의 이동 통신용 RF부품으로 적용에 상당히 부정적이었다. 또한 2~3년 전까지 많은 연구결과가 발표되었음에도 불구하고 실제로 상용화되는 제품의 수가 거의 없어 논란의 여지가 많았지만, 현재는 Silicon Laboratory사의 GSM/PCS용 칩<sup>[1]</sup>, Atheros사<sup>[2]</sup>와 Intersil사<sup>[3]</sup>의 5GHz 대역의 WLAN (Wireless Local Area network) 용 칩 등 많은 상용제품이 개발되었으며, 실제 시스템에 적용되고 있어, 현재의 RF CMOS 기술은 긍정적인 기술단계를 넘어서 가격경쟁력을 위해서 필수적인 기술로 받아 들여지고 있다. 이는 CMOS 기술이 제공할 수 대량생산 능력으로 인해 기존 RF IC의 저가격화뿐 아니라 미래의 복합/다기능 무선 멀티미디어 단말기 구현을 위한 single chip solution을 제공할 수 있는 가능성이 Bi-CMOS 기술과 더불어 가장 높기 때문이다. 아울러 제4세대의 이동통신 시스템은 SDR (Software Defined Radio)을 추구하고 있어 고속 DSP(Digital Signal Processor)와 대용량의 메모리 등 디지털 블록의 중요성이 훨씬 커지므로<sup>[4]</sup>, 개발된 Digital/Analog IP를 활용, RF System IC까지 구현이 가능하다는 측면에서 보다 근본적인 강점이 있다.

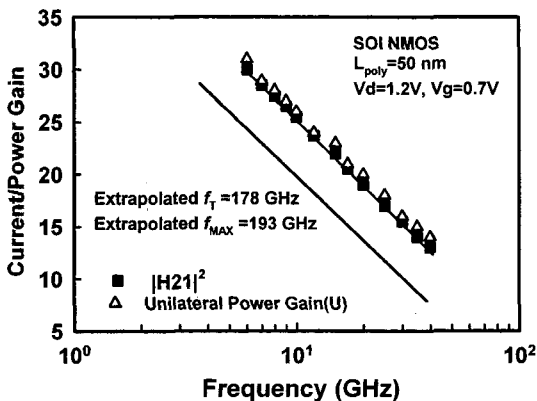
본 논문에서는 향후 전개될 다양한 무선서비스

에 대응하기 위한 RF CMOS 집적회로의 소자 및 설계 기술개발 현황과 향후의 발전전망을 예측해 보고자 한다.

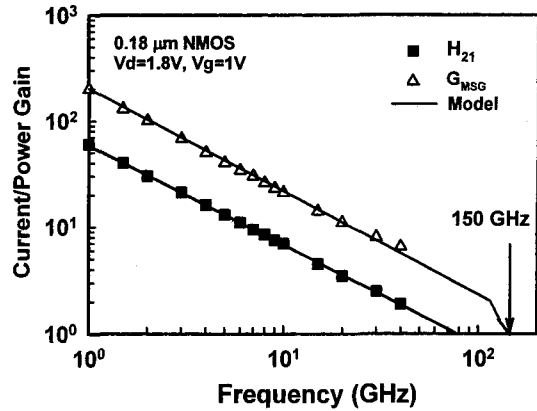
## II. RF CMOS 집적회로 소자기술

### 1. RF CMOS 능동소자기술

RF IC 구현을 위해 소자가 가져야 할 주요 특성으로는 높은 전력이득 특성 및 선형성과, 낮은 잡음특성이 요구된다. CMOS 기술은 고성능 프로세서와 고집적의 메모리 칩의 필요성으로 꾸준히 scale-down되어 왔으며, 그 결과 CMOS 소자도 GHz 대역의 고속동작도 가능하게 되었다. 최근 2001년 12월 IEDM(International Electron Device Meeting) 학회에 발표된 자료에 의하면, 소자의 cutoff frequency ( $f_T$ )는 채널길이가 50nm이고, SOI(Silicon on Insulator) 형태의 MOSFET 소자의 경우 178GHz까지 발표되고 있으며, RF 적용을 위한 주요지표인 maximum oscillation frequency ( $f_{max}$ )은 193GHz까지 발표되고 있다(〈그림 1〉, [5]). 이는 최근 발표된 SiGe HBT(High electron mobility Bipolar Transistor)의  $f_{max}$ 가 240GHz 정도임을 비교하면, 거의 대등한 수준이다.



〈그림 1〉 채널길이가 50nm인, SOI MOSFET 소자의  $f_T$  및  $f_{max}$ 특성<sup>[5]</sup>

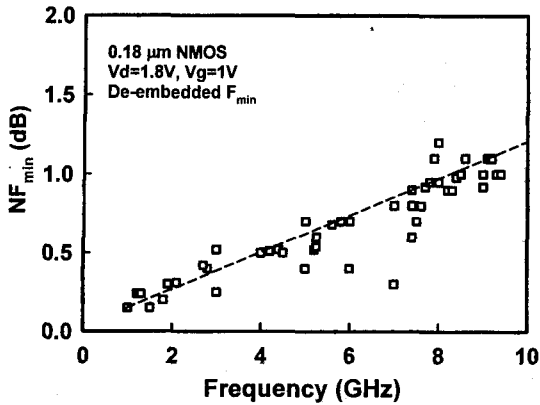


〈그림 2〉 현재 RF IC 구현을 위해 많이 사용중인 0.18  $\mu\text{m}$  CMOS 소자의  $f_T$  및  $f_{max}$ 특성<sup>[6]</sup>.

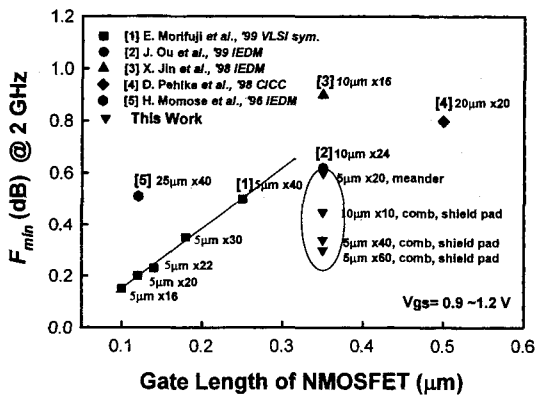
그러므로 이제는 수 GHz 대역의 RF IC를 구현하기 위한 기술의 선택폭은 더욱더 커졌다.

RF용 CMOS 소자는 multi-finger 형태로 사용하므로, 입력 임피던스의 저항성분은 작고, 커패시터 성분이 주이다. 그래서 소자만의 특성을 평가를 위해 측정 pad에 의한 성분을 제거(de-embedding)할 때 많은 오차를 포함하게 되어, 실제의 소자특성이 상당히 저 평가되기 쉽다. 이러한 예로서 〈그림 2〉는 현재 많이 사용중인 0.18  $\mu\text{m}$  CMOS 소자의  $f_{max}$ 가 150GHz가 됨을 보여준다<sup>[6]</sup>. 이와 같이 CMOS 기술은 RF IC에 적용된 시기가 짧아 RF 특성을 최적화할 경우, 현재의 특성보다 더욱더 우수한 특성을 얻을 가능성이 크다.

전력이득 특성과 더불어 중요한 특성 중의 하나는 잡음 특성이다. 〈그림 3〉은 0.18  $\mu\text{m}$  소자의 잡음특성으로 2GHz 대역의 저잡음 증폭기(Low Noise Amplifier)의 잡음 특성을 2dB 이하로 구현하는 것이 그렇게 어렵지 않음을 보여주며, 또한 8GHz 이하의 주파수에서 1.0dB 이하의 최소잡음 특성으로서 8GHz LNA에 적용가능성을 보여주고 있다. CMOS 소자의 잡음 특성은 게이트저항, 소오스/드레인 저항, substrate loss 저항 및 pad의 loss 저항 등 여러가지 소자 변수에 영향을 받으므로 잡음특성의 최소화가 어렵다. 그러나 〈그림 4〉와 같이 ground shielded



〈그림 3〉 0.18 μm CMOS 소자의 de-embedded된 고주파 잡음특성 [6].



〈그림 4〉 0.35 μm CMOS 소자에 ground shield pad를 적용하였을 때의 고주파 잡음특성과 발표된 논문의 잡음특성의 비교 [7].

pad<sup>[7]</sup>를 사용하거나, substrate 저항의 최적화<sup>[8]</sup> 등을 적용할 경우 잡음특성은 더욱더 개선될 것으로 기대된다. 또한 CMOS 기술이 0.13 μm, 0.1 μm로 scale-down 됨에 따라 더욱더 낮은 잡음특성을 가지므로<sup>[9]</sup> 10GHz 이상에 동작하는 저잡음 증폭기의 출현도 시간문제임을 예측할 수 있다.

CMOS 기술이 scale-down됨에 따라 전원전압이 감소하더라도 transconductance(gm)는 증가하므로 전력이득 및 잡음지수의 개선은 예측된다. 그러나 선형특성(3<sup>rd</sup> order Intercept

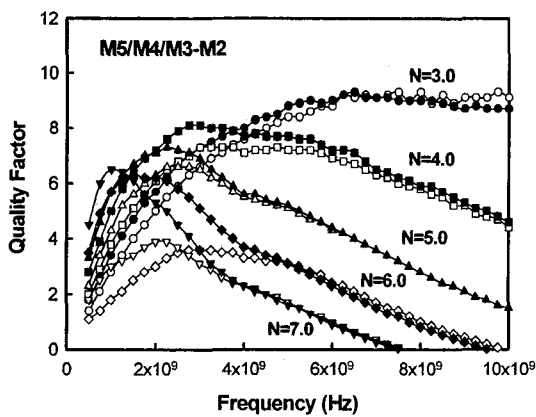
point : IP3)은 gm에 비례하고 동시에 gm의 2차 미분값(gm'') 크기에 반비례 하며, 또한 gm''의 값은 bias 조건에 따라 다르므로, 선형특성의 예측은 쉽지 않다. Gm''의 값이 작은 bias 영역은 gate 전압이 큰 영역으로 scale-down에 따른 선형특성의 개선이 쉽게 예측되지만, 이 영역은 큰 전류 소모로 사용가능성이 희박하며, 일정한 gm을 가지는 bias 조건으로 비교하면 선형특성이 나빠진다. 이러한 선형성 개선을 위해서는 회로적으로 gm''의 성분을 cancellation하는<sup>[10,11]</sup> 방법들이 있지만 회로가 복잡해지고, 전류소모도 증가하므로 저전력 이동통신용 RF IC의 구현을 위해서는 부득이한 경우를 제외하고는 잘 사용하지 않는다. 그래서 높은 선형성을 요구하는 block의 경우 전원전압이 낮은 core용 소자보다 전원전압이 높은 I/O용 소자를 이용하여 구현하기도 한다.

### 2. 집적형 수동소자 기술

RF IC 설계를 위해서 필요한 수동소자는 인덕터와 커패시터, 저항 및 가변커패시터(varactor) 등이 필요하다. 고주파에서 큰 임피던스를 가지는 소자는 인덕터를 제외하고는 부하로 사용할 적당한 소자가 없다. 그래서 인덕터는 RF IC 설계에서 필수적이며, loss-less 임피던스 정합이나 부하로 활용된다. 인덕터 성능의 주요 항목으로는 인덕턴스, 충실도(Q : Quality Factor), resonance frequency( $f_{res}$ ), 및 면적 등이다. RF CMOS 집적회로를 구현하기 위해서는, 실리콘 기판에서 10 이상의 높은 Q(quality factor)값의 인덕터 개발이 필요하다. 실리콘 기판은 전도도가 높고 따라서 기판손실이 크기 때문에 RF 영역에서 주파수 특성이 저하되는 문제를 해결하는 것은 결코 쉽지 않다. RF CMOS 기술은 1층 당 약 0.5 μm 내외의 얇은 금속배선 두께는 직렬저항 성분을 증가시켜 high Q 인덕터 실현에 또 다른 장애 요소로 작용한다. 이러한 이유로 RF CMOS에 관한 연구중 상당한 부분이 집적형 인덕터에 관한 내용인 것으로 미루어 그 중요성을 알 수 있다.

집적형 인덕터의 성능을 향상시키기 위한 방법은 많은 연구 결과가 발표되었지만, CMOS 제작 기술의 변화없이 설계(layout)에 관련된 내용만을 살펴보면, 인덕터에 의해 유기되는 기판의 대응 전류흐름을 차단하는 patterned ground shield 방법<sup>[12]</sup>, 저항에 의한 손실을 최소화한 tapered layout 방법<sup>[13]</sup>, 또한 사각/원 형태에 따른 충실도<sup>[14]</sup> 등 많은 연구가 발표되었으나, 충실도의 개선은 10~30% 정도로서 획기적인 개선의 방법으로는 충분하지 못하다. 그 중 인덕터의 직렬저항 성분은 충실도를 감소시키는 가장 큰 요인이므로, 3~5층의 다층금속 배선, Cu-Damascene 등으로 저항성분을 감소시키면 충실도의 개선폭이 크다. 일부 RF CMOS 파운드리에는<sup>[15]</sup> 최상층 금속배선을 두껍게 하여 보다 개선된 특성을 제공하고 있으나 아직까지는 2GHz 대역에서 Q=4~10 정도의 성능에 머무르고 있다. 그러나 CMOS 기술이 scale-down됨에 따라 사용되는 메탈층의 수도 0.18  $\mu\text{m}$ 의 경우 6층, 0.13  $\mu\text{m}$ 의 경우 7층으로 증가하므로 인덕터와 기판과의 기생용량의 감소로 resonance 주파수가 증가하고 충실도가 점차적으로 증가할 것으로 예측된다.

RF CMOS IC들을 분석해보면 인덕터가 차지하는 면적이 전체 칩의 50%를 상회하는 있는 경



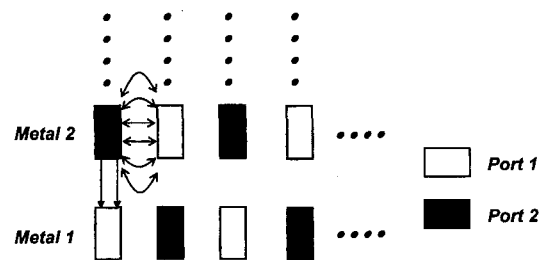
<그림 5> 5층메탈 금속배선 공정을 이용한 Spiral Inductor 특성 (N: turn수, dark: 5층메탈두께 2  $\mu\text{m}$ , clear: 5층메탈두께 0.8  $\mu\text{m}$ )

우가 많아 실용화 단계에서 인덕터 사용을 최소화 하는 회로구조가 연구되어야 할 것이며, 사용하더라도 면적을 최소화 할 수 있는 다양한 형태의 인덕터(예: dual-turn, active inductor, symmetric inductor, transformer 등)가 개발되어야 할 것이다.

커패시터와 저항은 과거 analog 회로에서도 사용되어 왔으나, 주로 전극이 폴리실리콘으로 사용하였다. 그러나 주파수가 높아짐에 따라 충실도가 떨어지고, 특히 기판과의 기생용량 성분이 커서 신호누설이 큰 단점이 있다. 그래서 대부분의 파운드리에서는 MIM(Metal-Insulator-Metal) 구조의 커패시터 공정을 개발하여 제공하고 있다<sup>[15]</sup>. MIM 커패시터의 경우 충실도도 크고, 특히 5층과 6층 메탈 사이에 커패시터가 위치하므로 기판과의 기생용량 성분이 작아서 신호누설을 최소화 할 수 있다. 인덕터와 더불어 MIM 커패시터도 면적이 크므로, 단위면적당의 커패시턴스(현재 1fF/ $\mu\text{m}^2$ )를 증가시켜서 면적을 줄이는 연구가 필요할 것으로 생각된다.

CMOS 기술은 다른 기술에 비해서 가장 많은 메탈층수를 사용하고, 메탈의 두께보다 좁은 선폭의 제작기술이 잘 개발되어 있어, <그림 6>과 같이 lateral flux를 이용하여 fringing 커패시턴스를 응용한 커패시터의 사용도 가능하며, MIM 커패시터 보다 단위면적당의 커패시턴스가 2~3배 큰 값을 얻을 수 있음을 보고하고 그 결과를 전력증폭기 설계에 적용하였다<sup>[16]</sup>.

저항, 커패시터, 인덕터 이외에 VCO(Voltage Controlled Oscillator)에 사용하기 위한 가변



<그림 6> 다층메탈 금속배선 공정을 이용한 lateral flux capacitor구조단면.

커패시터(varactor)가 요구된다. 가변커패시터는 여러 개의 MOS소자 게이트와 소오스사이의 커패시터를 이용, C-V특성을 이용함으로써 가변 커패시터를 구현한다. 최근에는 소오스/드레인과 기판과의 접합용량을 줄이기 위해, 기판과 같은 형의 소오스/드레인을 사용 accumulation모드의 C-V특성을 이용한다.

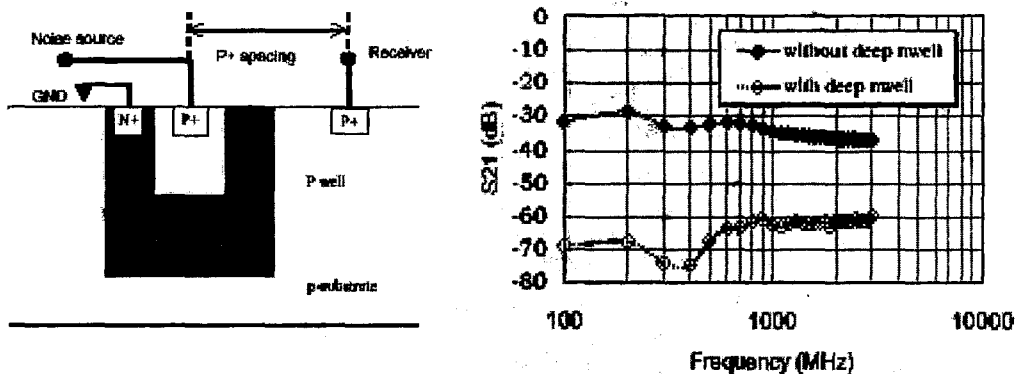
### 3. 신호간섭 억제기술(Signal Coupling Suppression Technology)

RF CMOS 기술은 앞서 언급한 바와 같이 디지털프로세 블록, 아날로그 ADC/DAC/filter블록 및 송/수신 블록을 하나의 칩으로 구현한 SOC(System On a Chip)가 가장 큰 목표이다. 이러한 이동통신 시스템용 SOC 목표에 가장 큰 난제중의 하나가 바로 인접소자간의 간섭(coupling)에 취약한 점이다. CMOS 소자가 사용하고 있는 실리콘 기판은 큰 도전성으로 인해, 반 부도체인 GaAs 반도체 기판에 비해 인접한 회로의 신호에 의한 cross-talk, 또는 인덕터에 의한 전자기적(electro-magnetic) coupling의 영향이 심각하다<sup>[17]</sup>. 신호의 cross-talk, 또는 인덕터에 의한 전자기적 coupling에 대한 영향을 줄이기 위해서는 가드링을 사용하거나, 잡음원과 거리를 크게 함으로써 어느 정도 줄일 수 있으나, 주파수가 2GHz 이상으로 높아짐에 따라 이러한 방법들은 효과가 반감된다.

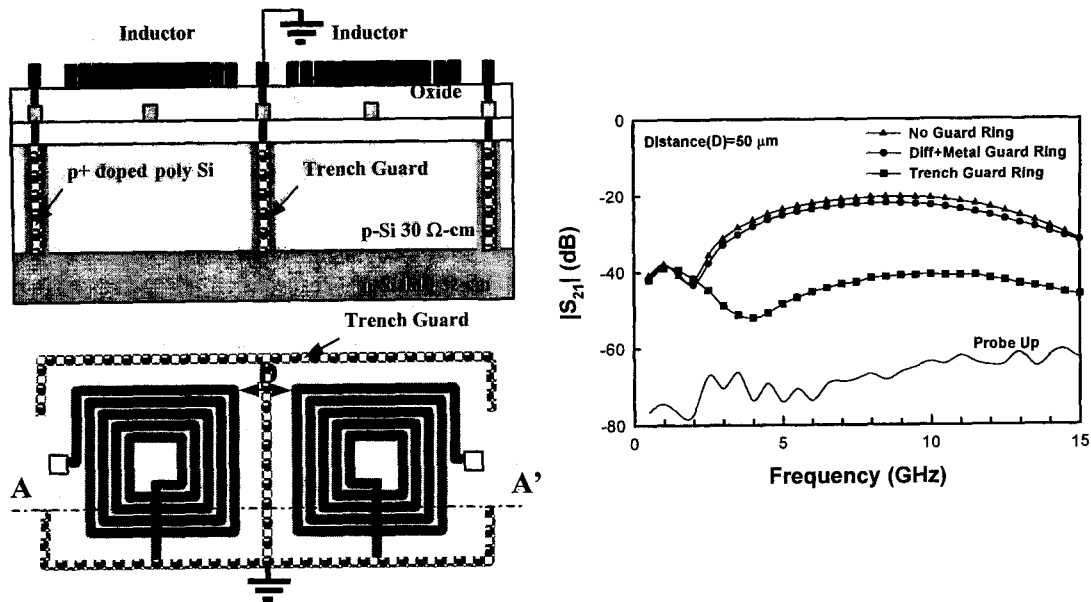
최근 이러한 간섭을 줄이기 위해 제공되는 기술

로는 TSMC(Tiwan Semiconductor Manufacturing Company)사의 deep well 기술<sup>[18]</sup>이 있다. Deep well 기술은 <그림 7>과 같이 기존의 n-well로 가드링 아래 부분을 높은 에너지의 이온주입을 함으로써 잡음원의 주위를 완전히 둘러싼 형태를 제공함으로써 3GHz의 주파수까지 -60dB 이하의 간섭억제 효과를 보여주고 있다. 그러나 deep well 기술은 설계물이 커서, 소자수가 많아질 경우, 칩면적이 커지고, 무엇보다도 3GHz 이상의 주파수에서는 간섭억제 효과가 현저히 떨어질 것으로 예측되며, 더욱더 심각한 인덕터와 인덕터 사이의 간섭의 억제에도 효과가 있는지는 아직 보고된 바가 없는 실정이다. <그림 8>은 최근 제안된 trench guard 기술<sup>[19]</sup>로서 coupling 및 cross-talk 문제를 해결해 주는 방법 중의 한 가지 이다. Trench 기술은 CMOS 기술에서는 성숙된 기술이며, scale-down도 쉬워 칩면적 증가의 문제를 배제할 수 있으며, 20GHz까지 coupling 억제 효과를 보여, 앞으로 소자간, 회로간 혹은 회로블록 간의 잡음 및 coupling을 방지하는데 유용한 기술로 예상된다.

아울러 CMOS 기술의 scale-down은 RF 특성을 대부분 향상시키고 있으나, 소자의 게이트 산화막이 얇아져서 ESD(Electro Static Discharge) 문제는 오히려 더욱 심각해진다. 큰 용량의 ESD 방지용 다이오드는 RF 입력단의 신호손실을 의미하므로 한계가 있다. 현재는 신호손실이 작게 작은 소자들을 사용하는 관계(Cd:



<그림 7> TSMC사에서 신호간섭 억제를 위해 제공하는 deep well 기술 및 신호간섭 억제특성<sup>[18]</sup>



〈그림 8〉 인덕터와 인덕터의 간섭억제를 위해 제안된 deep trench guard기술의 단면 및 평면도와 주파수에 따른 간섭억제 특성<sup>[19]</sup>.

0.2pF~0.5pF)로 디지털 칩에 비해서 EDS에 취약하며, 보다 근본적인 대책이 필요한 분야이다.

#### 4. RF CMOS Modeling 기술

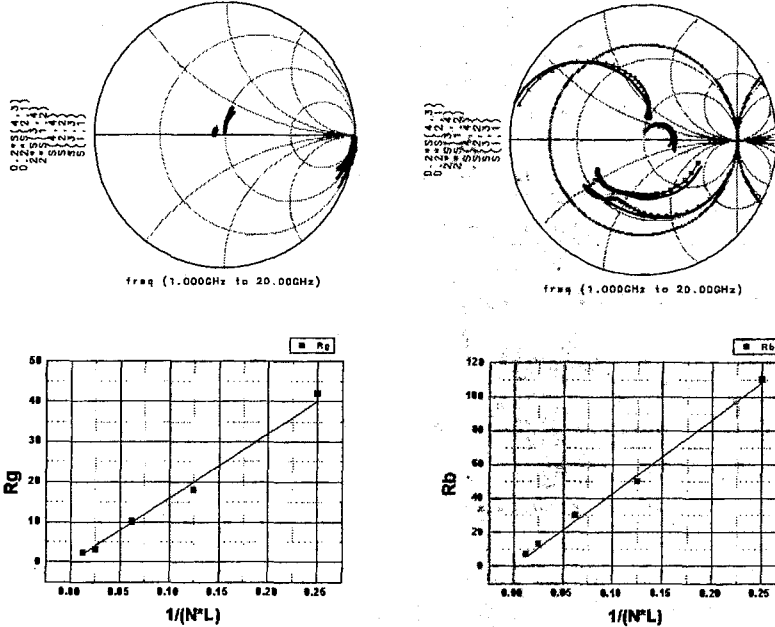
Bipolar나 MESFET에 비해 상대적으로 낮은 이득을 갖는 MOSFET의 경우, 출력특성의 예측은 회로성능에 직접적인 영향을 주는 것은 물론 RF IC 성능예측을 어렵게 하므로 정확한 모델링은 매우 중요한 과제이다. 2~3년전만 하더라도 RF CMOS IC를 설계하기 위해서는 능/수동소자의 RF 모델을 보유해야만 설계가 가능하였으나, 2000년부터 RF CMOS foundry 서비스를 시작한 국외의 TSMC사, Chartered사, UMC사 등도 대부분으로 설계를 위한 능/수동소자의 등가회로 및 scalable한 모델변수를 제공함으로써 다양한 user들의 요구에 부응하고 있어, 누구나 RF IC 설계가 가능하다. 그러나 design kit에서 제공되는 능/수동 소자들은 가장 기본적인 소자들로 구성되어 있으므로 고성능의 RF IC설계를 위해서 새로운 idea나, 변화된

layout에 대해서는 모델링을 한 후에 사용하여야 한다. 또한 RF IC의 성능이 대부분이 능/수동소자의 성능에 의존하므로, 고성능 RF IC 설계를 위해서는 자체의 최적화된 능/수동소자의 모델, layout등을 보유하여야만 경쟁력 있는 RF IC설계가 가능하다. 이러한 이유로 능/수동 소자의 모델링 기술의 중요성이 크다고 하겠다. 국내의 foundry 회사들도 0.25/0.18 μm 기술의 RF 모델 및 DB들을 개발하여 제공한다면, 훨씬 많은 ASIC customer를 확보가능 할 것으로 기대되, 시급한 투자가 요구된다. 〈그림 9〉는 0.18 μm CMOS 소자의 RF 모델링된 결과로서, scalability도 우수함을 보여주고 있다<sup>[20]</sup>.

그러나 mixer의 linearity나 power amplifier의 전력특성을 예측하기 위한 대신호 모델이나, 고주파 잡음모델 등은 아직도 많은 연구가 필요하다. RF CMOS IC는 다양한 형태의 doping 영역을 갖는 실리콘 기판위에 형성되므로 기판의 RF 특성 예측이 필요하다. 더구나 switching 잡음이 강하게 발생되는 디지털 IC와 집적하게 되면 RF Isolation 기술이 요구될 것인데 이에

$N = 08, W = 2.5\mu\text{m}, V_{gs} = 0.6\text{V}, V_{ds} = 0.9\text{V}$

$N = 80, W = 2.5\mu\text{m}, V_{gs} = 0.9\text{V}, V_{ds} = 1.2\text{V}$



<그림 9> 채널길이가  $0.18\mu\text{m}$ 이고, 채널폭이  $20\mu\text{m}\sim 200\mu\text{m}$  소자의 측정결과와 scalable-model로 모델링된 결과<sup>[20]</sup>.

대한 정량적인 설계룰 (design rule)이 필요하기 때문이다. 약 실리콘 기판은 약 10GHz까지는 저항(resistor mesh)으로도 모델링이 가능하지만 보다 체계적인 연구가 진행되어야 할 분야이다. RF CMOS IP가 상당히 확보되어가는 현 시점에서, IP에 대한 macro model 혹은 behavior model (description) 연구도 중요하게 대두될 것이다. 이는 기존 system IC와의 통합 simulation 환경이 당연히 요구되기 때문이다.

### III. RF CMOS 집적회로 기술

#### 1. 저잡음 증폭기 (Low Noise Amplifier)

수신기의 수신감도를 향상시키기 위해서는 수신기 전체의 잡음을 최대한 작게 설계해야 한다. 수신단 잡음은 수신단 선단의 LNA에 의해 대부분 결정되므로 LNA의 설계시 적정의 선형성과 이득을 유지하면서 잡음을 최소화하는 것이 가장

중요한 설계 이슈이다. 또한 대부분의 단말기는 50에 정합시켜야 하므로 전류소모를 고려한 입력단 CMOS 소자크기의 적정한 선정도 필요하다. 일반적으로 CMOS의 경우 입력 임피던스가 capacitive하여 입력정합이 어렵고, noise 및 power 정합점이 서로 상당히 떨어져 있어 소오스 인덕터를 이용하여, 이들 두 점이 가까워지도록 설계해야 한다.

CMOS 소자는 MESFET나 바이폴라 소자에 비해 이득이 낮고, 자체 저항(Gate 저항)이 커서 저잡음 회로구현에 어려움이 있으나 지속적인 연구결과로 현재 900~2400 MHz 대역에서  $NF=1.0\sim 2.8\text{dB}$ ,  $\text{Gain}=10\sim 20\text{dB}$ 인 성능을 보이고 있으며, 그 성능은 더욱더 개선될 것이다. Common source 형태의 LNA가 주류를 이루고 있는 가운데, 기판에서 여기되는 잡음성분을 제거하기 위한 목적으로 차동형을 사용하면서도 이득 조절기능이 추가된 형태<sup>[21]</sup>, 저전력을 위한 CMOS형 LNA(current reuse 방법)<sup>[22]</sup>, image제거 기능을 겸비한 LNA<sup>[23]</sup> 등 다양한 형태

의 CMOS LNA가 속속 발표되고 있다.

CDMA(Code Division Multiple Access) 수신기는 송신부의 신호가 수신단까지 역류하는 성분이 커서 수신부를 desensitize 시키므로, 높은 LNA 선형성을 요구한다. 선형성을 개선하기 위해 입력 단 MOSFET의 선형 특성을 연구하여 distortion을 제거하기 위한 방법이 최근 많이 제안되고 있다. 즉 3rd intermodulation 성분이 fundamental 성분과 같은 극성을 가지는 특성을 이용해 입력 단 앞이나 뒤에서 이를 제거하는 방법<sup>[10,11]</sup>이나 입력 단 MOSFET의 비선형 특성 특성에 가장 큰 영향을 끼치는 요소를 분석하여 최적화하는 방법<sup>[24]</sup> 등이다. 아울러 다중밴드를 수용하는 LNA 등도 많이 발표되고 있다.

## 2. Up/Down Mixer

상/하향주파수변환기는 각각 IF 증폭기 출력의 IF 신호를 LO(Local Oscillator) 신호와 곱하여 RF 주파수로 상향(Up-conversion)시키거나, LNA로부터 증폭된 RF 신호를 LO와 곱하여 IF 주파수로 하향(Down-conversion)시키는 회로이다. 수동 주파수변환기(Passive

mixer)는 소자의 선형영역에 동작점을 두기 때문에 static power가 낮고 선형성이 우수한 반면, 변환이득이 낮고 잡음특성이 나쁘다. 현재 가장 많이 채택되고 방식은 Gilbert multiplier 구조를 근간으로 한 능동 주파수변환기(Active mixer)이다. LO에 진폭이 큰 신호가 가해져 상단의 MOSFET가 이상적인 switching을 한다면, 이득이  $2/\pi$ 이고 출력주파수가  $\omega_{IF} = \omega_{RF} - \omega_{LO}$ 인 특성을 얻을 수 있다. LO leakage를 감소시키기 위해서 일반적으로 LO와 RF 사이에 cascode 단을 추가하며, 변환이득을 크게 하거나 가변시키기 위해 출력단 load의 구조를 변형하는 노력이 다양하게 진행되어 왔다<sup>[25-26]</sup>. Dynamic range는 기본적으로 하단 RF 입력부에 의해 결정 되므로 우수한 IP3를 얻기 위한 새로운 회로가 연구되고 있으며, MOSFET의 Vth offset에 의해 제한 받는 LO pumping의 효율 저하도 향후 개선해야 할 여지가 있다. CMOS의 전압 scaling에 대한 연구도 진행되고 있다. <그림 10>은 본 팀에서 2000년도에 최초로 설계/제작된 1.8GHz CDMA용 수신 IC(LNA, down-mixer, buffer, balun) 및 송신



<그림 10> 본 연구팀에서 0.35  $\mu\text{m}$  Digital CMOS 기술로 설계/제작된 1.8GHz CDMA용 Receiver 및 Transmitter chip 사진, a) Vdd=3.6V,  $1.3 \times 2.0 \text{mm}^2$  b) Transmitter IC, Vdd=3.0V,  $1.3 \times 1.5 \text{mm}^2$ <sup>[27]</sup>.



IC(up-mixer, buffer, balun)의 chip 사진이다. 이들 IC는 제작 당시 상용화된 BiCMOS칩 혹은 GaAs칩에 비해서 성능이 잡음 특성을 제외하고는 유사하였으며, 전력소모는 훨씬 개선된 특성을 보여주었다<sup>[27]</sup>.

최근의 이동통신 시스템의 요구사항은 다중밴드의 수용을 요구하므로, 900 MHz 대역, 1.5 GHz 대역 GPS(Global Positioning System), 및 1.9 GHz 대역을 동시에 수용하는 송/수신 IC가 속속 출현되고 있으며, 더욱더 많은 블록이 집적화되고 있다.

#### 4. Frequency Synthesizer

주파수합성기는 한 개 혹은 여러개의 주파수원(frequency source)으로부터 단일 출력주파수 혹은 서로 다른 여러개의 출력주파수를 발생시키는 회로이다. 합성방법에 따라 기준 주파수로부터 직접 원하는 주파수를 합성 하는 직접방식(direct synthesizer)과 PLL(Phase-Locked Loop)를 이용한 간접방식(indirect synthesizer), 및 이들 방식을 혼용한 복합방식(hybrid synthesizer) 등이 있다. 현재 많이 사용되는 PLL을 사용한 주파수합성기는 PLL 케환을 통해 노이즈가 줄어들고, 집적화가 용이하며, 높은 주파수를 얻을 수 있는 장점이 있는 반면, 주파수 천이 속도가 직접방식보다(특히 DDFS보다) 상대적으로 불리하다<sup>[28]</sup>. 따라서 통신방식(direct sequence, 혹은 frequency hopping)에 따라 합성기 구조의 선택이 달라질 수 있다.

RF 주파수 합성기를 설계하는데 있어 가장 중요한 점은 합성된 주파수의 위상잡음(phase noise)의 크기와 기준 클럭(reference clock)에 의해 발생하는 spur의 크기를 얼마나 작게 할 수 있는가에 있다. VCO(Voltage Controlled Oscillator)로부터 유입되는 위상잡음은 고역 통과 특성을 가진다. 따라서 대역폭을 증가시킴으로써 PLL의 위상잡음을 감소시킬 수 있지만, 너무 확대할 경우 spur가 증가하므로 이들 간의 trade-off가 필요하다. 주파수합성기의 핵심 요소인 VCO 설계에 있어 고려해야 할 사항을 3가

지로 요약하면 위상잡음, 주파수 가변범위, 및 전력 소모이다. VCO는 크게 ring-type과 LC 공진형이 있는데, ring type의 경우 주파수 가변범위가 넓기 때문에 마이크로 프로세서나 클럭 복원회로 등에 주로 사용되고 있으나, 임의의 지연소자에서 발생한 잡음이 chain 통해 계속 돌아 다니게 되어 위상잡음은 좋지 않다. 따라서 위상잡음 규격이 엄격한 단말기용으로는 ring-type보다 위상 잡음 특성이 우수한 LC 공진형이 유리하다. LC 공진형 CMOS VCO의 연구가 활발히 전개되고 있으며 0.8  $\mu\text{m}$  CMOS공정을 이용하여 phase noise 특성이  $-126 \text{ dBc/Hz}@600 \text{ kHz offset}$ 이고 전력 소모가 12.7 mW(@ 2.7 V)인 VCO가 발표된 바 있다<sup>[29]</sup>. 이 결과는 On chip Inductor와 4 bond wire, package leads를 모두 이용해 low phase noise에 필수적인 high Q 인덕터를 구현한 것이다.

그러나 최근에는 0.35  $\mu\text{m}$  CMOS 기술을 이용한 완전 집적형 VCO도  $-140 \text{ dBc/Hz}@1 \text{ MHz offset}$  이하의 우수한 phase noise 특성을 보여주고 있으며<sup>[30]</sup>, 더욱더 놀라움 만한 것은 0.12  $\mu\text{m}$  CMOS 기술을 이용하여 51 GHz로 동작하는 VCO가 발표되었다는 사실이다<sup>[31]</sup>.

#### 5. Power Amplifier

CMOS 소자는 scale-down됨에 따라 항복전압도 낮아져, 전원전압 이상으로 신호가 swing 하는 전력증폭기에는 적용을 고려하지 않았으나, 단일칩 RF SOC의 실현을 위해서 마지막 남은 블록인 전력증폭기의 집적화에 대한 활발한 연구는 당연한 기술의 추세라 할 수 있다. 전력증폭기의 큰 신호를 수용하기 위해서, I/O용 소자를 적용하거나<sup>[32]</sup>, 회로적으로 self-bias를 적용함으로써 게이트와 드레인에 같은 전압이 인가되게 하는 방법<sup>[33]</sup>, 상대적으로 신호크기가 작은 차동형 구조<sup>[34]</sup>를 적용하는 방법 등이 발표되고 있다. 이동통신용 단말기에 적용을 위한 W급 전력증폭기들도 발표되고 있지만<sup>[32,35]</sup>, 큰 신호를 수용하기 위한 대책이 없는 경우 hot-carrier stress에 의한 신뢰성 문제가 발생한다<sup>[16]</sup>. 그러나 수 mW

의 저출력을 요구하는 블루투스 시스템에 전력증폭기의 집적화는 당연한 것으로 받아들여지고 있다.

최근 블루투스(class1)에 적용을 위한 23dB 출력(39% PAE)의 전력증폭기<sup>[33]</sup>, 나아가 5GHz 대역의 WLAN(Wireless Local Area Network)용으로는 최대출력이 22dBm의 전력증폭기가 집적화된 칩이 발표되는<sup>[34]</sup> 것으로 미루어, 전력증폭기까지 집적화된 RF SOC의 출현이 현실화 되어감을 알 수 있다. 그러나 수 V 크기의 신호를 다루는 전력증폭기를 수  $\mu\text{mV}$ 를 다루는 송/수신 칩에 집적화하는 것은 상당히 위험도가 크다. 이를 해결하기 위해서는 실리콘 기판의 모델링을 통한 신호간섭을 최소화할 수 있는 불력의 배치나 신호간섭을 억제하기 위한 기술의 개발 및 적용이 절실히 필요하다.

#### 6. Architecture Design

설계자의 입장에서 볼 때 RF CMOS의 장점은 안정된 공정을 기반으로 한 고집적화에 있다. 따라서 현재 대부분의 단말기에 채택되고 있는 Super-heterodyne 구조는 채널 선택성이 우수한 장점이 있음에도 불구하고 다단계의 주파수 변환과 이에 따른 필터 등 외부 부품의 소요가 많고 집적화에 현재의 기술로는 거의 불가능하여, 저가격화와 고집적화라는 RF CMOS IC의 큰 특징을 제대로 발휘 할 수 없다. 이와 같은 관점에, 다중밴드, 다기능으로 발전되어 가는 휴대 통신 기술의 흐름은 외부부품을 최소화하고 집적화에 유리한 새로운 단말기 구조 개발을 요구하고 있다. Direct conversion 방식은 RF 신호를 중간주파수 처리 과정없이 직접 base band로 변환하는 방식으로 집적화에 가장 매력적인 구조이다. Pager 등에 일부 활용되어 왔지만, 1995년 UCLA의 Abidi 그룹이 digital cellular을 위한 RF IC를 발표한 이래 새롭게 주목을 받고 있다<sup>[36]</sup>. DDFS를 활용, 주파수 도약 방식을 채택한 이들은 직접변환 구조가 가지고 있는 DC offset, 1/f noise 등의 문제에 비교적 민감하지 않은 FSK 변조방식을 사용하였다.

이러한 경향을 따라 Blue-tooth나 GSM 뿐

만 아니라, 최근 2.4GHz/5.2GHz wireless LAN용의 직접변환 구조의 송/수신 칩들이 속속 발표되고 있다. 차세대의 이동통신용 단말기는 적어도 GPS, Blue-tooth, Home-RF, wireless LNA 등의 서비스도 요구가 확실시 되고 있는 상황은, 직접변환 단말기 구조가 이들의 요구에 부응하기에 적합한 구조임은 자명하다.

### IV. RF CMOS 발전전망

지난 7~8년간의 연구개발 결과, RF CMOS 기술은 연구단계를 지나 현재는 제품개발 단계로 진입하기 시작했다. Silicon Laboratory사의 GSM/PCS용 칩, Atheros사와 Intersil사의 5GHz 대역의 WLAN(Wireless Local Area network)용 칩 등이 실제 시스템에 적용되고 있어, 현재의 RF CMOS 기술은 궁극적인 기술 단계를 넘어서 가격경쟁력을 위해서 필수적인 기술로 받아들여지고 있다.

RF CMOS 기술은 전술한 바와 같이 아직도 해결해야 할 많은 문제가 남아 있지만, Blue-tooth, WLAN, CT 등과 같이 우선은 규격이 상대적으로 완화된 분야로 적용이 확산될 것이다. 상대적으로 규격이 엄격한 이동 단말기 시장은 시장규모와 통신시장에서 갖는 중요성으로 인해 꾸준한 개발 대상으로 예상된다. 현재까지의 연구결과를 바탕으로 분석해보면, 개별 성능이 우수한 RF 소자(화합물 소자, SiGe HBT)가 산재해 있는 단말기용 반도체 시장에 RF CMOS IC가 이들의 부분품으로 대체되는 것은 시간문제라 생각된다. Core Cell의 성능향상은 물론 지속적으로 진행되겠지만, 기존의 RF 신호 처리 및 구조를 변화시킴으로써 보다 근본적인 성능개선을 추구하는 것이 필요하다. 이는 다중밴드, 다기능으로 발전하고 있는 지금의 단말기 부품시장에 RF CMOS IC가 경쟁력을 가질 수 있는 보다 효과적인 개발전략이 될 것으로 판단하기 때문이다.

〈표 1〉 RF CMOS IC 구현을 위한 각 분야별 기술변화의 년도 별 추이

기술분야	7~8년 전('94~'95)	2~3년 전('99~'00)	현재('02)	미래('02~)
RF CMOS 기술	Negative view	Optional technology	Essential for low-end product	Try to apply for high-end product
소자모델/Layout	Insufficient	Individually developed	Provide Design Kit	Refined Design Kit
Device 모델 기술	Few works	Much works	Up to~10GHz	Up to~30GHz
제작기술	Digital CMOS tech. + Poly cap.	RF CMOS tech (Inductor, MIM, Varactor)	RF CMOS tech + Deep well	RF CMOS tech. + Deep well or trench+power(?)
LNA 잡음특성	>2dB @900MHz	<2dB @900MHz	0.8dB @900MHz	Much lower noise
VCO phase noise	-116dBc/Hz, 600K	-126dBc/Hz, 600K	-142dBc/Hz, 1M	Much lower noise
전력증폭기	PA module study	집적화 PA, 0dBm	집적화 PA, 22dBm	Much higher power
Architecture	Heterodyne	Heterodyne~Zero IF	Heterodyne<Zero IF	—
CAD tool	Spectre, ADS	Spectre, ADS	Spectre+ADS	—
Handle Design Flow of RF/ Analog/Digital	—	—	Cadence+Agilent	—
상용제품	Much work from University	Blue Core (CSR사)	Si4200 (Silab사) AR5001 (Atheros사) Indigo (Intersil사)	More products

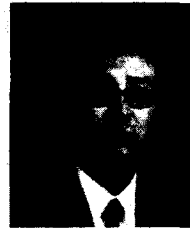
## 참 고 문 헌

- (1) <http://www.silabs.com>
- (2) <http://www.atheros.com>
- (3) <http://www.intersil.com>
- (4) Yukou Mochida, Takeshi Takano, Hirohisa Gambe, "Future direction and technology requirements of wireless communications," in *Digest of IEEE Electron Device Meeting*, Session 1-3, 2001.
- (5) S. Narashima *et al*, "High performance sub-40nm CMOS devices on SOI for the 70nm Technology Node," Session 29-2, 2001.
- (6) L.F. Tiemeijer, H.J.M. Boots, R.J. Havens, A.J. Scholtens, P.H.W. de Vreede, P.H. Woerlee, A. Heringa, and D.B.M. Klaassen, "A record high 150GHz f<sub>max</sub> realized at 0.18mm gate length in a industrial RF-CMOS technology," Session 10-4, 2001.
- (7) Cheon Soo Kim, Jung-Woo Park, Hyun Kyu Yu and Hanjin Cho, "Gate Layout and Bonding Pad Structure of a RF n-MOSFET for Low Noise Performance," *IEEE Electron Device Letters*, Vol. 21, No. 12, pp 607-609, Dec. 2000.
- (8) Q. Huang *et al* "GSM Transceiver Front-End Circuits in 0.25μm CMOS," *IEEE Jour. of Solid State Circuits*, Vol. 34, No. 3, pp.292-303, March 1999.
- (9) E. Morifuji, et al., "Future Perspective and Scaling Down Roadmap for RF CMOS," *IEEE 1999 Symposium on*

- VLSI Circuits, pp.163-164.
- [10] Youngwang Ding, Ramesh Harjani, "A 18dBm IIP3 LNA in 0.35  $\mu$ m CMOS," in *ISSCC Dig. Tech. Papers*, pp.162-163, Feb. 2001.
- [11] Min-Gun Kim, Chung-Hwan Kim, Hyun-Kyu Yu, and Jaejin Lee, "An FET-Level linearization Method Using a Predistortion branch FET", *IEEE Microwave and Guided Wave Lett.*, vol. 9, No. 6, June 1999.
- [12] C. Patric Yue and S. Simon Wong, "On-Chip Spiral Inductors with Patterned Ground Shield for Si-Based RF IC's," in *Symposium on VLSI Circuits*, pp.85-86, 1997
- [13] Jose M. Lopez-Villegas, Josep Samitier, Charles Cane, Peter Losantos and Joan Bausells, "Improvement of the Quality Factor of RF Integrated Inductors by Layout Optimization," *IEEE Trans. on Microwave Theory and Techniques*, Vol. 48, No. 1, pp.76-83, January 2000.
- [14] Min Park, Seonghearn Lee, Cheon Soo Kim, Hyun Kyu Yu, and Kee Soo Nam, "The detailed analysis of high Q CMOS-compatible microwave spiral inductors in silicon technology," *IEEE Trans. on Electron Devices*, vol. 45, No. 9, pp.1953-1959, Sep. 1998.
- [15] TSMC 2000 Technology Symposium.
- [16] Vickram R. Vathulya, Tirdad Sowlati and Domine Leenaerts, "Class 1 Bluetooth Power Amplifier with 24dBm Output Power and 48% PAE at 2.4 GHz in 0.25  $\mu$ m CMOS," in *Proceeding of ESSCIRC*, pp.84-87, Sep. 2001.
- [17] C. S. Kim, M. Park, C. -H. Kim, M. -Y. Park, S. -D. Kim, Y. -S. Youn, J. -W. Park, S. -H. Han, H. K. Yu, and H. Cho, "Design Guide of Coupling Between Inductors and Its Effect on Reverse Isolation of a MOS LNA," in *IEEE International Microwave Symposium Digest*, pp.225-228. 2000.
- [18] H. M. Hsu, *et al.*, in *IMS Digest*, pp. 1870-1873, 2001.
- [19] Cheon Soo Kim, Piljae Park, Joung-Woo Park, Nam Hwang, and Hyun Kyu Yu, "Deep Trench Guard Technology to Suppress Coupling between Inductors in Silicon RF ICs" to be published in *IEEE International Microwave Symposium Digest*, 2001.
- [20] Seonghearn Lee, Cheon Soo Kim, and Hyun Kyu Yu, "A RF MOSFET SPICE Model with a New Substrate Network," in *IEEE Radio and Wireless Conference*, pp.203-206, 2000.
- [21] E. Sacchi, I. Bietti, F. Gatta, F. Svelto, R. Castello, "A 2 dB NF, fully differential, variable gain, 900MHz CMOS LNA," *Symposium on VLSI Circuits*, pp.94-97, June, 2000.
- [22] A. N. Karanicolas, "A 2.7V 900MHz CMOS LNA and Mixer," *IEEE J. Solid-State Circuits*, vol. 31. pp.1939-1944, Dec. 1996.
- [23] F. Svelto, G. Montagna, S. Deantoni, G. Braschi, R. Castello, "Solutions for image rejection CMOS LNA," *Proceedings of ISCAS*, vol. 3, pp.49-52, May, 2000.
- [24] Chien-Hsiung Feng et al., "Analysis of Nonlinearities in RF CMOS Amplifiers", *Proceedings of ICECS' 99*, vol. 1, pp.137-140, 1999.
- [25] J. C. Rudell, J. J. Ou, T. B. Cho, G. Chien, F. Brianti, J. A. Weldon, and

- P. R. Gray, "A 1.9GHz wide-band IF double conversion CMOS integrated receiver for cordless telephone applications," in *ISSCC Dig. Tech. Papers*, pp.304-305, Feb. 1997.
- [26] A. Rofougaran, J. Y. C. Chang, M. Rofougaran, and A. A. Abidi, "A 1 GHz CMOS RF Front-End IC for a Direct-Conversion Wireless Receiver," *IEEE J. Solid-State Circuits*, vol. 31. No. 7, July 1996.
- [27] ETRI Internal Report
- [28] Analog Product Center Magazines, AD9832, Analog Devices, Inc., 1997.
- [29] C.-M. Hung and Kenneth K. O, "A Packaged 1.1GHz CMOS VCO with Phase Noise of  $-126$  dBc/Hz at a 600-kHz Offset," *IEEE J. Solid-State Circuits*, vol. 35, pp.100-103, January 2000.
- [30] Matt Straayer, Jose Cabanillas, Gabriel M. Rebeiz, "A Low-Noise Transformer-Based 1.7GHz CMOS VCO," in *ISSCC Dig. Tech. Papers*, pp.286-287, Feb. 2002.
- [31] Marc Tiebout, Hans-Dieter Wohlmuth, Werner Simburger, "A 1V 51GHz Fully-Integrated VCO in  $0.12 \mu\text{m}$  CMOS," in *ISSCC Dig. Tech. Papers*, pp.300-302, Feb. 2002.
- [32] Timothy C. Kuo, Bruce B. Lusignan, "A 1.5W Class-F RF Power Amplifier in  $0.2 \mu\text{m}$  CMOS Technology." in *ISSCC Dig. Tech. Papers*, pp.154-155, Feb. 2001.
- [33] Tirdad Sowlati and Domine Leenaerts, "A 2.4GHz  $0.18 \mu\text{m}$  CMOS Self-Biased Cascode Power Amplifier with 23 dBm Output Power," in *ISSCC Dig. Tech. Papers*, pp.294-295, Feb. 2002.
- [34] David Su et al, "A 5GHz CMOS Transceiver for IEEE 802.11a Wireless LAN," in *ISSCC Dig. Tech. Papers*, pp.92-93, Feb. 2002.
- [35] Carsten Fallesen, Per Asbeck, "A 1W  $0.35 \mu\text{m}$  CMOS Power Amplifier for GSM-1800 with 45% PAE," in *ISSCC Dig. Tech. Papers*, pp.158-159, Feb. 2001.
- [36] A. A. Abidi, "Direct-conversion radio transceivers for digital communications," *IEEE J. Solid-State Circuits*, vol. 30. pp.1399-1410, Dec. 1995.

## 저자 소개



金千洙

1982년 2월 경북대학교 전자공학과 (학사), 1984년 2월 경북대학교 대학원 전자공학과 (석사), 1999년 2월 한국과학기술원 전기및전자 (박사), 1986년 1월~1989년 12월 : 한국전자통신 연구원, CMOS 신뢰성연구, 1990년 1월~1995년 1월 : 한국전자통신 연구원, 16/64M DRAM셀 구조 연구 1996년 1월~현재 : 한국전자통신연구원, 책임연구원, RF/Analog회로 연구, <주관심 분야 : DRAM 셀구조, CMOS 소자 신뢰성, RF CMOS 능/수동소자, RF 모델링, 저잡음 설계기술, Core셀 설계기술 분야>



劉賢奎

1981년 2월 경북대학교 전자공학과 (학사), 1983년 2월 경북대학교 대학원 전자공학과 (석사), 1994년 9월 한국과학기술원 전기및전자 (박사), 1983년 1월~현재 : 한국전자통신연구원, 책임연구원, RF/Analog IC 설계팀장, <주관심 분야 : RF 모델링, 고속/저전력 회로설계, 주파수합성기, 다중밴드 단일칩 송수신기설계 분야>