

기계화학적 연마를 이용한 트렌치 구조의 산화막 평탄화

Oxide Planarization of Trench Structure using Chemical Mechanical Polishing(CMP)

김철복*, 김상용**, 서용진***
(Chul-Bok Kim*, Sang-Yong Kim**, and Yong-Jin Seo***)

Abstract

Chemical mechanical polishing(CMP) process has been widely used to planarize dielectric layers, which can be applied to the integrated circuits for deep sub-micron technology. The reverse moat etch process has been used for the shallow trench isolation(STI)-chemical mechanical polishing(CMP) process with conventional low selectivity slurries. Thus, the process became more complex, and the defects were seriously increased.

In this paper, we studied the direct STI-CMP process without reverse moat etch step using high selectivity slurry(HSS). As our experimental results show, it was possible to achieve a global planarization without the complicated reverse moat process, the STI-CMP process could be dramatically simplified, and the defect level was reduced. Therefore the throughput, yield, and stability in the ULSI semiconductor device fabrication could be greatly improved.

Key Words : STI(shallow trench isolation), CMP(chemical mechanical polishing),
HSS(high selectivity slurry, LOCOS(local oxidation of silicon).

1. 서론

최근 소자 분리 방법으로 STI(shallow trench isolation) 공정이 반도체 소자의 고밀도화에 필수적인 기술이 되었다[1, 2]. 이 공정은 실리콘 웨이퍼 위에 얇은 트렌치(trench)를 만들고 그 위에 SiO₂를 도포하고 CMP(chemical mechanical polishing) 공정으로 평탄화하는 기술로 기존의 버즈빅(bird's beak) 구조를 야기하는 LOCOS(local oxidation of silicon) 방법보다 좁은 면적으로 소자 분리가 가능하고, 성능이 우수하다는 장점을 갖고

있다. 특히, 넓은 지역을 광역 평탄화 하는데 우수한 특징을 보이고 있어 널리 사용되고 있다[3]. 그러나 CMP를 이용한 STI 공정은 다양한 공정 조건으로 인해 여러 가지 문제점들이 있다. 연마 도중에 슬러리(slurry)의 사용으로 인해 이동성 이온(mobile ion)들이 생성되기도 하며[4], 질화막이 활성(active) 영역 위에 남거나[5, 6], 산화막과 실리콘 표면이 찢기고 균열이 발생하여[7, 8] 소자 수율 저하 뿐 만 아니라 소자 성능에도 막대한 영향을 끼치고 있다. 또한 기존에 사용하던 연마 슬러리는 SiO₂막과 Si₃N₄막의 충분한 연마 선택비를 얻을 수 없어 복잡한 리버스 모트(reverse moat) 식각 공정을 사용할 수밖에 없었다[9].

따라서 본 논문에서는 이러한 문제점들을 해결하기 위해 Si₃N₄막에 대해서는 선택적으로 보호막을 형성하며 SiO₂막을 선택적으로 식각하여 Si₃N₄막이 연마되는 속도를 최소화시킴과 동시에 연마

* : 동성A&T 부설연구소
** : 아남반도체 FAB사업부
*** : 전남 영암군 삼호면 대불대학교 전기공학과
Fax : 061-469-1260
E-mail : syj@mail.daebul.ac.kr
2002년 4월 9일 접수, 2002년 5월 7일 1차 심사완료
2002년 6월 24일 최종 심사완료

선택비를 극대화시킴으로서 기존의 리버스 모트 공정을 적용할 필요 없이 direct STI-CMP 공정을 진행하여 공정을 단순화시키며, 이에 따른 STI-CMP 공정의 문제점으로 부각되었던 산화막의 찢겨짐, 질화막 잔유물의 존재, 실리콘 활성 영역의 손상등을 해결할 수 있는 고선택비 슬러리 (high selectivity slurry; HSS)를 사용한 STI-CMP 공정의 연마특성에 대해 고찰하여 보았다.

2. 실험

본 실험에서는 Si₃N₄에 선택적으로 보호막을 형성하며 SiO₂를 선택적으로 식각하여 SiO₂의 연마속도를 향상시키면서 동시에 Si₃N₄가 연마되는 속도를 최소화하여 선택비를 극대화하기 위해 고선택비 슬러리(HSS)를 개발하였다. 먼저, DIW (de-ionized water)를 저장고에 넣은 후 혼합에 필요한 16 wt%의 TMAF(Tetra Methyl Ammonium Fluoride)를 첨가하였다. 다른 용기에 따로 보관되어 있던 KOH와 초등급의 H₂O₂는 용기 내에서 정확히 양을 측정 한 후, 두 케미컬을 희석된 TMAF에 동시에 첨가해 주었다. KOH는 DIW나 TMAF보다 더 높은 25%의 밀도를 갖기 때문에 화합물 첨가제의 완전한 혼합을 위해 적절히 교반시켜 주었다. HSS를 만들기 위한 첨가제 혼합의 최적 레시피(recipe)를 표 1에 요약하여 나타내었다.

그림 1은 본 실험에서 사용한 패턴 웨이퍼의 제조과정을 개략적으로 나타낸 것이다. 초기 블랭킷(blanket) 웨이퍼에 열산화막을 전기로에서 150Å 증착한 후, 그 위에 LPCVD(low pressure chemical vapor deposition)로 질화막 2000Å을 증착하고 모트 패턴(moat pattern)과 RIE(reactive ion etching) 건식 식각으로 트랜치를 3500Å 깊이로 형성하였다. 이 트랜치 위에 선행 산화막을 전기로에서 270Å 형성하고, APCVD(atmosphere

chemical vapor deposition)로 산화막을 8000Å 증착하여 STI를 채웠다. 기존의 리버스 모트 공정을 진행하여 STI 구조를 형성한 것이 그림 1(a)의 과정이고, 트랜치를 산화막으로 채운 후, 열처리 과정을 거쳐 리버스 모트 식각 공정이 없는 direct STI-CMP 공정의 제작순서는 그림 1(b)에 나타내었다.

그림 2는 연마된 패턴 웨이퍼의 각 지역별 크기를 정의한 것이다. 넓은 필드 산화막 지역은 50μm×50μm, 좁은 필드 산화막 지역은 10μm×12μm, 넓은 필드 산화막 지역은 80μm×250μm

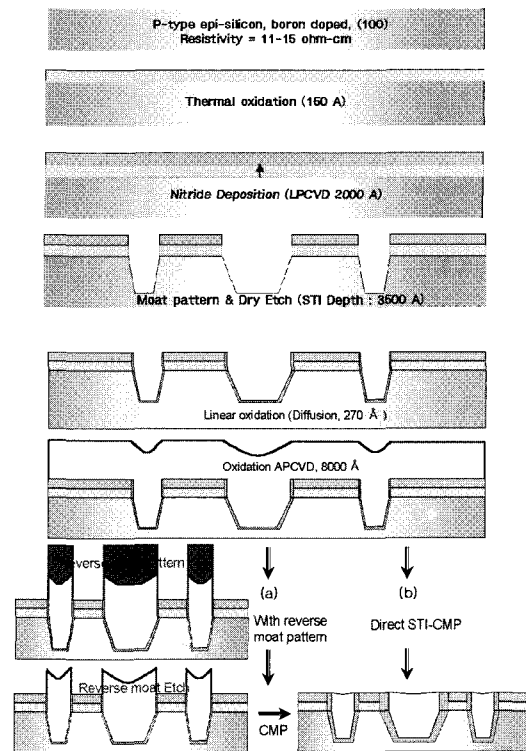


그림 1. STI 패턴 웨이퍼의 제조 순서도.

Fig. 1. Fabrication sequence of STI pattern wafer.

표 1. 첨가제 혼합의 최적화된 레시피.

Table 1. Optimized recipe of additive mixing.

	DIW	TMAF	KOH	H ₂ O ₂
혼합비	200	70	8	1
wt %	-	4.26	0.87 ~ 0.92	0.14

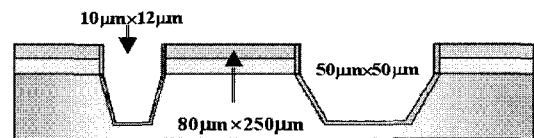


그림 2. 각 지역별 크기 정의.

Fig. 2. Size definition of each region.

은 모트 지역의 크기는 $80\mu\text{m} \times 250\mu\text{m}$ 이었다.

본 실험에서는 그림 3에 개략적으로 나타낸 SFI(Speed Fam IPEC Inc.)사의 Avanti 472 CMP 연마기를 사용하였고, CMP 장비의 공정조건으로 하력(down force)은 7 psi, 후압(back pressure)은 3 psi, 플레이트(platen) 속도는 32 rpm, 캐리어(carrier) 속도는 28 rpm으로 고정하고 20초 간격으로 연마를 진행하였다. 각 CMP 공정 후 SC-1 용액을 이용하여 세정하였고, SRD(spin rinse dry)를 통해 웨이퍼 표면을 건조시킨 후, 두께 및 프로파일(profile)을 측정하였다. 산화막 두께를 측정하기 위해 Nano Metrics M8000X와 Rudolph 엘립소미터 FE VII 시스템을 사용하였고, 평탄화 프로파일을 조사하기 위해 KLA-Tencor 시스템을 사용하였다.

3. 결과 및 고찰

그림 4는 CMP 공정에 의한 표면 평탄화 특성을 분석하기 위하여 STI 패턴 된 웨이퍼를 20초 간격으로 CMP한 후, 넓은 필드 산화막 지역과 좁은 필드 산화막 지역에서의 산화막과 모트 지역에 있는 질화막 위의 산화막 두께를 나타낸 것이다. 그림 4의 step 1에서는 높은 지역의 산화막이 연마 패드와 직접 접촉되어 연마되므로, 초기 연마율은 높게 나타났다. 반면에, 넓고 좁은 필드 지역의 산화막은 STI 때문에 형성된 산화막 단차로 인하여 아직까지 패드와의 접촉은 없으며 단지 화학적인 슬러리와 반응과 약간의 기계적인 힘에 의해 작

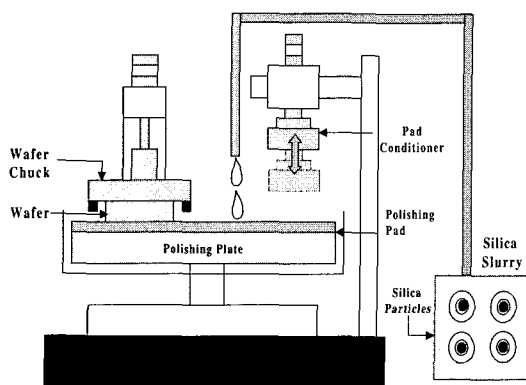


그림 3. IPEC Avanti 472 CMP 연마기의 개략도.
Fig. 3. Schematic diagram of IPEC Avanti 472 CMP polisher.

은 양이 제거되었다. Step 2 지역은 초기 연마의 효과로 어느 정도 웨이퍼의 전반적인 연마가 이루어지다가 국부적인 평탄화에 의해 탄성체(elastic)인 연마 패드와 날카로운 웨이퍼 표면의 단차가 제거되어 어느 정도 필드 산화막 지역과 접촉이 이루어져 약간의 연마율 차이를 보였다. 이는 좁은 지역과 넓은 필드 지역의 밀도 차로 인해 발생하는 것으로 좁은 지역의 모트 밀도가 더 높기 때문에 연마율은 더 낮아지며, 넓은 지역에 비해 제거되는 두께는 더 작게 나타났다.

이해를 돕기 위해 그림 4에 step 1과 step 2에서 연마가 진행되는 과정을 도식화하여 나타내었다. 마지막으로 step 3은 국부적인(local) 평탄화에서 광역(global) 평탄화로 전환되는 지점으로 웨이퍼 전 지역에서 연마 패드와의 접촉이 일어나며 연마가 순조롭게 진행되는 단계이다. 이때 질화막 위의 산화막이 완전히 제거되며 질화막과 패드의 접촉이 일어나면서 연마되어진다. 질화막과 웨이퍼 전 면에서 접촉이 일어나 연마가 되는 시점에서부터 필드지역에서의 디싱(dishing)이 시작되기 때문에 이 지점에서 연마를 끝내야 한다.

그림 5는 연마 시간에 따른 좁은 필드 산화막 지역과 넓은 필드 산화막 지역의 산화막 두께의 최대값과 최소값, 그리고 평균값을 나타낸 것이다. 그림 4에서 언급하였듯이, 모트 밀도의 영향으로 약간의 두께 차가 발생하였다. 연마 초기에는 좁은

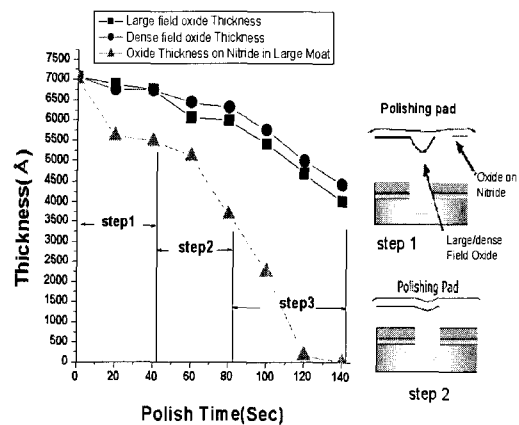


그림 4. 연마 시간에 따른 각 지역별 산화막 두께 비교.

Fig. 4. Comparison of oxide thickness in each area as a function of polish time.

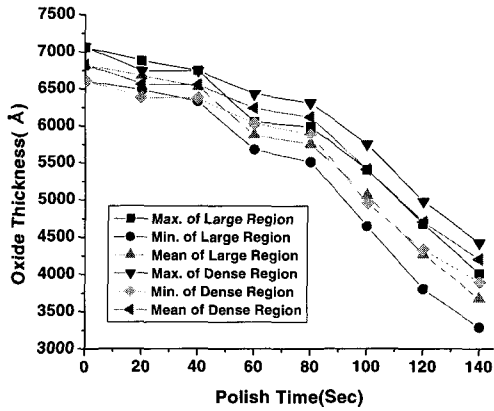


그림 5. 연마 시간에 따른 좁고 넓은 필드 지역의 산화막 두께 비교.

Fig. 5. Comparison of oxide thickness in the dense and large field area as a function of polish time.

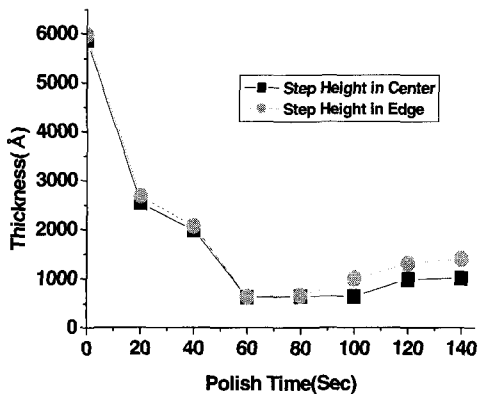


그림 6. 연마 시간에 따른 넓은 필드 산화막 지역에서의 단차.

Fig. 6. Analysis of step heights in the large field oxide area as a function of polish time.

지역과 넓은 지역의 산화막 두께의 차이가 거의 없었으나 연마가 더 진행될수록 좁은 지역보다는 넓은 필드 지역이 더 제거됨을 알 수 있었다.

그림 6은 연마 시간에 따른 넓은 필드 산화막 지역의 중앙 부분과 가장자리 지역의 단차(step

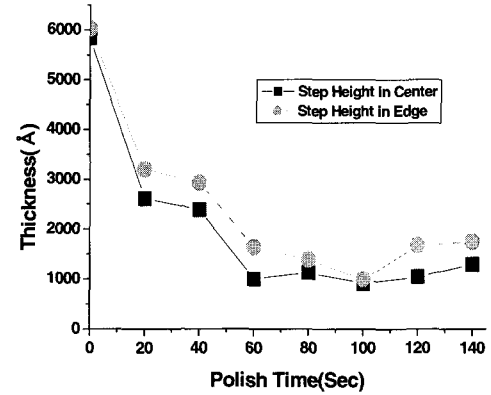


그림 7. 연마 시간에 따른 좁은 필드 산화막 지역에서 단차

Fig. 7. Analysis of step heights in the dense field oxide area as a function of polish time.

height)를 분석한 것으로 0초에서 60초까지는 CMP에 의해 표면의 단차가 급격히 제거됨을 알 수 있다. 또한 60초에서 80초까지는 단차의 변화가 거의 없는 국부적 평탄화가 진행되었고, 80초 이후부터 단차가 다시 상승하는 것을 볼 수 있는데 이는 디싱(dishing) 효과에 의한 것으로 생각된다. 그리고 90초 이상에서부터 웨이퍼 내 중앙 부분과 가장자리 부분의 차이가 발생함을 보이고 있다. 이는 연마 패드로 경도(hardness)가 비교적 높은 IC1000 패드를 사용하였기 때문에 나타난 일반적인 연마 특성에 의한 것이다.

그림 7은 연마 시간에 따른 좁은 필드 산화막 지역의 중앙 부분과 가장자리 지역의 단차를 분석한 것이다. 그림 6에 보인 넓은 필드 산화막 지역의 결과와 약간의 차이는 보였지만 0초에서 60초 전까지는 급격히 제거되고 있음을 알 수 있다. 그리고 100초 이상에서부터 다시 단차가 조금씩 차이를 보이며 증가하였는데 이점이 바로 디싱의 시작을 의미한다.

그림 8과 그림 9는 각각 CMP 전과 140초의 CMP 공정 후에 패턴 웨이퍼의 중심 다이(die)에서 넓은 필드 산화막 지역 내의 단차 프로파일을 프로파일러 P-30 시스템을 이용하여 측정된 결과이다. 그림에서 x축은 스캔 길이를 나타내며, 넓은 필드 지역이므로 그림 2에서 제시했던 것처럼 50 μm에 해당한다. 또한 y축은 단차를 나타내며 피크

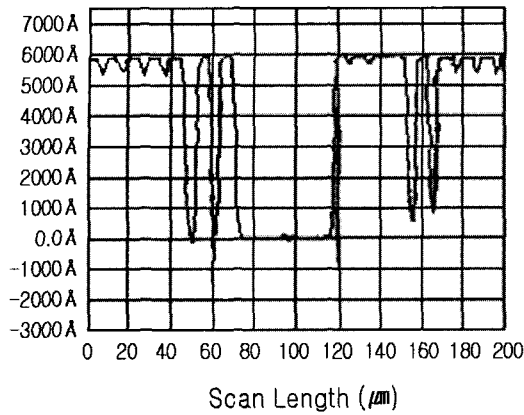


그림 8. STI 구조에서 CMP 공정 전의 단차 프로파일

Fig. 8. Step height profile before CMP process in STI structure.

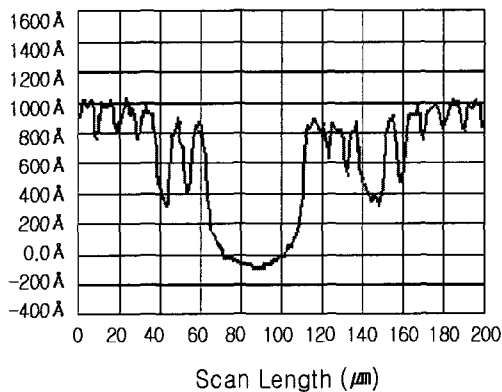


그림 9. STI 구조에서 연마시간 140초 후의 단차 프로파일

Fig. 9. Step height profile after polishing time of 140 sec in STI structure.

에서 밸리(valley)값을 뺀 것으로, CMP 공정 전의 단차는 약 6000Å 정도이었으나, 연마시간 140초 후에는 약 1000Å 정도의 단차를 나타내었다.

4. 결론

고 선택비를 갖는 슬러리를 사용한 실험에서는 소자간의 격리를 목적으로 하는 지역이라 할지라

도, 좁은 필드 산화막 지역과 넓은 필드 산화막 지역의 모트 밀도의 차이에 의해 연마 특성이 서로 다르게 나타났다. 즉, 좁은 지역이 넓은 지역보다 연마되는 제거율이 더 낮기 때문에 더욱 늦게 연마되며, 단차 분석 결과도 넓은 필드 산화막 지역에서는 80초 이후부터 디싱 효과가 나타났으며, 좁은 필드 지역에서는 100초 이후부터 디싱 효과가 나타났다. 이는 모트 밀도의 차이에 의한 것으로 볼 수 있다. 따라서 평탄화 이후 계속 진행되는 디싱 효과는 모트 밀도가 낮은 부분으로부터 시작하므로, 좁은 지역에서의 초기 디싱이 일어나기 전에 연마를 마쳐야 함을 알 수 있었다. 또한, 한가지 더 고려할 요소는 넓은 필드 지역에서 소자 형성 지역인 모트 지역의 손상이다. 이는 디싱 효과가 극대화되면 질화막을 파괴하고, 더 나아가서 실리콘 지역에까지 물리적인 손상을 줄 수 있기 때문이다. 결국, 좁은 지역에서 모트 위의 산화막이 완전히 제거 될 때까지 넓은 필드 산화막 지역에서의 디싱 효과를 최소화시키는 점을 찾는 것이 이 공정의 Key라고 할 수 있다. 앞으로의 실험에서는 좁은 지역과 넓은 지역에서 허용할 수 있는 최대 디싱의 크기와 질화막 위의 산화막이 완전히 제거되는 산화막의 허용 두께인 상한선(upper limit)과 하한선(lower limit)을 결정하는 공정 마진(margin)의 확보 및 direct STI-CMP 공정의 재현성 및 신뢰성 향상 실험이 요구된다.

감사의 글

본 논문은 2002년 정보통신부에서 지원하는 기초기술연구지원사업(계속과제번호: 2002-042-185-3)으로 수행된 결과의 일부이며, 이에 감사 드립니다.

참고 문헌

[1] P. Sallagoity, F. Gaillard, M. Rivoire, M. Paoli, and F. Martin, "STI process steps for sub-quarter micron CMOS", Microelectron. Reliability, Vol. 38, No. 2, p. 271, 1998.
 [2] S. Deleonibus, M. Heitzmann, Y. Gobil, and F. Martin, "A post gigabit generation flash memory shallow trench isolation scheme, the LATI-STI process using 100% CMP planarization", Solid State Device and

- Materials, p. 587, 1995.
- [3] J. M. Steigerwald, S. P. Murarka, and R. J. Gutmann, "Chemical Mechanical Planarization of Microelectronic Materials", John Wiley & Sons, INC. 1997.
 - [4] Y. J. Seo, W. S. Lee, S. Y. Kim, J. S. Park, and E. G. Chang, "Optimization of post-CMP cleaning process for elimination of CMP slurry induced metallic contaminations", Journal of Materials Science : Materials in Electronics, Kluwer Academic Publishers, Vol. 12, No. 7, p. 411, 2001.
 - [5] K. Smekalin, "CMP dishing effects in shallow trench isolation," Solid State Technology, p. 187, 1997.
 - [6] 김상용, 서용진, 이우선, 장의구, "실리콘 웨이퍼 위에 증착된 실리케이트 산화막의 CMP 슬러리 오염 특성", 전기전자재료학회논문지, 13권, 2호, p. 131, 2000.
 - [7] 서용진, 정현상, 김상용, 이우선, 이강현, 장의구, "STI-CMP 공정에서 Torn oxide 결함 해결에 관한 연구", 전기전자재료학회논문지, 14권, 1호, p. 1, 2001.
 - [8] 김철복, 김상용, 서용진, "CMP 공정에서 마이크로 스크래치 감소를 위한 슬러리 필터의 특성", 전기전자재료학회논문지, 14권, 7호, p. 557, 2001.
 - [9] L. J. Chen, "Two-step SOG etchback technique to control IMD planarization for the severe DRAM topography," Proceedings of VLSI Multilevel Interconnection Conference, p. 283, 1995.