



# 전기전자분야에서의 국내 집합기술 현황 및 전망

신 영 의 · 고 영 욱

## Trends and Prospects of Domestic Joining Technology in Electric · Electronic Field

Young Eui Shin and Young Wook Koh

### 1. 서 문

전자기기의 소형, 경량, 다기능화가 급속히 진행되면서 전자기기의 핵심이 되는 IC의 대규모 집적화가 이루어져, 패키지는 필연적으로 미세피치화의 방향으로 나아가고 있다. 패키지의 이러한 추세에 따라 마이크로 집합부의 집합법 또한 그에 상응해 변화해가고 있다. 마이크로 집합부는 반도체소자, 전자부품 및 최근 주목 받고 있는 멀티미디어 등의 내부 소자간 및 단자간의 집합부위를 말한다. 이 마이크로 집합부는 집합하고자 하는 대상부가 미소, 미세하기 때문에, 집합대상부의 치수가 큰 경우에는 문제시되지 않았던 집합부의 용해량, 확산두께, 변형량, 표면장력 등의 영향을 고려해야 한다. 따라서 집합부의 시험방법도 이러한 치수효과를 고려하여 품질을 평가해야 할 것이다. 특히, 미세 전자 부품의 집합면적은 수십  $\mu\text{m}$  이하의 것도 많고, 집합이 되는 부품 및 제품이 고기능, 다기능의 품질을 요구하기 때문에 일반 집합부의 평가방법보다 특별한 주의가 필요로 한다.

본 고에서는 이러한 마이크로집합 기술이 적용된 패키지, 미세피치 표면실장 기술과 함께 마이크로 집합부의 신뢰성에 대해 논하고자 한다.

### 2. 패키지 동향 (Package Trends)<sup>1,2)</sup>

현재 세계에서 생산되고 있는 대량 생산 제품 중에서 고부가가치와 동시에 저가격화가 실현되고 있는 품목 중 대표적인 것으로 전자 및 통신제품을 들 수 있는데, 핵심은 반도체 및 그 집합·조립 기술이다. 전자 기기는 소형화, 경량화, 다기능화가 매년 급진전하고 있는데, 이러한 요구를 달성하기 위해서는 무엇보다도 전자 패키지 기술, 특히 집합·조립 기술 변화의 역할을 제외할 수 없다. 전자 회로 기판에 반도체를 집합·조립

하는 기술은 반도체 패키지 기술과 밀접한 관계가 있다. 즉, 반도체 패키지가 DIP(Dual Inline Package), SIP(Single Inline Package), PGA(Pin Grid Array)와 같은 삽입 집합·조립형(Through-hole Mount Technology)에서 QFP (Quad Flat Package), SOP(Small Outline Package), LCC(Leadless Chip Carrier), COB(Chip On Board), BGA(Ball Grid Array) 등과 같은 표면 집합·조립형(Surface Mount Technology)으로 바뀔에 따라 집합·조립 밀도가 높은 표면 집합·조립 기술이 발달되었다(Fig. 1).

국내에서 BGA는 이미 실용화 단계에 있으며 BGA와 CSP(Chip Scale Package) 등이 실용화 단계에 있다. 1980년대에 개발된 BGA는 높은 열적 손실을 요구하는 특별한 응용부품으로 컴퓨터 내부의 주요한 부분으로써 고속 디지털 응용부품 등에 쓰이고 있고 90년대 초반에 시장에 등장한 CSP는 향후 21세기를 주도한 주요한 기술로써 자리잡게 되었다. 반도체칩과 완제품의 크기가 거의 같을 정도로 얇고 작게 패키징하는 CSP 기술은 반도체의 경박단소화 추세에 힘입어 빠르게 성장하고 있다. CSP는 차세대 고속메모리인 Direct Rambus DRAM의 주력 패키지로 채택됨으로써 이동 전화나 디지털 카메라 등 휴대용 정보통신기기와 컴퓨터

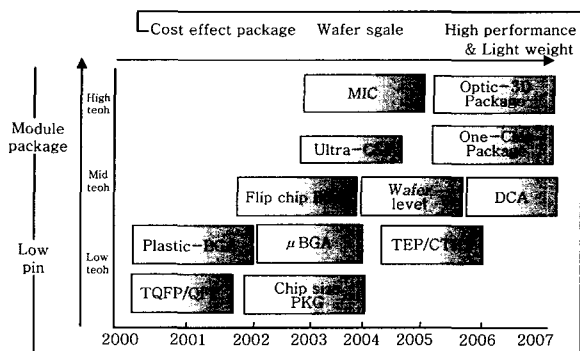


Fig. 1 Package Trends

터영역에서의 대폭적인 신장이 주목된다. 영국의 조사 기관 BPA에 따르면 1996년도에 약 1억개이던 세계 시장 규모가 2001년에는 2억개로, 2006년에는 76억 개까지 증가할 것으로 기대되고 있다.

패키징 기술은 크게 Logic device와 Memory device로 나뉘는데 그 둘의 발전 양상은 크게 현저한 차이를 보인다. ASIC이나 Micro Processor로 대표되는 Logic device는 다핀화와 고밀도 실장의 2가지 특징이 요구되고 있다. 종전의 삽입실장형인 DIP로부터 다핀형인 PGA 또는 표면실장형인 QFP가 생겨나게 되었다. 그 후 두가지 특징을 만족시킬 수 있는 형태로 BGA family(PBGA, TBGA, CBGA)로 발전되어 왔다. Logic device에 있어서 가장 현저한 특징을 보이고 있는 것이 ASIC이다. Computer 성능의 향상에 따라 고기능, 고속화가 요구되고 있는 실정이다. 그로 인해 device의 신호수가 증가하고 그에 따라 패키지도 다핀화가 요구되고 있다. 미국의 SIA의 자료에 따르면 2002년에는 수천핀이 될 것으로 예측하고 있다. QFP는 이러한 요구를 위해 개발되었다고는 하지만 패키지의 구조상 lead의 fine pitch화의 경향을 감안하더라도 이와 같은 요구를 완전히 해결하는데에는 한계가 있다. 그 때문에 다핀화를 위해서 PGA라는 삽입실장형의 패키지로 Grid array의 단자배열을 가지며 열방산이 좋은 세라믹을 사용한 패키지가 고급품으로써 사용되고 있다. 한편 박형화라는 목표에서 보면 QTP(Quad TCP)가 notebook computer에 많이 사용되고 있다. 그러나 0.3mm pitch 이하의 일괄 리플로우 실장은 실장 yield라고 하는 난관에 부딪치게 되었고, 우리나라에서도 fine pitch 기술자들의 많은 노력에도 불구하고 아직 일반화되지 않고 있다. 현재 나타나고 있는 것은 PBGA 즉 Ball grid array 실장형의 출현이다. TCP를 경유하여 진행하려던 흐름이 PBGA, TBGA, FBGA(CSP)로 진행되면서 Flip chip 실장으로 자연스럽게 회귀하는 변화를 가지게 되었다.

반면 DRAM으로 대표되는 Memory device는 단자 수는 그다지 많지 않지만 소형화, 박형화의 특징을 갖는다. Memory device 또한 삽입실장형인 DIP로부터 표면실장형인 SOP family(SOJ, TSOP)로 발전되어 왔다. Memory는 module화(DIMM, SIMM)되는 경우가 많아 고밀도화를 위해 박형화를 꾀한 TSOP가 지금의 주류로 되어가고 있다. 하지만 2000년대 들어서면서부터 고속, 소형화의 목적으로 BGA 또는 CSP의 형태로의 전환에 힘을 기울이고 있다.

2.1 BGA(Ball Grid Array) 패키지<sup>3-5)</sup>

BGA란 이차원적인 평면에 격자 형식으로 분포된 솔

더 볼을 통하여 패키지와 다음 레벨 패키지인 PCB 등과 전기적으로 연결하는 것을 말한다. 따라서 BGA는 주변(Peripheral array)실장 형태보다 단위패키지 면적당 높은수의 I/O 수(Fig. 2)를 가질 수 있으므로 Logic device와 같은 고성능 패키지에 적합하다. BGA 패키지를 사용함에 따른 장점은 솔더 볼을 사용하여 전기적 접속을 함으로써 짧은 접속 거리에 의해 QFP 보다 낮은 인덕턴스와 커패시턴스를 가지며(Fig. 3), BGA 기판을 설계하는 과정에서 그라운드평을 사용함으로써 고전기적 성능 패키지가 가능하다. 또한 칩 바로 아래에 있는 솔더 볼이 열을 방출하는 역할을 함으로 열 특성도 우수하다.

같은 면적을 가지는 1.2mm pitch BGA 패키지와 0.5mm pitch 패키지를 비교해볼 때 QFP의 경우 약 240개의 I/O를 얻을 수 있는 반면 BGA의 경우는 500 이상의 I/O 수를 얻을 수 있으며, 만약 1mm 이하의 피치를 사용한다면 1000개 이상까지도 얻을 수 있다. 또한 패키지 크기면에서도 동일한 수를 가진 QFP에 비해 약 50%에 불과하다.

이와 같이 높은 I/O수, 적은 패키지 면적, 비교적 넓은 피치로 인한 높은 생산성 등의 장점을 가진 반면 BGA의 문제점으로는 솔더 볼 연결부위에서의 응력 발

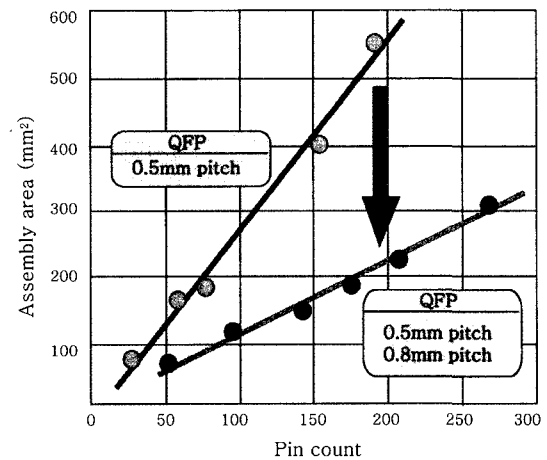


Fig. 2 Peripheral package and array package

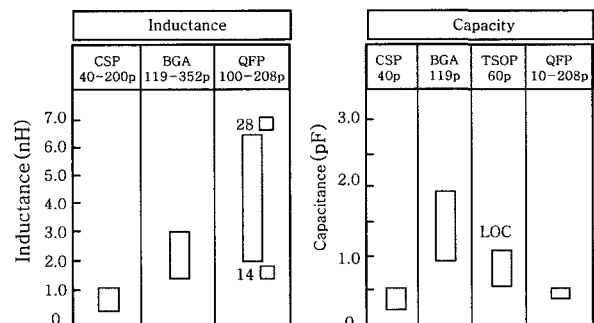


Fig. 3 Electrical efficiency of packages

생과 이에 따른 신뢰성 문제 및 솔더 볼 결함을 검사하는 방법 및 재작업이 용이하지 않다는 점등이 지적되고 있다. 마이크로 프로세서/컨트롤러, ASIC, GATE ARRAY, 메모리, DSP 그리고 칩셋에 최적의 패키지이며 고성능이면서 휴대하기 편하고 소형인 이동전화, 무선기기, PCMCIA 카드, 랩탑, 비디오 카메라, 디스크 드라이브 등에 사용된다.

● PBGA(Plastic Ball Grid Array)

Fig. 4는 PBGA의 단면을 나타낸다. 칩은 BT resin 재질의 substrate에 접합된다. PBGA는 CBGA (Ceramic Ball Grid Array)보다 가격이 낮고 기판 전기적 성능이 우수하다. 은을 함유한 에폭시 칩 접착제를 사용하여 substrate에 접착시키고 에폭시 수지를 사용하여 몰딩시킨다. PBGA는 가격이 저렴하여 가장 널리 쓰이고 있는 형태로 대개 600 I/O 이하의 ASIC, Micro processor, 고속 SRAM 등에 사용된다. 그러나 플라스틱을 기판재료로 사용하기 때문에 수분 흡수에 따른 패키지 내부의 cracking 같은 문제가 패키지의 신뢰성 문제를 유발하기도 한다. BGA는 그 쓰이는 기판의 종류에 따라 다음과 같이 분류된다.

● CBGA(Ceramic Ball Grid Array)

Fig. 5는 CBGA의 단면을 나타낸다. CBGA는 알루미늄 세라믹 기판을 substrate로써 사용한다. 알루미늄 세라믹 기판이 수분의 흡수를 차단하기 때문에 PBGA보다 수분의 흡수로 인한 문제점이 비교적 적고 견고한 구조를 가지고 있기 때문에 특별한 신

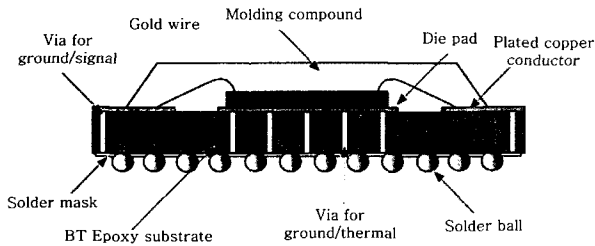


Fig. 4 Plastic ball grid array

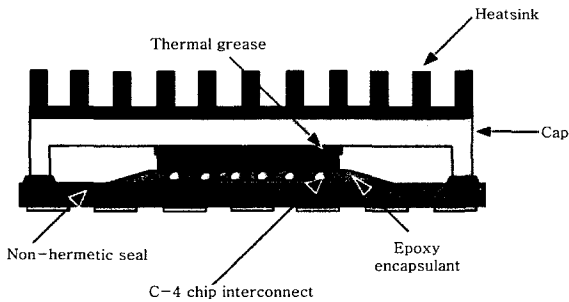


Fig. 5 Ceramic ball grid array

뢰성을 요구하거나 패키지가 사용하는 환경이 열적 안정성 또는 내식성을 요구하는 경우에 적합하다. 그러나 세라믹 기판의 무게가 상당한 비중을 차지하기 때문에 다른 형태의 BGA보다 무겁고 제조단가가 비싸다는 단점을 안고 있다.

● TBGA(Tape Ball Grid Array)

Fig. 6은 TBGA의 단면을 나타낸다. TBGA는 TAB 테이프에 보강판(stiffener)을 접착시킨후 칩을 플립칩 접합시킨다. TAB 테이프의 반대쪽은 BGA 형태로 솔더 볼을 접착시킨다. 칩의 열 방출은 방열판을 칩의 뒷면에 부착시켜 직접 방열시킨다. 이 TBGA는 위의 다른 두 가지보다 미세 피치화가 가능하여 매우 큰 수의 I/O 접속이 가능하고 상대적으로 소형화, 경량화에 유리한 구조를 가지고 있다. 또한 PCB와의 열팽창계수 차이가 비교적 적어 열적 안정성이 매우 우수하다.

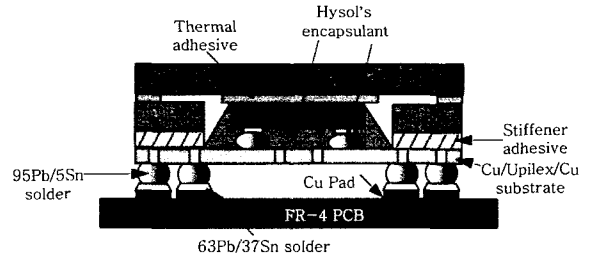


Fig. 6 TAB ball grid array

2.2 CSP(Chip Scale Package)

CSP 패키지는 미세 피치 패키지와 BGA 패키지가 더욱 발전한 차세대 패키지로서 BGA 기술, 플립칩 접합 기술, 와이어 본딩 기술, 몰딩기술 등 기존 패키지의 장점을 모두 사용한것으로서 반도체 칩 크기보다 약간 큰 패키지를 말한다. CSP 기술은 기존 단일 칩 패키지 기술중에서는 가장 작고 가벼우며 뛰어난 전기적 성능과 일반 표면 실장 기술을 이용할 수 있는 장점을 갖고 있다. 그러나 경박단소화에 따른 신뢰성 문제 및 CSP 규격화와 인프라 구조 문제, 높은 제조가격등이 앞으로 해결해야 할 숙제이다. 이 같은 장단점에도 불구하고 미국, 일본 등을 중심으로 활발하게 여러 형태의 CSP 기술이 개발되고 있으며 이미 양산화되어 사용 중에 있다.

한편 웨이퍼 상태에서 바로 패키지 형태로 가공하는 Wafer level CSP 패키지의 출현을 통해 패키지 가공 코스트를 낮출 수 있고 기존 CSP 패키지의 모든 장점을 유지함으로써 CSP 패키지의 새로운 추세가 되어가고 있다. 이에 따라 현재 다양한 WLCSP 패키지가 개발되고 있다(Fig. 7).

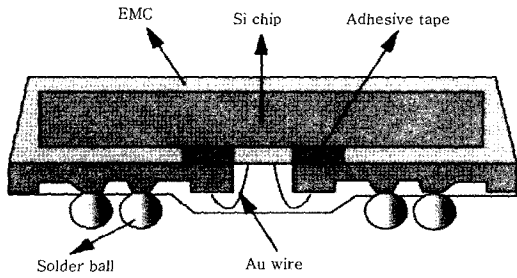


Fig. 7 Wafer level CSP

### 2.3 MCM(Multi-Chip Module)

MCM은 하나의 패키지 안에 여러 개의 반도체 칩을 부착하여 사용되는 것으로 마더 보드에서 차지하는 면적을 최소화 한 것이 특징이며 기존의 BGA 기술보다 한 단계 높은 제조공정기술을 요하는 차세대 반도체 패키지 기판이다. 이 인쇄회로기판은 패턴 디자인상 다층의 집적된 빌드업(Build-up) 및 미세회로 패턴이 요구되고 있고, 시그널 전송 스피드에 관련된 새로운 기판의 개발이 필수적이다.

MCM은 고집적 플라스틱 IC 패키지로서, 하나의 패키지에 2개 이상의 칩을 올릴 수 있으며 속도가 빠르고 열 방출 능력이 뛰어난 PBGA의 장점을 살려 하나의 패키지에 아날로그/디지털, 바이폴라/CMOS, ASIC, 그리고 DSP와 같은 혼합된 반도체 기술을 접목시킬 수 있다.

MCM의 장점으로는 응용기기의 외부사이즈를 줄일 수 있어 소형화 유리하며 전기소모가 적고, 디바이스간에 빠른 시그널 신호 가능하다. 로직 칩셋, 마이크로 프로세서, 마이크로 컨트롤러 시스템에 이상적인 패키지이며 랩탑, 휴대용 컴퓨터, 노트북, 텔레콤, 무선기기, PC 카드 등에 주로 사용된다(Fig. 8)

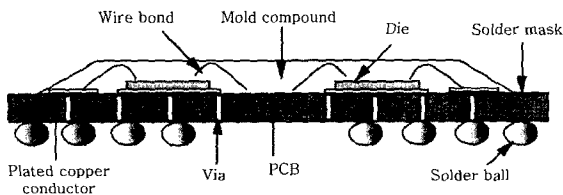
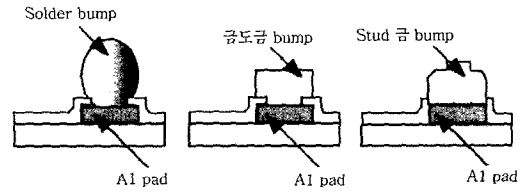


Fig. 8 Multi-chip module

### 2.4 플립칩(Flip Chip)

플립칩 접속 기술은 4가지 접속기술 가운데 가장 고밀도의 실장이 실현 가능하다. 플립칩 접속 기술로는 반도체 칩측에 범프(bump)를 형성하고 범프와 기판을 접속하는 것으로 실장을 하는 기술이다. 기판의 실장방식은 납접속, ACF(Anisotropic Conductive Film)

접속, 금·금 접속의 3가지가 있다. 현재 플립칩 접속 기술이 가장 많이 채용되고 있는 것은 액정제품이며 앞으로 더욱더 시장 확대를 위해서는 몇가지 해결해 나가야 할 문제가 있지만 고밀도 실장이 가능하다고 하는 특징으로 보면, 플립칩 접속 기술이 적용될 분야는 확대되어 갈 것이라고 생각된다. 플립칩 접속 기술을 논하는 데는 반도체 칩측의 범프 형성 기술이 필요하고 범프재질에는 Fig. 9에 나타난 것과 같은 대표적인 예가 있다.



(a) Solder 도금 범프 (b) 금도금 범프 (c) Stud 금도금 범프

Fig. 9 Flip chip bump

### 3. 미세피치 표면실장기술(Fine Pitch Surface Mounting Technology)<sup>6,7)</sup>

지금의 전자기기들은 10년 전의 것과 비교하여 다기능화, 축소화된 것을 알 수 있다. 이런 변화는 전자기기내의 기계적인 부품의 소형화와 IC(Integrated Circuit)의 발전이 크게 기여한 결과라 할 수 있을 것이다. 무엇보다 패키지기술, 특히 실장기술 변화의 역할을 뺄 수 없다.

반도체 패키지 실장기술은 DIP(Dual In-line Package)와 같은 삽입실장형에서 QFP(Quad Flat Package)와 같은 표면실장형으로 발전되면서 실장밀도가 높아졌다. 또한 전자기기의 소형화는 반도체 패키지의 소형화와 다면화를 가져왔으며, 이로 인하여 실장기술의 개발을 유도하였다. 실장기술의 궁극적인 목표는 IC 실장밀도를 높이는 것이다. 최대한의 실장밀도를 달성하기 위하여 QFP의 아웃리드피치(Out Lead Pitch)가 1.0mm→0.8mm→0.65mm→0.5mm로 미세피치(Pitch)화 되어 갔으며, 최근에는 0.4mm와 0.3mm Pitch를 가진 QFP가 개발되었다. 그러나 0.4mm와 0.3mm Pitch를 가지는 패키지의 표면실장은 이전의 표면실장 기술방법을 적용하게 되면 여러 형태의 표면실장불량이 나타나게 된다. 즉, 미세 피치 패키지에 적용할 수 있는 신뢰성 있는 표면 실장기술이 요구된다. 표면실장의 불량은 브릿징(Bridging)이나 리드 오픈(lead Open)과 같은 형태로 나타나며, 이와 같은 불량을 방지하기 위한 미세 피치 표면실장기술로는 솔더 합금을 전자회로 기판의 솔더링 패턴 위에 공

급하는 방법을 기준으로 2가지 방향으로 지금까지 전개 되어 왔다. 첫번째는 스크린 프린트(Screen Print)를 미세 피치에 맞게 개선하는 방법이고, 또 다른 방법은 솔더링 프리코트(Soldering Pre-coat) 방법에 의하여 솔더 합금을 솔더링 패턴에 공급하는 방법이 있다. 이 솔더링 프리코트 방법에는 프로젝티드 솔더 프리코트(Projected Solder Pre-coat) 방법과 슈퍼 솔더 프리코트(Super Solder Pre-coat) 방법이 있다.

3.1 솔더의 도포

● 스크린 프린트(Screen Print) 방식

스크린 프린트 방식의 프로세스는 Fig. 10(a)과 같다. 스크린 프린트 방식 미세피치 표면실장에 고려 되어야 할 사항으로는 스크린 프린트 후의 프린트 품질에 대한 솔더 페이스트, 스텐실, 프린팅 조건의 영향, 크리닝을 하지 않고 연속적으로 스텐실을 사용할 수 있는 횟수, 스텐실 크리닝 방법 등이 있다. 솔더페이스트는 솔더 분말과 플럭스의 혼합물로서 리플로우(Reflow) 이후 솔더링 Land Pattern에 퍼짐성이 양호하여 충분한 양의 솔더가 패턴 위에 존재하여야 한다. 미세피치 용 솔더 분말은 각형 보다는 구형이 좋으며, 분말의 크기가 작을 수록 좋다. 피치가 0.5mm 이하이면 구형 솔더 분말을 사용하고, 피치가 0.3mm 일 경우에는 솔더 분말의

직경이 30~10 $\mu$ m이어야 한다. 또한 구형 분말의 장점은 각형 분말에 비하여 스텐실에서 빠짐성이 우수하며, 분말표면의 솔더 산화물의 양이 적어서 솔더 품질이 양호하다.

프린팅된 솔더 페이스트의 양은 스텐실 구멍의 길이, 폭, 깊이에 의해 결정된다. 정확한 솔더 페이스트의 프린팅을 위해 솔더 페이스트의 교반-프린팅-검사의 일괄 작업이 요구된다. 또한 각기 다른 피치를 갖는 부품을 일괄작업 해야할 경우 최적의 솔더 페이스트의 양을 프린팅하기 위해 Fig. 11처럼 부분적으로 에칭된 스텐실을 이용하기도 한다. 스텐실의 두께는 반도체 패키지의 미세피치화 되면서 브릿징(Bridging)이나 솔더볼(solder Ball) 현상 등을 방지하기 위해서 점차 줄어들고 있다.

● 프로젝티드 솔더 프리코트(Projected Solder Pre-coat) 방식

Projected 솔더 프리코트 방식이란 스크린 프린트와 리플로우를 이용하여 솔더 프리코트를 프리코트 하는 방식이다(Fig. 10(b)).

솔더 프리코팅을 할 때 아웃리드의 오픈(Open) 불량량을 방지하려면 프리코트 솔더 합금 층의 두께를 50 $\mu$ m 이상 되어야 한다. 그러나 과도한 솔더 공급은 브릿징 현상을 유발하므로 부분적 솔더 합금 층의 두께를 증가시키는 동시에 랜드 패턴의 솔더양을 조절함으로써, 리드오픈(Lead Open) 불량과

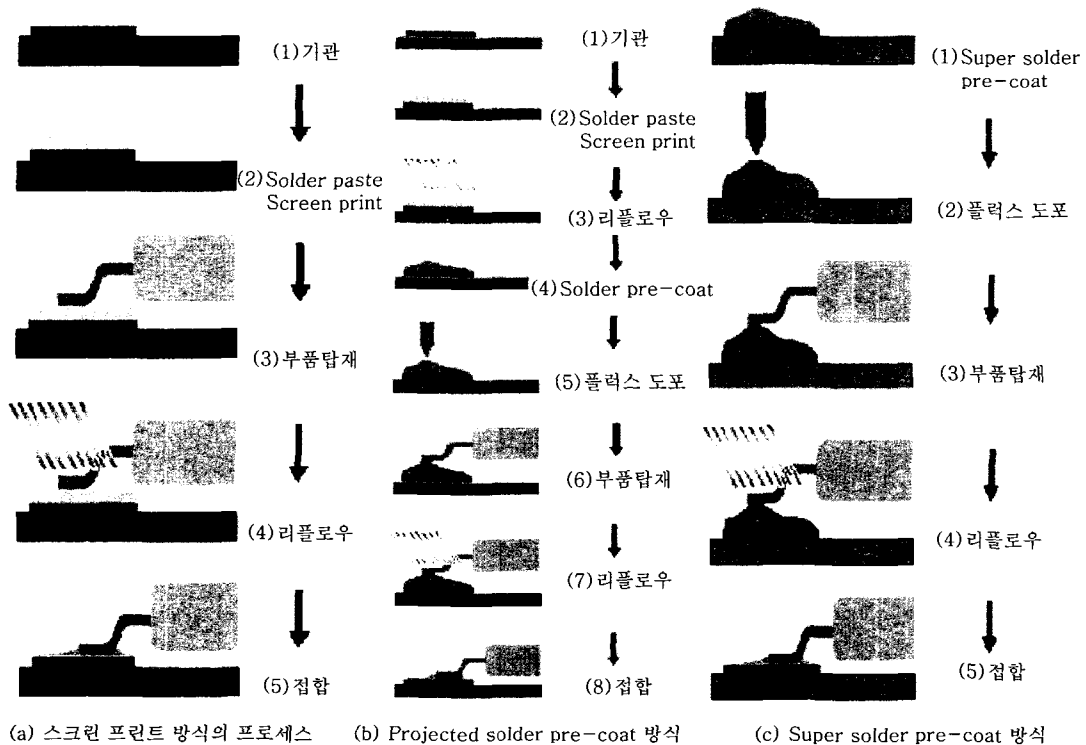


Fig. 10 Printing method

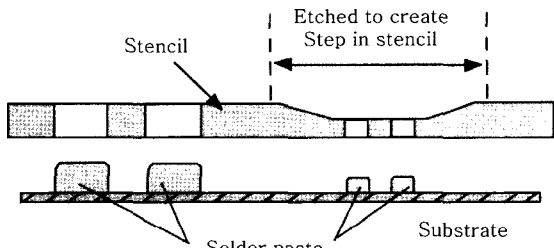


Fig. 11 Step stencil

브릿징을 동시에 방지하여야 한다

- 수퍼 솔더 프리코트(Super Solder Pre-coat) 방식 Cu 표면의 금속유기산염[(RCOO)2Pb]의 치환반응을 이용하여 전자회로기판의 솔더링 랜드패턴(Cu)에만 선택적으로 솔더 합금을 코팅하는 방법으로, 솔더 페이스트의 미세피치 프린팅에서의 기술적인 어려움을 고려할 필요가 더 이상 없다고 말할 수 있다(Fig. 10(c))

수퍼 솔더는 미세한 주석과 납유기산염의 혼합물로, 작업상 편리한 페이스트 상태이며 프린팅방법이나 디스펜서(Dispenser)에 의하여 랜드패턴부위에 도포된다. 나중에 형성되는 솔더 합금의 조성은 납유기산염과 주석분말의 혼합비율에 의하여 결정되며, 솔더 합금의 두께는 수퍼 솔더 페이스트의 양에 따라 조절된다. 전자회로 기판의 패턴에 솔더 합금을 형성시키기 위해서는 도포된 수퍼 솔더를 화학적 반응이 일어나도록 약 210°C에서 2분간 가열하여야 한다.

### 3.2 리플로우

현재 리플로우 솔더링에 적용되는 가열 방식으로는 적외선 가열(IR), 열풍의 강제 대류, 증기의 잠열에 의한 가열, 레이저에 의한 부분 가열 등의 방법에 사용되고 있다. 현재 가장 보편적으로 사용되는 방식은 적외선 가열과 대류에 의한 가열이 혼합된 방식이지만 대류에 의한 방식이 부품에 따른 온도 차이가 적고 열적 안정성이 높으면 많은 양의 열에너지를 공급할 수 있으므로 완전한 대류에만 의한 가열방식이 대두되고 있다.

리플로우 솔더링 시 가장 중요한 것은 PCB에 장착된 각각의 부품에 가해지는 온도차이를 줄이는 것, 항상 같은 온도 프로파일을 유지하는 것 등이다. 또한 BGA나 CSP와 같은 면적 실장형 패키지는 솔더 접합부가 열원에 직접적으로 노출되지 못하기 때문에 리플로우 공정에서의 가 솔더 접합부에 가해지는 온도의 차이가 계속되고 있다.

또한 리플로우시 발생하는 구리 패드 표면의 산화와

이로 인한 결함을 방지하기 위해 질소나 수소, 아르곤과 같은 불활성 분위기에서 작업하는 방법이 많이 사용되고 있다. 대표적인 공정솔더 Sn-37Pb에 대한 리플로우 온도 프로파일은 Fig. 12와 같다.

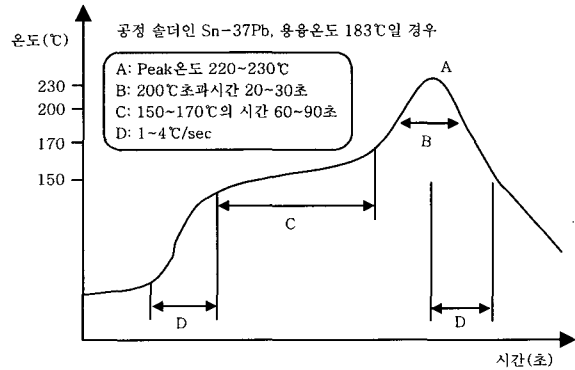


Fig. 12 Reflow temperature profile(Sn-37Pb)

### 3.3 솔더 페이스트(Solder paste)

최근에 환경에 대한 관심이 높아지면서 세계 각국에서는 프레온가스나 납과 같은 환경오염물질에 대한 규제가 심해지고 있다. 이에 대한 대비책으로써 솔더링 업계에서는 수용성 플럭스, 저잔사 플럭스를 위한 많은 노력을 기울이고 있다. 또한 납에 대한 규제에 따라 여러 가지 무연솔더가 개발중이고 현재 Sn-Pb 공정솔더를 대체중이다. 시판되고 있는 무연솔더는 용융점이 기존의 Sn-Pb 공정솔더(m.p 183°C)보다 약 40~50°C 정도 높으므로 패키지 내부의 신뢰성에 악영향을 미칠 가능성이 있고 또한 젖음성이 Sn-Pb 공정솔더보다 나쁘기 때문에 불활성 분위기에서 작업하는 것과 같은 추가적인 조치를 필요로 하는 등의 문제점을 갖고 있으며 이에 대한 많은 연구가 이루어지고 있다. 이밖에도 전도성 접착제와 같은 신물질이 속속 등장하고 있으나 아직은 솔더를 완전히 대체하지는 못하는 실정이다.

## 4. 미세 접합부의 신뢰성 평가<sup>8,9)</sup>

### 4.1 초기강도 평가

솔더 접합부에는 외적인 힘이 가해져서는 안되는 것을 원칙으로 하고 있으나 실제적으로는 냉각과정에서 각 소재의 냉각속도, 열팽창계수의 차이에 의해 접합부에 응력이 발생하게 된다. 솔더는 연성이 좋아 응력단화를 함으로써 지금까지는 거의 문제화 되지 않았지만 마이크로 접합이라는 개념에서 보면 단위면적당 응력이 증가해 솔더나 접합계면이 파괴강도를 넘어 파괴하는 경우가 발생하게 된다. 또한 검사시나 장치에 기판을

조립, 부착하는 과정에서 기판이 변형되어 접합부 과도한 응력이 발생하여 파괴되기도 한다. 따라서 마이크로 솔더 접합부의 강도를 파악하는 것이 신뢰성을 확보하는 가장 첫 걸음이라 할 수 있겠다.

마이크로 접합부는 접합 하고자 하는 대상부가 미소·미세하기 때문에, 접합대상부의 치수가 큰 경우에는 문제되지 않았던 접합부의 용해량, 확산두께, 변형량, 표면장력등의 영향을 고려해야 한다. 따라서 접합부의 시험방법도 이러한 치수효과를 고려하여 접합부의 품질을 평가해야 한다. 특히, 미세 전자부품의 접합면적은 수십 $\mu\text{m}^2$  이하의 것도 많고, 접합이 되는 부품 및 제품이 고기능·다기능의 품질을 요구하기 때문에 일반 솔더 접합부의 시험방법보다 각별한 주의를 요한다.

접합부의 초기 접합강도를 평가하기 위한 평가 방법으로는 접합부의 형상 및 응력의 상태에 따라 인장시험, 전단시험, 인장전단, peel시험 등이 있다. 각각의 방법은 사용환경에 따라 응력의 방향 및 크기를 고려하여 시험방법을 선정된다. 기본적으로 전기·전자소자에 직접적으로 기계적 응력이 작용하는 경우는 없지만, 어느 정도 강도를 지니고 있는지를 조사하여 구조체로서 문제가 없는지를 확인하기 위해서 이루어지는 평가방법이다.

● 인장 시험

인장 시험은 일반적으로 제품과 동일한 견본을 제작하여 수행하게된다. 각각의 규격에 따라 인장 강도의 목표값을 설정하여 평가한다. Fig. 13(a)는 BGA(Ball Grid Array) 또는 CSP(Chip Scale Package)와 같은 패키지의 솔더 볼 접합부의 인장 시험 방법을 보여주고 있다.

● 인장 전단 시험

인장 전단 시험은 외관상으로는 인장시험과 동일하지만 접합부에서는 전단응력이 작용하게된다. 단, 접합부의 응력분포를 고려하면 접합부의 가장자리(edge)에서 전단응력 및 인장응력이 최대가 되어, 인장응력이 전단응력보다 커지는 경우도 있다. 따라서, 이 시험법은 파단형태가 인장모드와 전단모드 중에서 어느 쪽이 지배적인가에 따라 접합부의 특성을 판정하게 된다. Fig. 13(b)에 인장전단시험 방법을 개략적으로 나타내었다.

● 전단 시험

전단 시험은 솔더 접합부와 구리 패드 사이의 접합계면의 특성 파악과 접합성 평가에 적합한 시험법이다. 이 시험법을 통해 솔더 접합부와 구리 패드사이

의 계면 접합 상태를 파악할 수 있다. Fig. 13(c)는 전단 시험의 방법을 보여주고 있다.

● 필(Peel) 시험

이 방법은 접합부의 품질을 정량적으로 평가할 수 있는 방법으로 솔더접합부의 접합계면의 박리상태 등을 파악하는데 사용되는 시험법이다. IC 패키지 솔더 접합부의 응력분포는 리드의 형상과 환경 조건에 따라 달라지지만, 대부분의 경우 필 하중 방향으로 부하가 걸리게 된다. Fig. 13(d)는 필(peel)시험방법을 나타낸 것이며, 응력이 박리부분에 집중하게 되므로 계면의 접합상태를 파악하는데 유효한 시험법이다.

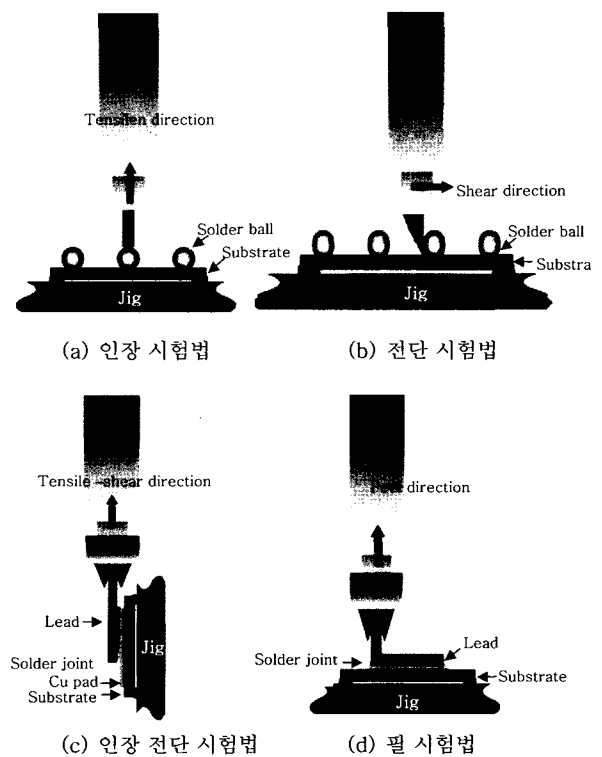


Fig. 13 Mechanical destructive inspection

4.2 열피로파괴

반도체 패키지는 Fig. 14에 나타난 것처럼 여러 구성 요소로 이루어진 복합 조립체이기 때문에 열하중 조건하에서 구성 요소간의 상이한 열팽창률과 강성도의 차이로 인해 많은 열변형을 일으킨다. 특히 패키지 몸체와 PCB를 기계적, 전기적으로 연결하는 솔더접합부는 가장 취약한 부분이며, 점소성 특성으로 인해 매 온도 사이클마다 크립 및 소성 변형이 누적되어 결국은 열피로 파괴를 일으킨다. 최근에는 패키지의 박형화에 따라 패키지의 리드가 극단적으로 짧아지고 BGA,

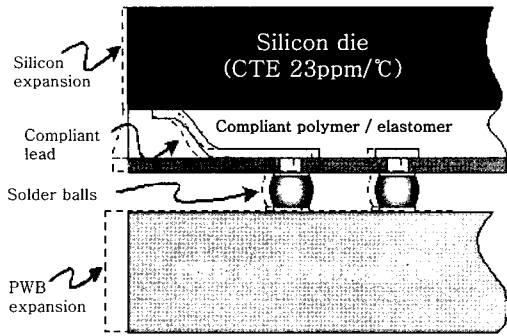


Fig. 14 Thermal stress concentration mechanism

CSP등에 사용되는 솔더 볼 역시 작아져 패키지의 열변형을 리드나 솔더 볼이 흡수 완화할 수 없게 되어 솔더 접합부에서 발생하는 스트레인이 더욱더 증가하게 되었다. 따라서 솔더접합부의 열피로 수명 예측은 전자 부품의 신뢰성을 평가하는 가장 중요한 기술로 대두되고 있다. 솔더 접합부의 열피로에 관한 연구는 접합부에서 발생하는 최대 전단 변형을 파라미터로 한 Coffin-Manson에 의한 Low Cycle 피로 수명식을 이용하여, 열피로의 수명을 구하고 있다. 파단까지 이르는 시간 즉, 파괴수명( $N_f$ )은 접합부의 형상에 의존하며, 상당소성변형률(equivalent plastic strain), 반복주파수, 온도의 폭 등에 의해 결정된다. 열피로 파괴시험은 Coffin-Manson의 수명식을 이용하여 추정할 수 있다.

$$N_f = C \cdot F^n (\Delta \epsilon_p)^{-m} \cdot \exp\left(\frac{Q}{k T_{max}}\right)$$

여기서,

- C: 재료상수
- M, n: 지수
- F: 반복주파수
- $\Delta \epsilon_p$ : 소성변형률 진폭
- Q: 활성화 에너지
- K: 볼츠만상수
- $T_{max}$ : 사용 최고온도

### 4.3 시효특성 평가

표면실장 방식에 따라 솔더접합부의 면적이 미세화됨에 따라 비교적 고온의 사용환경에서 장기간 동안의 솔더 접합부의 신뢰성이 중요한 과제로 대두되고 있다. 솔더링 과정 혹은 사용환경하에서 솔더와 구리 합금 사이에서 발생하는 금속간 화합물(Intermetallic compound) 층의 취성파괴와 박리는 솔더 접합부의 기계적인 강도 및 장기신뢰성 저하의 원인이 된다.

솔더와 구리 합금 사이에서 발생하는 금속간 화합물의 두께는 다음과 같은 수식으로 계산할 수 있다.

$$d = \sqrt{Dt}$$

여기서,

- d: 금속간화합물층의 두께
- D: 확산계수
- t: 시간

또한 다음의 Arrhenius 관계식을 이용하여 금속간 화합물층( $Cu_3Sn$ ,  $Cu_6Sn_5$ )의 활성화 에너지를 구할 수도 있다.

$$D = D_0 \exp\left(-\frac{Q}{kT}\right)$$

여기서,

- D: 확산계수
- $D_0$ : 확산상수
- Q: 활성화 에너지
- k: 볼츠만상수
- T: 시효온도(K)

### 4.4 이온 마이그레이션(Ion Migration)

이온 마이그레이션 현상은 단자간에 직류전압을 걸어 주면 전기화학적 반응에 의해 일어나는 현상이다. 그림 Fig. 15에 이온 마이그레이션의 발생 패턴을 나타내었다. 이온 마이그레이션이 발생하면 양극으로부터 금속 이온이 절연층내에 용출되고 이것이 석출하여 점차적으로 절연층을 단락시킨다. 이때 그림에서 나타낸 것처럼 양극으로부터 뺀어나온 금속 이온이 환원석출하거나 화합물로 석출하는 경우와 양극에서 나온 금속이 음극까지 도달하여, 음극으로부터 전자를 얻어 환원석출하는 경우가 있다. 마이그레이션에 의한 단락 수명( $N_m$ )은 다음 수식으로 표기할 수 있다.

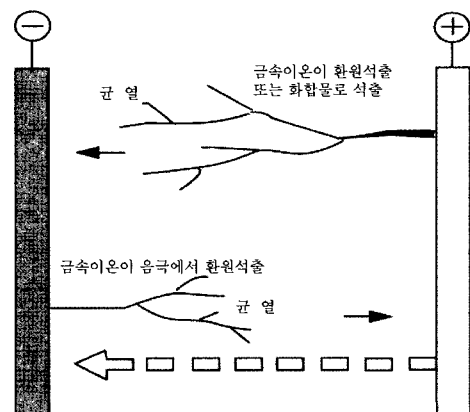


Fig. 15 Ion Migration



$$N_m = C \cdot E^m H^n \cdot \exp\left(-\frac{Q}{kT}\right)$$

여기서,

- C: 재료상수
- M, n: 지수
- E: 전계강도
- Q: 활성화 에너지
- K: 볼츠만상수
- T: 절대온도
- H: 습도

#### 4.5 크립(Creep) 평가

크립은 재료에 일정온도, 일정하중을 가하게되면, 시간과 더불어 변형이 일어나는 성질이다. 솔더는 용점이 낮기 때문에 사용환경의 온도가 높으면, 크립현상이 일어난다.

솔더의 용점은 183°C(Sn/Pb 공정조성) 전후에서 높아도 400°C정도이다. 반면에 사용온도 온도는 50°C~150°C로 높은 경우가 많다. 크립현상은 사용환경온도가 솔더용점의 40%이상인 경우에 일어나기 쉽다. 단, 전자부품의 구성재료는 이종 재료가 많고, 이종재료의 접합부는 구성재료의 응력완화로 응력을 흡수하여 솔더 접합부의 크립파단을 막아준다. 또한, 탑재되는 부품 및 소자가 가볍고, 기하학적으로 구속되는 조건이 많기 때문에 크립에 의한 파괴는 많지 않다.

#### 4.6 위스커(Whisker) 평가

전자공업에서 위스커는 Sn 혹은 Sn의 조성에 가까운 합금의 도금면에서 성장하는 단결정에 가까운 탄성이 있는 수염같은 결정질을 말한다. 위스커는 주석 이외의 다른 금속이나 화합물에서도 발생할 수 있다. 위스커의 직경은 약 1~3µm, 길이는 0.1~5mm의 섬유상이며, 빠른 경우 1개월에 약 1mm 성장한다. Sn 도금의 경우, 하지금속이 Cu인 경우 특히 현저하며, 온도사이클 시험과 같이 저온과 고온이 반복적으로 작용될 때에도 용이하게 성장한다. Fig. 16은 Sn 혹은 Sn의 조성에 가까운 합금의 도금면에서 성장하는 위스커의 예를 보인 것이다. 위스커는 단락이나, 오버브리지(Over bridge)의 원인이 된다.

### 5. 마이크로 접합의 향후 요구 기술

현재 마이크로 솔더링 기술은 주변단자 형태에서 면적단자 형태로 바뀌면서 급속한 미소, 경량화의 추세로 나아가고 있다. 국내에서 BGA(Ball Grid Array)은

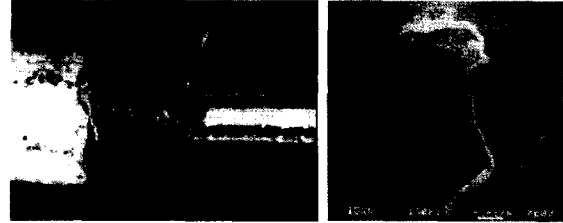


Fig. 16 Whiskers

이미 실용화 단계에 있으며 µBGA와 CSP(Chip Scale Package)등이 상용화 혹은 그 직전 단계에 있다. 1980년대에 개발된 BGA는 높은 열적 손실을 요구하는 특별한 응용부품으로 컴퓨터 내부의 주요한 부분으로서 고속도 디지털 응용부품들에 쓰이고 있고 1990년대 초반에 시장에 등장한 CSP는 향후 21세기를 주도할 주요한 기술로써 자리잡게 되었다. 반도체 칩과 완제품의 크기가 거의 같을 정도로 얇고 작게 패키징하는 CSP 기술은 반도체의 경박단소화 추세에 힘입어 빠르게 성장하고 있다. CSP는 차세대 고속 메모리인 Direct Rambus DRAM의 주력 패키지로 채택됨으로써 이동전화나 디지털 카메라, 디지털 비디오 캠코더 등 휴대용 정보통신기와 노트북 PC, PC 카드 및 워크 스테이션 등의 컴퓨터 영역까지 대폭 확대될 전망이다.

마이크로 접합은 접합부 치수의 한계를 초월한 접합 공학 및 기술 개발이 요구되며 이러한 마이크로 접합부 치수의 소형화 이외에도 전자 기기 및 부품의 급후 발전을 지원하기 위해서는 다음과 같은 과제에 관하여 연구 개발의 성과를 올릴 필요가 있다(Fig. 17).

- ① 접합 반응층의 치수 및 성질의 제어 기술
- ② 접합 재료 공급량의 제어 기술
- ③ 접합 계면의 분석 기술
- ④ 부품 치수 및 위치 결정의 제어 기술
- ⑤ 저온 접합 기술 및 보수 기술
- ⑥ 소재의 국산화 및 신소재 이용 기술
- ⑦ 평가 기술의 확립

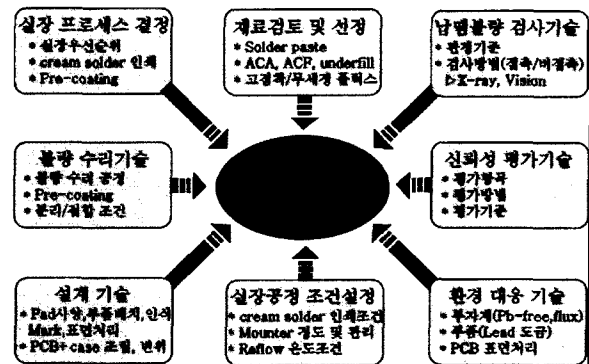


Fig. 17 Assignment of micro joining

## 참 고 문 헌

1. Kunihiro Nishi : Current Semiconductor Packaging in Japan, 한일 반도체 패키징 기술 세미나, 1999
2. 신영의, 정재필, 강춘식 : 전자산업에서의 마이크로 솔더링 기술, 대한금속학회, 제 12권 호, 1999
3. John H. Lau : Ball Grid Array, McGraw-Hill, 1995
4. John H. Lau : Electronic Packaging, McGraw-Hill, 1998
5. Jennie S. Hwang : Modern Solder Technology for Competitive Electronics Manufacturing, McGraw-Hill, 1996
6. Y. C. Lee, W. T. Chen : Manufacturing Challenges in Electronic Packaging, Chapman & Hall, 1998
7. Hans Danielsson : Surface Mount Technology with Fine Pitch Components, Chapman & Hall, 1995
8. 신영의 외 : 무연 마이크로솔더링, 삼성실업, 2001
9. 용접·접합 편람, 대한용접학회, 1998



- 신영의(辛永議)
- 1956년생
- 중앙대학교 기계공학부
- 마이크로접합, 솔더링, 패키징, 접합부의 검사 및 평가
- e-mail: shinyoun@cau.ac.kr



- 고영욱(高永旭)
- 1972년생
- 중앙대학교 기계공학부
- 접합부의 신뢰성 평가
- e-mail: naunet@hanmir.com