

인터넷 프로세서와 CDMA 송수신 프로세서간의 고속 데이터 전송 메커니즘 구현 및 성능분석

(Implementation and Performance Analysis of High Speed
Communication Mechanism between Internet Processor and
CDMA Processor)

정혜승[†] 정상화^{**}

(Hae-Seung Jung) (Sang-Hwa Chung)

요약 휴대폰과 PDA가 결합된 PDA폰에 대한 관심의 증가와 더불어 다양한 종류의 PDA폰이 연구 개발되고 있다. PDA폰은 내부적으로 CDMA 송수신을 담당하는 CDMA 프로세서와 인터넷 애플리케이션을 담당하는 PDA 프로세서가 결합된 구조를 가지고 있다. 일반적으로 두 프로세서가 통신하는데는 UART, 즉 직렬 통신포트가 사용되었다. 하지만 발전하고 있는 CDMA 규격은 곧 IMT-2000의 등장과 함께 최대 2Mbps의 대역폭을 요구하고 있으며 기존의 직렬포트로는 이 규격을 만족하는데 어려움이 있다. 본 논문에서는 앞으로 고속화될 데이터 통신규격을 만족시킬 프로세서간 통신 메커니즘을 분석하고, Dual Port Memory와 USB를 가장 유력한 후보로 선정, 이를 실험할 수 있는 테스트보드를 제작하였다. 실험결과 두 방식 모두 요구 대역폭을 만족시키나, Dual Port Memory를 이용한 방식이 가격대 성능비에 서 우수하였다.

키워드 : PDA폰, CDMA, 프로세서간 통신, Dual Port Memory, USB

Abstract Currently, with the increasing demand for combining cellular phone and PDA, various kinds of PDA-phones are being developed. A typical PDA-phone consists of a CDMA processor and a PDA processor. Generally, a UART serial communication port is used for inter-processor communication. However, the CDMA standard will need more data bandwidth over 2Mbps with the emergence of IMT-2000. The bandwidth requirement is beyond the capability of UART. In this paper, several inter-processor communication mechanisms are analyzed and especially Dual Port Memory and USB were chosen as the candidates for the new communication mechanism. A prototype PDA-phone board has been implemented for experiment. The experimental result shows that Dual Port Memory is better than USB in cost performance.

Key words : PDA Phone, CDMA, Inter-Processor Communication, Dual Port Memory, USB

1. 서론

지금까지 이동통신 환경에서 대용량의 데이터 처리가

필요한 경우 별도의 노트북이나 개인용 휴대 단말기 (PDA : Personal Digital Assistants)를 이동통신 단말기와 연동하여 사용하여 왔다. 이러한 두 단말기의 연동은 일반적으로 휴대폰과 노트북의 시리얼 포트나 적외선 포트를 이용하여 이루어졌다. 이런 환경에서 2개의 단말기를 사용해야 하는 불편함을 해소하고 지속적으로 가속화될 이동통신 환경에서의 멀티미디어 데이터 사용 요구를 충족하기 위해, 휴대폰과 PDA가 결합된 단말기가 등장하고 있다.

· 이 논문은 정보통신부에서 지원하는 대학IT연구센터 육성지원사업의 수행결과입니다.

† 비회원 : 한국항공우주연구원 우주발사체연구부 연구원
hsjung@kari.re.kr

** 종신회원 : 부산대학교 컴퓨터공학과 교수
shchung@pusan.ac.kr

논문접수 : 2002년 2월 25일

심사완료 : 2002년 7월 20일

휴대폰과 PDA가 결합된 단말기로는, 기존의 휴대폰에 PDA의 기능을 추가한 스마트폰과 기존의 PDA에 이동통신 기능을 추가시킨 PDA폰 등이 있다. SCH-M100을 스마트폰의 대표적 예로 볼 수 있으며, Luxian, Strata 등을 PDA폰의 대표적 예로 들 수 있다. 전자의 경우는 이동통신용 프로세서가 PDA 기능까지 담당하는데 비해, 후자의 경우 이동통신을 전담하는 CDMA 프로세서(주로 Qualcomm의 MSM시리즈[1])와 멀티미디어 데이터 처리를 전담하는 PDA 프로세서(주로 Intel의 StrongARM[2])가 결합된 형태를 취하여 스마트폰보다 강력한 성능을 보여주고 있다.

현재의 PDA폰은 대부분 휴대폰 모듈과 PDA 모듈이 UART 직렬 포트로 통신하고 있으며, 휴대폰 모듈이 요구하는 최대 데이터 통신 속도를 만족하고 있다. 휴대폰 모듈에 퀄컴의 MSM5000을 사용하고, PDA 모듈에 인텔의 StrongARM 프로세서를 사용하는 PDA폰의 경우, IS-95C(CDMA2000-1X) 규격을 만족하는 퀄컴의 MSM5000 프로세서가 최대 153.6Kbps의 데이터 통신 속도를 가지는데, UART는 최대 230.4Kbps까지 지원할 수 있어 휴대폰 모듈이 요구하는 속도를 만족시킬 수 있지만, 최대 2Mbps의 데이터 속도를 요구하는 IMT2000을 지원하지는 못할 것이다. CDMA 규격별 데이터 전송속도와 그에 해당되는 MSM칩은 <표 1>에서 보여주고 있다.

표 1 CDMA 규격별 데이터 속도 및 해당 MSM 칩[3]

규격	데이터 전송속도	Qualcomm MSM 칩
IS-95A	14.4Kbps	MSM3000 이하
IS-95B	64Kbps (최대 115.2Kbps)	MSM3000
IS-95C (CDMA2000-1X)	144Kbps (최대 307.2Kbps)	MSM5000 이상
IMT2000 (CDMA2000-3X)	384Kbps (최대 2Mbps)	

본 논문에서는 멀티미디어용 고성능 이동통신 단말기의 구현을 위하여, 무선 단말기의 기능을 담당하는 휴대폰 모듈과 개인용 휴대단말기의 기능을 담당하는 PDA 모듈 사이의 여러 가지 통신 방안들을 살펴보고 그 장단점을 분석하며, 본 논문에서 제작된 보드를 이용한 실험을 통해서 앞으로 요구될 데이터 통신 속도에 맞는 통신 메커니즘을 제안하려고 한다.

본 논문의 구성은 다음과 같다. 2장에서는 관련연구 사항으로 기존의 UART를 이용한 직렬통신 및 Qualcomm

사에서 자사의 CDMA 칩과 쉽게 연동되도록 개발한 MSP1000에 관해서 살펴볼 것이다. 3장에서는 본 연구과정 중 제시되었던 여러 가지 방안들에 관해 살펴볼 것이며, 4장에서는 실험용 보드에 관해 기술할 것이다. 5장에서는 제작된 보드에 의한 실험결과 및 성능을 분석하고, 마지막 6장에서는 결론 및 향후 연구과제에 대하여 설명한다.

2. 관련연구

서로 다른 2개의 프로세서가 서로 통신을 하고자 할 때, 일반적으로 각 프로세서가 가지고 있는 공통규격의 I/O 포트를 사용하거나, 공유 메모리를 사용하게 되며[4], 이 때 메모리는 프로세서간 데이터 전송 속도 차를 완충해주기 위한 버퍼의 역할을 수행한다. 이 장에서는 UART를 이용한 기존의 구현방식과 Qualcomm에서 자사의 MSM 칩과 쉽게 연동될 수 있도록 공유 메모리 인터페이스를 채용한 차세대 PDA용 프로세서 MSP1000에 관해 살펴본다.

2.1 UART를 이용한 통신

현재까지 개발된 PDA폰들에서 휴대폰 모듈과 PDA 모듈사이의 연동은 UART 직렬포트를 사용해 이루어진다. 직렬포트는 대부분의 임베디드 프로세서들이 기본적으로 가지고 있으며, 그 구현이 간단하다.

StrongARM 프로세서에서 UART의 Bit Rate는 3.6864MHz의 입력 클럭 값을 나누어서 만들어진다. 먼저 1에서 4096까지의 값 중에서 사용자가 원하는 값으로 입력 클럭이 나누어지고, 이렇게 나누어진 클럭이 다시 16으로 나누어진다. 이렇게 해서 StrongARM에서 직렬포트의 속도는 56.25bps이상 230.4Kbps이하로 정해진다. UART는 프로세서마다 지원하는 Bit Rate 수준이 다른데, 퀄컴의 MSM5000의 경우 UART 최대 속도는 230.4Kbps이다. UART를 이용해서 통신하는 두 프로세서는 같은 속도로 통신해야 하므로 230.4Kbps가 최대 속도가 될 수밖에 없다. 이는 IS-95B를 완전히 지원하고, IS-95C를 부분적으로 지원하는 수준이다.

현재 국내에서 상용화된 IS-95C(CDMA2000-1X) 서비스의 데이터 전송률이 144Kbps이므로 충분히 그 요구를 만족하고 있지만, 2002년에 상용화 될 IMT2000(CDMA2000-3X) 규격은 만족시키지 못하고 있다. 특히 최대 2Mbps의 데이터 전송률은 범용 프로세서의 UART로서는 감당하기 힘든 수준이다.

2.2 퀄컴의 차세대 인터넷 프로세서 MSP1000

퀄컴은 PDA폰이 개발되기 시작하는 시점에서 기존의 직렬통신방식의 한계를 해결하기 위해, CDMA 프로세

서와 쉽게 연동되는 PDA용 프로세서 MSP1000을 개발하였다[5]. MSP1000은 ARM720T 프로세서 코어를 사용하며, 여러 종류의 OS 지원, Java, MPEG4 등 무선 인터넷 단말기용 프로세서의 기능을 갖추고 있다.

MSP1000의 특징은 자사의 MSM 프로세서들(MSM 3100, MSM3300, MSM5105, MSM5100, iMSM5500)과 같은 규격의 외부 버스를 가지고 있어서 휴대폰 모듈의 프로세서와 직접 연동될 수 있다는 것이다. MSP1000의 공유 메모리 인터페이스는 MSM의 외부 메모리 버스에 직접 연동되어 최대 2KByte 크기의 메모리를 공유할 수 있다.

<그림 1>에서 보듯이 MSP1000은 공유 메모리 인터페이스를 통해 MSM 칩의 외부 메모리 버스와 최대 16비트로 연결된다. 이 때 최대 2KByte의 공유 메모리를 사용해서 통신이 가능하다. DMA도 지원하여 쌍방 통신을 위한 비용을 줄일 수 있게 하고 있다.

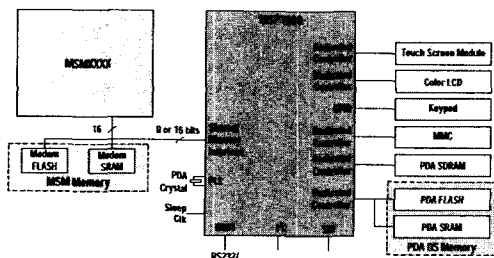


그림 1 MSP1000과 MSM 칩의 연결[5]

그러나, 현재 PDA 프로세서로 주로 사용되고 있는 인텔의 StrongARM에 비해 동작속도가 60MHz 정도로 현저히 떨어지며 (StrongARM은 206MHz), 공유 메모리 인터페이스를 위해 사용한 핀 수 때문에 실제 자신의 외부 버스는 최대 16비트 밖에 되지 않는 등 프로세서 자체 성능이 만족스럽지 않아 큰 호응을 얻지는 못하고 있다.

3. 이기종 프로세서간의 여러 가지 통신 방법

이 장에서는 본 연구를 수행하면서 고려했던 여러 통신 메커니즘을 분석하고, 그들의 장·단점을 파악하여 휴대폰 프로세서와 PDA 프로세서간의 최적의 통신 메커니즘을 도출해 내고자 한다.

3.1 USB(Universal Serial Bus)

USB는 인텔, 마이크로소프트, 컴팩 등이 플러그 앤 플레이(PNP)를 발전시키기 위해 합의한 PC 주변장치 포트 규격으로, 최대 127개의 장치를 손쉽게 연결할 수

있으며 12Mbps의 속도로 데이터를 주고받을 수 있다. 그동안 USB를 쓰려면 이용자가 운영체제와 드라이버를 교체해야 했기 때문에 대중화가 늦어졌지만, Windows 98이 USB를 완전히 지원하면서부터는 일반화되고 있다.

MSM칩이나 PDA 프로세서들도 주변장치로서 PC와의 연동을 위해 기본적으로 USB 포트를 가지고 있다. USB는 UART와는 달리 Host가 모든 통신을 제어하여야 하고, 그 특성상 PC가 Host가 되며, 주변장치는 slave로만 동작해서 PDA 폰의 경우에서처럼 두 프로세서가 오직 Slave로 동작하는 구조에서는 통신이 불가능하다. 이를 해결하기 위해서 임베디드 프로세서용 USB Host Controller가 추가적으로 필요하게 된다.

3.2 Memory Bus Bridge

Memory Bus Bridge는 서로 다른 외부 버스를 가진 두 프로세서가 메모리를 공유할 수 있게 해준다. 이 기종의 버스는 MSP1000의 경우처럼 메모리를 직접 공유할 수는 없으며, Bus Bridge를 통해서만 가능하다. Memory Bus Bridge의 기본적인 개념도는 <그림 2>와 같다.

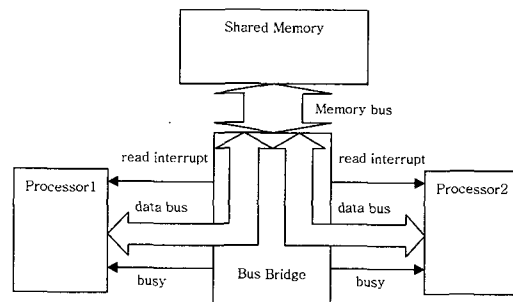


그림 2 Memory Bus Bridge 개념도

두 프로세서는 메모리 접근시, 서로 다른 메모리 버스를 사용하므로 직접 연결되지는 못하고, Bus Bridge를 통해 연결된다. 이 때 메모리는 통신 버퍼로서의 역할을 하게 되며, 그 형태가 SMP(Shared Memory Processor)의 모습과 유사하여 공유메모리로서의 역할도 수행할 수 있게 할 수 있다.

그러나 PDA폰의 경우, 일반적인 SMP 시스템과 다르게 두 프로세서가 공유하는 영역이 통신 데이터 영역 밖에 없다. 나머지 공유메모리 영역을 각 프로세서의 로컬 메모리로 활용할 수 있으나, 이 경우 자신만의 로컬 영역에 접근하기 위해 두 프로세서가 Bus Bridge에서 경쟁해야 하는 문제가 발생하여 성능을 저하시키게 된다. 결국 메모리는 통신버퍼로 밖에 사용되지 못하며, 이는

간단히 Dual Port Memory로 구현될 수 있다.

3.3 Dual Port Memory

<그림 3>은 Dual Port Memory를 이용한 프로세서간 통신구조를 나타내고 있다. 각 프로세서는 자신의 메모리 뱅크 중 하나를 Dual Port Memory용으로 지정하고 외부 메모리 버스로 Dual Port Memory에 접근한다. 프로세서간 신호 교환은 상호 지정된 GPIO (General Purpose I/O) 포트 및 인터럽트 핀을 할당하여 사용한다.

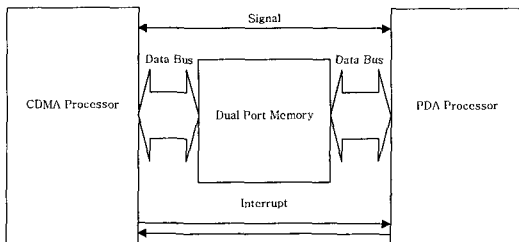


그림 3 Dual Port Memory를 사용한 통신 구조

Dual Port Memory를 사용하면, 메모리의 성능에 따라 프로세서가 가진 최고의 데이터 버스 대역폭을 프로세서간 통신에 사용할 수 있어서 직렬통신에 비해 매우 높은 속도를 얻을 수 있으며, Dual Port Memory외에 추가되는 하드웨어가 없기 때문에 구조가 대단히 간단하여 구현이 쉽고, 비용이 적게 든다.

4. Dual Port Memory 및 USB 기반 통신 시스템의 설계 및 구현

본 연구에서는 휴대폰 프로세서와 PDA 프로세서간 통신구조로 Dual Port Memory 및 USB에 기반한 통신이 가장 적합하다고 판단하고, 이를 이용한 보드를 제작하고 성능을 분석하였다.

4.1 Dual Port Memory 기반 통신 시스템

Dual Port Memory를 이용한 통신은 일반적으로 두 프로세서가 공유되는 영역에 원형 큐를 자료구조로 하여 데이터를 주고받는 형태를 가지게 된다. <그림 4>는 Dual Port Memory를 이용한 통신구조를 보여주고 있다. 전송될 데이터는 메모리 내부의 원형 큐에 보관된다. 큐가 꽉 차거나, 전송할 데이터가 모두 쓰여지면 각 프로세서는 메모리 내의 메일 박스를 통해 상대방 프로세서에게 읽기 요청 신호를 보내게 된다. 메일 박스는 본 논문에서 사용된 Dual Port Memory에서 제공하는 특징 중 하나로 메모리의 일정번지에 쓰게되면 상대 포

트에게 인터럽트 시그널을 보내는 역할을 해 준다. 인터럽트 시그널은 프로세서 폴링에 의해 처리된다.

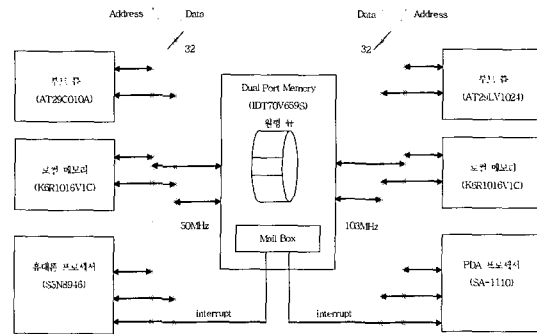


그림 4 Dual Port Memory 기반 통신구조

4.2 USB 기반 통신 시스템

앞서 언급한 바와 같이 USB를 이용한 통신을 하기 위해서는 USB Host Controller가 필요하다. Host Controller는 USB Slave를 지원하는 프로세서의 상대 프로세서 쪽 외부 데이터버스에 연결되어 마치 외부 메모리처럼 접근된다. <그림 5>에서는 Host Controller가 PDA 프로세서의 외부 데이터버스에 연결되었다. 프로세서는 Host Controller의 데이터 버퍼에 전송하고자 하는 데이터를 적고, 컨트롤러 내부 각 컨트롤 메모리에 Transaction Descriptor를 채움으로써 상대방에게 데이터를 전송하게 된다. 상대 프로세서로부터 데이터가 전송되었을 때, 컨트롤러는 해당 프로세서에게 인터럽트를 통해 전송사실을 알리게 된다. 인터럽트를 수신한 프로세서는 역시 Transaction Descriptor를 해석하여 데이터를 수신하게 된다.

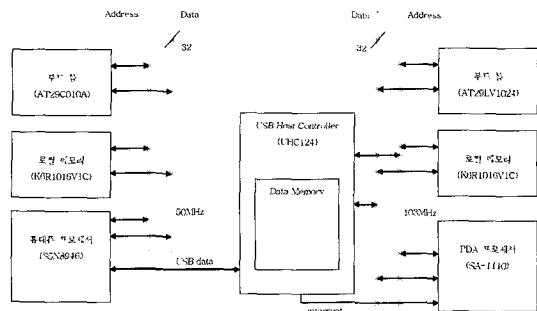


그림 5 USB 기반 통신 구조

4.3 프로토타입 보드의 설계 및 구현

제작된 프로토타입 보드는 크게 휴대폰 모듈, PDA 모듈, Dual Port Memory, USB Host Controller로 구성된다. 휴대폰 모듈 및 PDA 모듈은 각각 프로세서와 부팅 롬, 로컬 메모리로 구성된다.

4.3.1 휴대폰 모듈

휴대폰 모듈은 퀄컴의 MSM 프로세서와 같은 ARM7TDMI 코어를 사용하는 삼성의 S5N8946 프로세서를 선택하였다. S5N8946은 32bit RISC ARM7TDMI 코어를 사용하는 xDSL용 범용 프로세서로, 50MHz 클럭에서 동작하며, 최대 32비트 버스 폭의 ROM/SRAM/Flash/DRAM/SDRAM 메모리 컨트롤러, 4K바이트의 캐쉬, Write 버퍼 등을 내장하고 있다[6].

<그림 6>은 휴대폰 모듈의 회로도이다. 부팅 롬은 프로세서의 초기화 및 어플리케이션 수행을 담당한다. S5N8946 프로세서는 ROM 뱅크를 여섯 개 가지고 있으며, 프로세서가 리셋될 때는 항상 ROM 뱅크 0이 부팅 롬을 가리키게 되어있어서 부팅 롬은 시스템을 초기화하는 역할을 수행해야 한다. Atmel사의 AT29C010A가 부팅 롬으로 사용되었는데, AT29C010A는 1메가비트 크기에 8비트 버스, 120ns의 Access Time을 가지고 있다[7]. AT29C010A가 1, 2, 4개씩 가변적으로 사용하여 부팅 롬의 데이터 폭을 8, 16, 32 비트로 조절할 수 있도록 하였다.

로컬 메모리는 비동기식 SRAM으로 프로세서의 각 모드별 스택을 가지고 있으며, 로컬 데이터를 저장하는 곳이다. 삼성의 K6R1016V1C가 휴대폰 모듈 및 PDA 모듈의 로컬 메모리로 사용되었다. K6R1016V1C는 1메가비트 크기에 16비트 데이터 버스, 10ns의 Access Time을 가지고 있는 비동기식 SRAM으로, 2개가 32비트 데이터 폭을 가지도록 설계되었다[8].

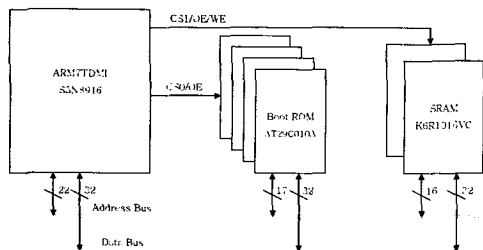


그림 6 휴대폰 모듈의 회로도

4.3.2 PDA 모듈

PDA 모듈은 현재 PDA 전용 프로세서로 가장 많이

쓰이는 Intel의 StrongARM SA-1110 프로세서를 사용하였다. StrongARM은 최대 206MHz에서 동작하는 32비트 RISC 마이크로프로세서로, ARM SA-1 코어를 사용하며, 내장 캐쉬, 16550 UART, 32비트 ROM/SMROM/Flash/DRAM/SDRAM/SRAM 메모리 컨트롤러, Write/Read 버퍼 등을 내장하고 있다[2].

StrongARM 역시 앞서 설명한 S5N8946과 마찬가지로 부팅 시 뱅크 0이 부팅 롬을 가리키게 되어있어서, 부팅 롬이 프로세서의 초기화를 담당하게 되는데, 최소 16비트 이상의 데이터 버스만 지원한다. PDA 모듈의 부팅 롬으로는 Atmel의 AT29LV1024가 사용되었다. AT29LV1024는 1메가비트 크기, 16비트 데이터 버스, 150ns의 Access Time을 가지며[9], 2개가 같이 사용되어 32비트 데이터 버스를 사용하도록 설계하였다. PDA 모듈의 로컬 메모리는 휴대폰 모듈과 마찬가지로 K6R1016V1C 2개가 사용되었다.

<그림 7>은 PDA 모듈의 회로도를 보여주고 있다. 휴대폰 모듈과 마찬가지로 Boot ROM은 뱅크0으로 SRAM은 뱅크1로 설정되었고, USB Host Controller는 뱅크3으로 설정되었다. 각 뱅크 별로 CS(Chip Select) 신호와 함께, OE(Output Enable), WE(Write Enable) 신호가 전달된다. 8비트 USB Host Controller를 제외한 모든 데이터버스는 32비트 폭을 가지도록 하였다.

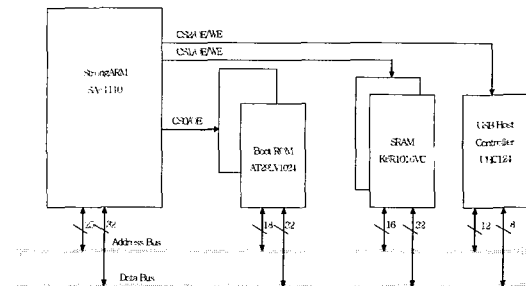


그림 7 PDA 모듈의 회로도

4.3.3 Dual Port Memory

Dual Port Memory는 IDT사의 IDT70V659S가 사용되었다. IDT70V659S는 128K×36 비동기식 Dual Port SRAM으로 10ns의 Access Time을 가진다. 메모리 크기는 4메가비트로 구입 가능한 비동기식 Dual Port SRAM 중 최대이며, Access Time도 비동기식 중 가장 빠르다. 한 바이트가 9비트로 마지막 비트는 고급 시스템에서 사용하는 패리티 비트를 위해 제공되지만 본 연구에서는 8비트만 사용하여 32비트의 데이터버스 폭

을 가지도록 설계되었다[10]. IDT70V659S의 특징으로 먼저 인터럽트 핀을 이용한 메일박스 기능을 들 수 있다. 메일 박스란 4바이트 크기의 통신용 버퍼로, 한쪽 포트에서 해당 버퍼에 값을 쓰면 다른 쪽 포트에 인터럽트를 보내는 기능을 수행한다. 인터럽트를 받은 상대방은 그 버퍼를 읽음으로써 간단한 통신이 이루어진다.

4.3.4 USB Host Controller

USB Host Controller는 TransDimension사의 UHC 124가 사용되었다. UHC124는 Embedded Processor용 USB Host Controller로서, 8비트 버스를 사용하며 12Mbps의 USB 최고속도를 지원한다. 총 2KB의 데이터 메모리를 가지고 있다.

4.3.5 프로토타입 보드의 PCB 구현

<그림 8>은 본 논문에서 성능 실험을 위해 제작한 프로토타입 보드이다. 233mm×233mm의 정방형 크기로, 외부 2층의 Signal Layer 및 내부 2층의 3.3V, GND Layer, 총 4층 구조로 설계되었다. 프로토타입 보드는 휴대폰 모듈, PDA 모듈, Dual Port Memory, 세 부분으로 나뉘어 진다. 사진의 좌측이 휴대폰 모듈로 S5N8946 프로세서와 부팅 롬, SRAM으로 구성되어 있다. 중앙 하단은 Dual Port Memory이고, 중앙 상단은 테스트 베드로 각 모듈별로 7 세그먼트와 스위치를 두었다. 우측은 PDA 모듈로 StrongARM 프로세서와 부팅 롬 및 SRAM으로 구성되어 있고, Daughter board 형태로 제작된 USB Host Controller 기판으로 구성된다. 입력 전압은 5V이고, 실험보드의 평균 소모 전류는 400mA이다. 5V 전압은 레귤레이터를 통해 3.3V로 변환되어 나머지 대부분의 소자들에게 전원을 공급해 주게 되고, StrongARM의 코어가 필요로 하는 1.75V 전압은 5V 전원에서 또 하나의 레귤레이터를 통해 생성된다.



그림 8 Dual Port Memory를 이용한 통신 프로토타입 보드

5. 실험

앞서 설명한 바와 같이 2002년 상용화를 목표로 하고 있는 IMT2000 서비스는 최소 384Kbps, 최대 2Mbps의 데이터 통신 속도를 규정하고 있다. 실험은 Dual Port Memory의 데이터 버스 폭, Access Time, 큐의 크기에 따른 통신 성능을 측정하고 위의 규정에 합당한 최적의 변수 값들을 찾아내고자 하는 것이다. 이에 덧붙여 USB를 이용한 성능을 측정하여 이와 비교하였다.

5.1 실험 결과 및 분석

본 실험에서는 로컬 메모리에 저장된 8메가비트의 데이터를 상대방으로 전송하고 받는데 걸리는 시간을 측정함으로써 대역폭과 지연시간을 계산하였다. Dual Port Memory의 크기는 프로그램의 상수를 조정함으로써 변화시키고, Access Time은 프로세서가 조정할 수 있는 해당 बैं크의 Access Cycle을 조정함으로써 변화시키도

표 2 Dual Port Memory의 크기 및 Access Time에 따른 대역폭(단위: Mbps, 괄호 안은 8비트 버스로 가정했을 때의 대역폭)

크기 Access Time	4Mbit	2Mbit	1Mbit	512Kbit	256Kbit	128Kbit	64Kbit	32Kbit	16Kbit	8Kbit
20ns	95.24 (23.81)	94.90 (23.73)	83.90 (20.98)	79.29 (19.82)	75.40 (18.85)	69.41 (17.35)	62.65 (15.66)	59.97 (14.99)	53.34 (13.34)	48.83 (12.21)
40ns	94.34 (23.59)	94.67 (23.67)	83.59 (20.90)	79.13 (19.78)	75.12 (18.78)	69.26 (17.32)	62.5 (15.63)	59.70 (14.92)	53.20 (13.30)	48.73 (12.18)
60ns	94.23 (23.56)	94.01 (23.50)	83.12 (20.78)	79.01 (19.75)	74.84 (18.71)	68.97 (17.24)	61.99 (15.50)	59.52 (14.88)	53.02 (13.26)	48.31 (12.08)
80ns	93.90 (23.48)	93.68 (23.42)	82.90 (20.73)	78.66 (19.67)	74.59 (18.65)	68.52 (17.13)	61.63 (15.41)	59.39 (14.85)	52.86 (13.22)	48.12 (12.03)
100ns	93.65 (23.41)	93.24 (23.31)	82.68 (20.67)	78.23 (19.56)	74.13 (18.53)	68.21 (17.05)	61.31 (15.33)	59.06 (14.77)	52.69 (13.17)	47.99 (11.99)

록 하였다. 데이터 버스 폭은 Dual Port Memory의 데이터 폭이 32비트로 고정되어 있으므로 조정이 불가능하므로 데이터 버스 폭의 변화에 따른 성능 변화는 32비트 실험결과 값을 8비트, 16비트에 맞게 각각 4와 2로 나눈 값으로 결정했다.

<표 2>에서 보듯이 모든 경우에서 IMT-2000의 2Mbps 규격을 만족하고 있음을 볼 수 있다. 괄호 안의 값은 8비트 버스 폭을 가정해서 측정값을 4로 나눈 값이며, 역시 전 영역에 걸쳐서 IMT-2000의 규격을 만족하는 것을 볼 수 있다.

<그림 9>는 4Mbit, 20ns의 Dual Port Memory에서 데이터 크기에 따른 대역폭의 변화를 보여주고 있다. 최대 대역폭은 95.24Mbps이다.

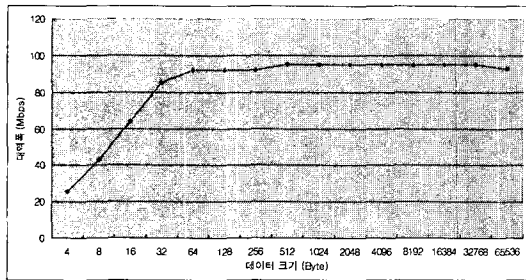


그림 9 4Mbit, 20ns의 Dual Port Memory에서 데이터 크기에 따른 대역폭 변화

휴대폰 프로세서인 S5N8946은 50MHz의 메모리 클럭으로 동작하는데, 비동기식 SRAM에 대해 최대 40ns의 Access Time을 가진다. 또한 부팅 룬에 대해 120ns로 동작한다. 매 4바이트의 데이터를 로컬 SRAM에서 읽어 Dual Port Memory에 적는 데는 12클럭, 240ns의 시간이 걸린다. PDA 프로세서인 StrongARM은 103MHz의 메모리 클럭으로 동작하는데, 비동기식 SRAM에 대해 최대 20ns의 Access Time을 가진다. 부팅 룬에 대해 150ns로 동작한다. 매 4바이트의 데이터를 Dual Port Memory에서 읽어 SRAM에 적는 데는 총 9클럭, 약 88ns의 시간이 걸린다. 이를 요약하여 정리하면 아래 수식과 같다.

$$\text{전송시간} = \frac{12\text{clock}}{50\text{MHz}} + \frac{9\text{clock}}{103\text{MHz}} = 328\text{ns}$$

$$\text{대역폭} = \frac{32\text{bit}}{328\text{ns}} = 97.5\text{Mbps}$$

4바이트의 데이터가 휴대폰 모듈의 로컬 메모리에서 PDA 모듈의 로컬 메모리로 전송되는데 328ns의 시간이 소요되며, 이로부터 97.5Mbps의 대역폭을 계산해 낼

수 있으며, 양 모듈간 신호 교환에 소요된 시간을 빼면 실험 결과 값이 계산된 값에 근접한다는 것을 알 수 있다.

한편, <그림 9>에서 데이터 크기가 64바이트 이상일 경우 최대 대역폭에 이르는데, IMT-2000에서 제공하는 서비스 중 300Kbps 이상의 대역폭을 요구하는 MPEG-4 스트리밍 비디오의 데이터가 수 킬로바이트 이상이라고 보면, 최대 대역폭으로 동작할 것이라 예상된다.

<그림 10>은 데이터 크기의 변화에 따른 지연시간의 변화를 보여주는 그래프이며, 최소 1.4us의 지연시간을 보임을 알 수 있다.

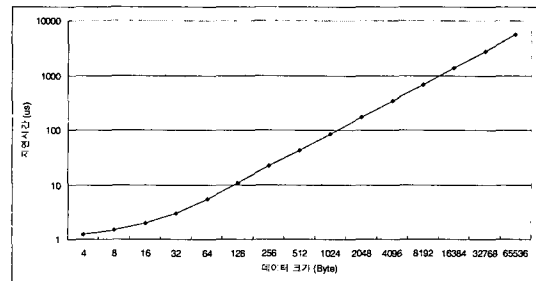


그림 10 4Mbit, 20ns의 Dual Port Memory에서 데이터 크기에 따른 지연시간 변화

5.2 USB와 Dual Port Memory의 비교

<그림 11>과 <그림 12>는 USB를 이용한 실험결과와 현재 구입할 수 있는 Dual Port Memory중 가장 낮은 사양(1K×8bit, 100ns)의 소자를 대상으로 한 실험결과를 비교한 것이다. 데이터 크기를 4바이트에서 65536바이트까지 늘어가며 대역폭과 지연시간을 측정하였으며, <그림 12>에서 보듯이 모든 영역에서 Dual Port Memory가 USB보다 우수한 성능을 보여주었다.

<표 3>은 USB Host Controller인 TransDimension UHC124와 1K×8bit, 100ns Dual Port Memory인 IDT7130SA-100J를 가격과 물리적 크기로 비교한 것이

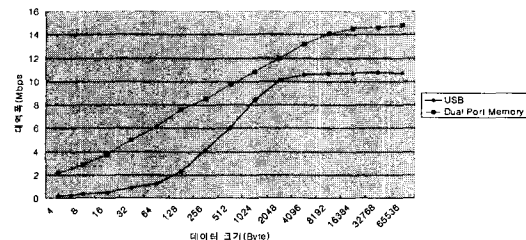


그림 11 USB와 Dual Port Memory를 이용한 통신 실험의 데이터 대역폭 비교

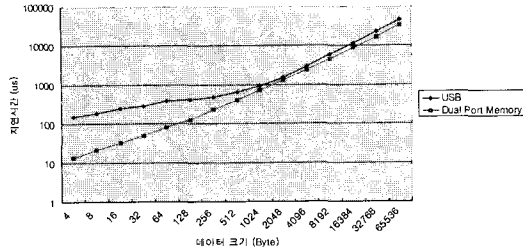


그림 12 USB와 Dual Port Memory를 이용한 통신 실험의 지연시간 비교

표 3 USB Host Controller와 Dual Port Memory의 가격 및 크기 비교

제품명	가격	패키지	비고
USB Host Controller TransDimension UHC124	\$4.9 (10,000개 구입시)	64pin QFP	6MHz oscillator가 추가적으로 필요
Dual Port Memory IDT 7130SA-100J	\$3.2 (2,500개 구입시)	64pin QFP	

다. 두 소자 모두 64pin QFP 패키지를 사용하여 물리적 크기는 10mm×10mm×1.4mm로 같다. 가격은 Dual Port Memory가 35% 이상 더 저렴한데, UHC124가 6MHz oscillator를 추가적으로 필요하므로 그 차이는 더 클 것이다. 종합적으로 성능, 가격 등 모든 면에서 Dual Port Memory를 사용하는 것이, USB Host Controller를 사용하는 것보다 낫다는 결론을 내릴 수 있다.

6. 결론 및 향후과제

본 논문에서는 PDA 폰 단말기를 만드는데 있어, 향후 만족되어야 할 휴대폰 모듈과 PDA 모듈 사이의 통신 규격을 분석하고, 현재 구현되어 있는 방식의 문제점 및 몇 가지 다른 형태의 구조를 제시하였다.

본 논문은 Dual Port Memory 및 USB를 이용한 통신 구조를 실험적으로 평가하기 위해, 실험 보드를 제작하였으며, 메모리의 크기, Access Time 및 여러 가지 데이터 버스 폭에 관해 실험해 보고 현존하는 Dual Port Memory의 모든 종류에 걸쳐 IMT-2000규격을 만족함을 보였다. 또한 USB와의 비교실험에 있어서 가격 및 성능 면에서 Dual Port Memory가 우수하다는 결론을 내릴 수 있었다.

Dual Port Memory 기반 통신 시스템은 향후 CDMA 프로세서와 PDA 프로세서가 Single Chip으로 통합 구현된 차세대 시스템이 등장하기 전까지는 고성

능 PDA폰 개발에 활용될 것으로 예측된다. 실제 Dual Port Memory를 이용한 PDA폰 개발에 있어서는 교환되는 데이터의 실질적인 특성 및 데이터 통신이 이루어지는 형태를 조사하여 그 특징에 맞는 메모리 소자의 선택 및 메커니즘 개발이 필요할 것이다.

참고 문헌

[1] <http://www.cdmatech.com/>
 [2] <http://developer.intel.com/design/strong/>
 [3] <http://cdma.netian.com/tech/cdma/is95c.html>
 [4] Ball, Stuart. R., "Communications between processors," *Embedded Microprocessor Systems Real World Design*, pp169-176, Newnes, March 2000.
 [5] <http://www.cdmatech.com/Solutions/Products/msp1000.html>
 [6] S5N8946 User's Manual, June 2001, Samsung Semiconductor.
 [7] AT29C010A Data sheet, January 1998, Atmel.
 [8] K6R1016V1C Data sheet, September 2001, Samsung Semiconductor.
 [9] AT29LV1024 Data sheet, January 2000, Atmel.
 [10] IDT70V659S Data sheet, June 2000, IDT.



정혜승
 2000년 부산대학교 전자컴퓨터공학부 학사. 2002년 부산대학교 컴퓨터공학과 석사. 2002년 ~ 현재 한국항공우주연구원 우주발사체연구부 연구원. 관심분야는 Embedded System, Avionics



정상화
 1985년 서울대학교 전기공학과 학사. 1988년 Iowa State University 전기 및 컴퓨터공학과 석사. 1993년 University of Southern California 전기 및 컴퓨터공학과 박사. 1993년 ~ 1994년 University of Central Florida 전기 및 컴퓨터공학과 조교수. 1994년 ~ 현재 부산대학교 컴퓨터공학과 부교수 및 컴퓨터및정보통신연구소 연구원. 관심분야는 클러스터 시스템, 병렬처리, 정보검색, VOD, Infiniband