



플라즈마 디스플레이 방전제어 펄스 설계 기술

염 정 덕 <경주대학교 컴퓨터전자공학부 교수>

1 서 론

플라즈마 디스플레이(이하 PDP : Plasma Display Panel)는 Xe의 저압 글로우방전 중 부글로우 영역에서 발생하는 147[nm]의 자외선을 이용한 자발 광용 디스플레이 소자이다[1]. PDP는 이 자외선(진공자외선 VUV : Vacuum Ultra Violet)을 이용하여 방전 공간(픽셀=화소) 안에 도포된 각각 적, 청, 녹색을 발하는 형광체를 선택적으로 여기시켜 천연색의 화상을 구현하게 된다. 이것은 가로, 세로 각각 크기가 1[mm] 정도로 매우 작은 저압 글로우 방전램프 수십만개를 하나의 평면상에 배열하고 이를 개별적으로 점등시키는 것과 같다고 할 수 있다.

PDP에서는 이러한 미세 램프들의 발광량을 제어하여 화상을 구현하는데 그 과정은 크게 초기화(reset) 과정, 어드레스(address) 과정 그리고 표시 방전유지(sustain) 과정의 세가지로 나눌 수가 있다. 또한 PDP의 방전구조는 인가전압의 형태에 따라 직류방전 구조와 교류방전 구조가 있으며 전극의 설치형태에 따라 대향방전 전극구조와 면방전 전극구조가 있다.

PDP의 성능, 가격품질 그리고 화질등을 개선하기 위하여 여러 가지 방전구조들에 대한 연구가 이루어지고 있으며, 더불어 이들 방전을 제어하는 기술들 역

시 현재까지 많은 연구가 이루어져 왔다. 여기서는 PDP를 구동하는데 필요한 여러 가지 방전들에 대해 그 목적과 특성을 살펴보고 현재까지의 방전 제어기술들에 대해 고찰한다.

2. PDP의 방전종류

PDP의 방전 구조에는 직류방전을 이용하는 것과 교류방전을 이용하는 것 두 가지가 있다. 그림 1은 직류방전 구조와 교류방전 구조의 PDP를 보인 것이다. 직류방전을 이용하는 경우 응답속도가 빠르고 불필요한 배면광이 없어 색순도는 좋으나 전극이 방전공간에 직접 노출되어 있으므로 이온충격(sputtering)에 의한 전극손상이 심하여 수명이 짧다. 또한 대면적의 수십만개 이상의 화소를 균일하게 제어하기 위해서는 각 픽셀마다 전류제한 저항을 방전전극에 직렬로 삽입해야하는 결점이 있어 근래의 PDP는 직류방전 구조를 거의 사용하지 않는다.

교류방전은 전극 위에 유전체를 도포하고 그 위에 이차전자 방출특성이 우수한 MgO의 보호층을 입힘으로써 형성되는 커패시턴스가 방전전류를 제어하는 역할을 한다. 또한 직접 전극이 방전공간에 노출되어 있지 않으므로 이온충격에 의한 전극손상이 적어 수명이 길다. 그러나 직류방전에 비해 응답속도가 늦고

전기적으로 격리된 공간에 충전된 전하를 제거하거나 방전을 저전압으로 균일하게 일으키기 위해서는 불필요한 방전들이 많아져 그에 따른 배면광의 휘도 증가가 화질저하를 가져오는 문제점이 있다.

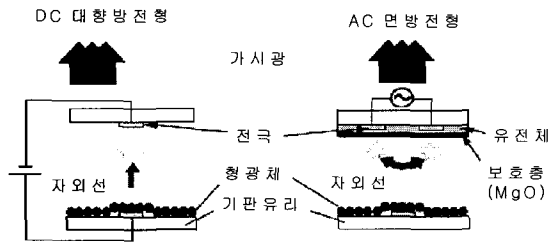
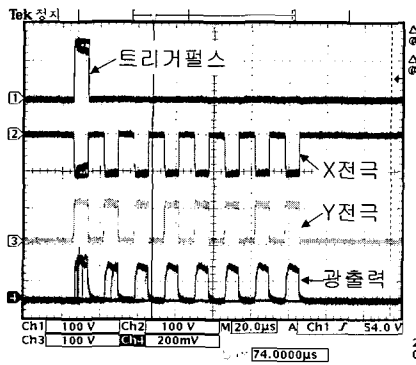
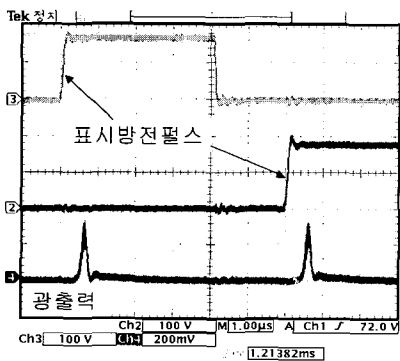


그림 1. PDP의 구조



(a)



(b)

그림 2. PDP의 광출력

(a) 직류 대향방전 PDP의 광출력

(b) 교류 면방전 PDP의 광출력

그림 2는 PDP의 픽셀 안에서의 직류방전과 교류방전의 광출력을 보여주는 것으로 직류 방전은 트리거 펄스에 의해 방전이 개시되면 방전공간 내 공간전하에 의해 방전전압이 낮아져 X, Y 두 전극사이의 전압에 의해 방전이 계속 일어난다. 그림의 교류방전은 표시방전을 보여주는 것으로 전단계의 어드레스 기간에 선택된 픽셀의 방전에 의한 광출력이다. 직류방전은 전압이 인가되어 있는 동안 방전이 지속적으로 일어나는 반면 교류방전은 방전에 의해 생성된 공간전하가 유전체 표면에 축적되어 내부 순전압이 차차 낮아져 방전은 어느 시점에서 최대가 되었다가 점점 소멸해가는 것을 알 수가 있다.

그림 1과 같이 PDP의 방전구조는 방전공간의 전극구조에 따라 대향방전 구조와 면방전 구조로 나눌 수가 있다. 대향방전 구조는 방전공간을 형성하는 상하 두 개의 유리기판에 각각 방전 전극을 설치하여 방전이 서로 마주보는 전극면에서 일어나도록 한 것이다. 이 경우 방전은 균일전계에 의해 안정되게 일어날 수 있으나 형광체를 도포할 수 있는 면적이 작아져 휘도가 낮다. 반면에 주 방전을 일으키는 전극쌍을 동일 평면에 평행하게 설치하여 방전시키는 구조가 면방전 구조이다. 이 경우는 불평형 전계에 의해 전극이 부분적으로 열화되므로 직류방전에서는 쓰이지 않고 전극 손실이 비교적 적은 교류방전 구조에 많이 사용된다. 이 면방전 구조는 방전전극이 설치된 면을 제외한 모든 면에 형광체를 도포할 수 있어 휘도 증가를 가져올 수 있다. 실제 상용화되어 있는 PDP는 경우 교류 구동형의 면방전 구조를 사용하나 방전공간이 격자형이 아닌 띠형으로 형성되기 때문에 형광체 도포면이 3면이 되어 휘도 증가에 기여하는 영향은 적다.

3. PDP의 방전제어 기술

교류방전에서는 전극과 방전공간이 전기적으로 격

리되어 있으므로 방전에서 발생한 공간전하들이 쉽게 소멸하지 않고 외부에서 인가된 전계분포에 따라 방전공간의 유전체 벽에 축적되게 되는데 이것을 벽전하(wall charge)라고 한다. 교류구동형 PDP에서는 이 벽전하의 영향이 대단히 중요하다. 벽전하가 남아 있는 픽셀에 외부에서 동극성의 전압을 인가해 주면 픽셀 내부의 순전압은 외부 인가전압과 벽전하에 의한 벽전압의 합이되어 벽전하가 축적되어 있지 않은 픽셀에 비하여 거의 두배의 전압이 인가된다. 그러므로 외부 인가전압 자체는 방전개시전압 보다 낮고 벽전압과 외부 인가전압의 합이 방전개시전압 보다 높아지도록 설계한다면 벽전하가 있는 픽셀은 방전을 개시하는 반면 그렇지 않은 픽셀은 내부 순전압이 방전개시전압 보다 낮아 방전을 개시하지 않는다. 뿐만 아니라 외부 인가전압은 교류전압이므로 일단 방전한 픽셀의 경우 벽전하가 역극성으로 다시 축적되고 외부 인가전압의 방향도 바뀌어 다시 벽전압과 동극성이 되므로 일단 방전을 개시한 픽셀은 외부전압이 인가되고 있는 한 지속적으로 방전을 개시할 수가 있다.

벽전하에 의한 방전제어 특성은 패널에 정보를 기억하게 하는데 유용하게 사용된다. 즉 패널 전면에서 정보가 나타내어질 부분에만 미리 벽전하를 형성시켜 놓으면 이후 패널은 벽전하를 소거할 때까지 계속 그 부분만 발광할 것이다. 이렇게 벽전하를 패널상의 임의의 장소에 형성시키는 선택적인 방전을 일으키는 기간을 어드레스 기간(address period)이라고 하고 패널 전면에 교류 펄스전압을 걸어 벽전하가 형성된 셀만 방전시켜 디스플레이에 필요한 밝기를 얻는 과정을 표시방전 유지기간(sustain period)라고 하며 형성된 벽전하를 제거하고 패널 전면을 다시 원래의 균일한 상태로 만드는 기간을 초기화 기간(reset period)이라고 한다. 그림 3은 초기화 기간, 썬닝기 어드레스 기간 및 표시방전 유지기간을 나타내는 타이밍도로써 가장 일반적으로 알려진 구동법인 ADS

(Address Display Separated) 구동방식의 펄스 타이밍 도이다. [2] PDP는 기본적으로 이 세가지 기간을 설정하는 방법에 따라 여러 가지 구동(driving) 방법이 있다.

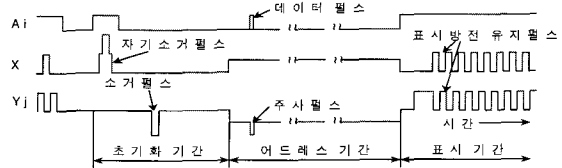


그림 3. 상품에 적용되는 3전극 교류 면방전 PDP의 구동방법

통상적으로 모든 디스플레이는 16.6ms 동안에 하나의 화면을 만들게 되는데 이를 1 TV필드(field)라고 한다. PDP에서는 계조(gray scale)구현을 위해서 하나의 필드를 표시방전 유지기간이 서로 다른 여러개의 서브필드(sub-field)로 나누어서 구동하는 시분할 구동방식을 사용한다. 각각의 서브필드는 PDP의 방전을 제어하는 독립적인 하나의 과정으로 어드레스 기간, 표시방전 유지기간 그리고 소거기간이 모두 설치되어있다. 시간적인 타이밍을 고려하면 각각의 서브필드는 표시방전 유지기간의 시간적인 길이만 다를 뿐 다른 기간들은 모두 같다. 그림 4는 PDP의 화상을 표시하는 방법으로 1TV필드의 구조를 나타낸다.

PDP의 방전제어 방식의 연구는 이러한 각각의 방전기간을 좀더 저전압으로 효율적이고 안정되게 제어하는 것을 그 목적으로 한다. 그리고 이러한 방전제어 특성을 나타내는 지표로는 동작마진이 널리 사용된다. 동작마진은 방전을 유지시킬 수 있는 최대전압과 최소전압의 차이로 정의된다. [3] 이 동작마진은 패널의 제조기술과 밀접한 관계가 있어서 넓은 동작마진을 가지는 구동법은 패널을 쉽게 제조하는데 도움을 준다.

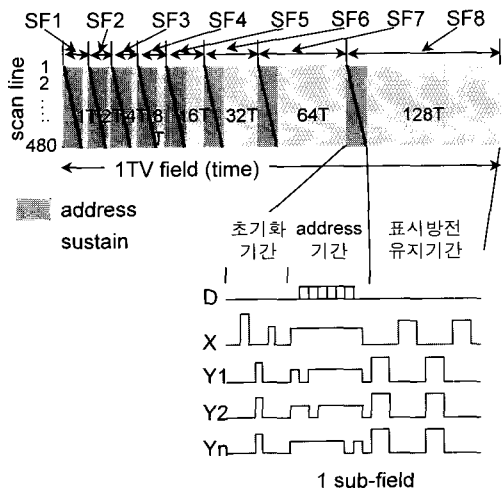


그림 4. PDP의 화상 표시방법

4. 초기화 기간의 방전제어 기술

PDP는 초기화 기간에 초기화방전을 일으키는 과정을 설치한다. 그림 4에 도시한 것과 같이 이 초기화 방전은 패널 전면에 강한 방전을 일으키는 것으로 초기의 PDP에서는 패널 전면의 벽전하를 완전히 소거시키는 용도와 방전시 발생하는 공간전하의 프라임링(priming) 효과에 의해 어드레스 방전의 방전개시전압을 낮추는 두가지 목적으로 각 서브필드마다 한번씩의 초기화 방전 펄스를 삽입하였다. 그러나 이 경우 초기화 방전은 불필요한 배면 휘도를 증가시키므로 명암비가 나빠져 시인성이 떨어진다. 이후 여러 연구 결과에서 방전에서 발생하는 공간전하가 다음 방전에 영향을 미치는 것은 수십 μs 이내라는 것이 밝혀졌으며(4)(5) ADS 구동법에서는 구동 특성상 어드레스 펄스들의 간격이 최대 1(ms)이상임을 감안할 때 초기화 방전의 공간전하는 방전의 안정화에 거의 영향을 미치지 못한다. 그러나 초기화 방전에 의해 준안정상태의 Ne 입자들이 다량 생성되고 이것이 어드레스 방전에 영향을 끼친다면 이러한 준안정상태의 원자는 수분 이상 생존이 가능하므로 Ne의 페닝효과에 의해

방전전압이 낮아지므로(1) 1(ms)이상의 시간간격에서도 균일한 방전특성 특성을 얻을 수가 있다. 그리고 패널을 균일하게 만드는 공정기술이 발전함에 따라 필드에 한번 초기방전을 하더라도 안정된 어드레스 특성을 나타낼 수가 있게 되었다. 또한 초기화 방전에서 형성되는 잔류 벽전하를 소거하기 위해서는 1, 2회의 소거방전을 병행하였는데 이러한 방전 역시 배면휘도의 증가와 관련이 있으므로 이를 줄이기 위해서 강방전에 의한 자기소거방전 기술이 개발되었다. 이 자기소거 방전은 강한 초기방전에 의해 형성된 과잉의 벽전하가 펄스전압이 사라진 직후 스스로 방전하게 함으로써 재결합에 의해 스스로 소멸되는 특징을 나타낸다. 이 기술은 배면휘도를 크게 줄일 수 있어 PDP의 화질을 높이는 데 큰 기여를 하였다. 최근의 초기화 방전의 기술동향은 초기방전의 본래기능이 패널전면의 전기적 조건을 균일화하는 측면이 강조되면서 서서히 증가하는 램프파형의 자기소거 방전을 응용한 초기화 방전기술이 주로 연구되고 있다(6). 이러한 램프파형은 각 전극에 잔류하는 벽전하의 양에 따라 각각 다른 전압에서 초기화 방전을 일으킬 수가 있어 초기화 방전 강도를 크게 줄일 수 있으므로 배면휘도를 많이 줄일 수가 있다. 그림 5는 초기화 펄스에 의한 자기소거방전의 광출력을 측정한 것이다.

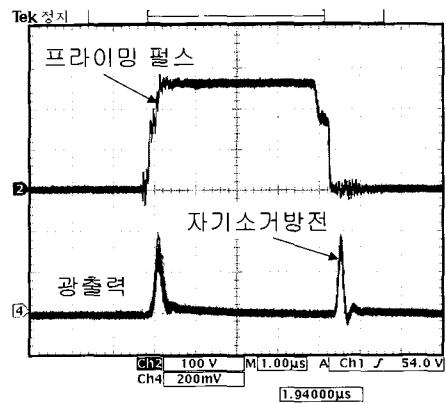


그림 5. 강방전에 의한 자기소거 초기화 방전

5. 어드레스 방전제어 기술

교류구동형 면방전 PDP의 어드레스 방전은 하판 유리기판에 세로로 설치된 데이터 전극과 상판 유리기판에 가로로 설치된 투명한 수평주사전극사이에서 일어나는데 이 과정은 패널전체에 대해서 시간 순차적으로 일어난다. 그러므로 각각의 어드레스 방전은 시간적으로 차이가 나게된다. 예를 들어 패널의 첫 번째 수평주사 전극과 마지막 주사전극에서의 어드레스 시간은 1[ms]정도 차이가 난다. 이것은 VGA급의 해상도를 가지는 패널을 구동하는데에는 무리가 없으나 HDTV(고품위 TV : High Definition TV)와 같은 고해상도 패널을 구동할 경우에는 충분한 휘도를 확보하기 위해서 어드레스 속도가 고속이 되어야하므로 균일한 어드레스 방전을 위해서는 대단히 불리하다. 이러한 고속 어드레싱은 어드레스 방전의 시간이 1[μ s] 수준까지 짧아야 가능한데 이 경우 방전지연에 의해 충분한 방전유지시간을 확보할 수 없어 방전이 불안정해 지는 문제점이 있다. 이를 해결하기 위해서는 어드레스 방전의 성장을 빠르게 하기 위하여 방전 전압을 높여야 한다. 방전전압이 높으면 이에 따라 고전압 펄스를 만드는 구동IC의 내전압도 따라서 높아지므로 이에 따른 비용상승을 피할 수가 없다. 또한 동작 마진은 그만큼 좁아져 패널 전면의 휘도 균제도(uniformity)가 나빠게 된다. 그림 6은 어드레스 전압에 따른 어드레스 펄스폭을 보여준 것이다. 그림에서 '가'는 펄스전압 인가후 방전이 개시될 때까지의 시간으로 방전지연시간이고 '나'는 방전이 성장해서 소멸할때까지의 방전 유지 시간이다. 그림에서 어드레스 전압이 높아질수록 방전 지연시간과 방전 유지시간이 단축된다. 그러므로 어드레스 전압을 높이면 어드레스 펄스 폭을 줄일 수 있으며 이는 고속 어드레스에 이용할 수 있음을 보여주는 것이다.

폭이 짧은 펄스를 가지고 안정된 어드레스 기능을

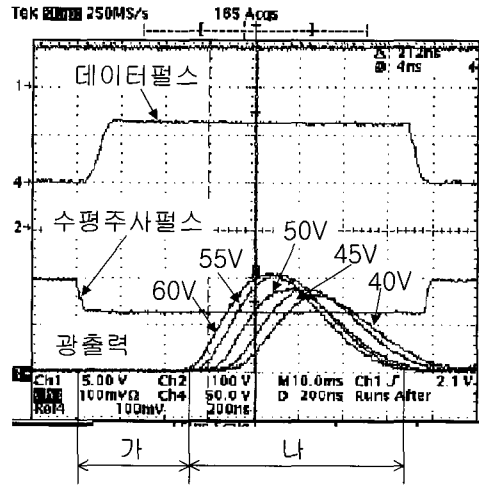


그림 6. 어드레스 전압에 따른 어드레스 방전의 성장특성

구현하는 연구결과로는 소거어드레스를 이용하는 것이 있다[7]. 소거 어드레스는 써닝기 어드레스와 반대로 패널 전면에 벽전하를 형성해 놓고 불필요한 픽셀의 벽전하를 소거방전으로 지우는 방법이다. 이 경우 어드레스 방전은 소거방전이므로 저전압의 폭이 좁은 펄스로도 가능하다. 그러나 소거 어드레스는 전면방전이 매 서브필드마다 필요하여 배면회도가 지나치게 높아지는 단점이 있다. 써닝기 어드레스에서도 폭이 좁은 펄스의 좁은 어드레스 마진을 가지고도 공간전하의 도움을 받을 수 있다면 균일한 어드레싱이 가능하다. 이에 적합한 구동법이 AWD(Address While Display)구동법으로 어드레스 펄스들을 모두 초기화 방전 후 10[us] 이내에 인가하는 것이 가능하므로 어드레싱에 공간전하를 이용하는 것이 가능하므로 1[us] 정도의 고속어드레싱이 가능하다[8].

외부에서 인가하는 어드레스 펄스의 전압은 패널의 의존성이 크다. 그러므로 패널의 제조기술이 발전하여 패널의 균일성이 커질수록 어드레스 전압을 낮출 수가 있다. 어드레스 전압은 주사전압과 합쳐져서 어드레스 방전을 일으키므로 좁은 동작마진으로 대면적을 균일하게 어드레싱이 가능한다면 어드레스 펄스전

압을 낮추고 기준전압을 높이는 것이 가능하다. 이러한 기술로 AWD 구동법에서 십수V의 전압으로 어드레스가 가능하다는 사실이 발표되고 있다[9]. 가장 최근의 연구결과로써 표시방전 유지기간에 어드레스 전극에 표시방전 트리거용 펄스를 인가함으로써 표시방전을 제어하여 하나의 표시방전유지기간을 가지고 두 개의 계조를 나타내는 구동방식이 발표되었다. 이 방식은 별도의 어드레스 기간없이 휘도를 제어할 수 있으므로 고해상도 패널에 있어서도 표시방전 시간을 충분히 확보 할 수가 있어 필요이상으로 무리하게 어드레스 펄스 폭을 줄이는 것을 피할 수가 있다[10].

6. 표시방전 유지과정

표시방전은 교류 펄스전압에 의해 구동되는 복수개의 방전에 의해 디스플레이에 필요한 휘도를 얻는기간이다. 각 서브필드의 표시방전의 횟수는 그 서브필드의 계조단계(gray scale)을 나타내므로 정확한 계조 표시를 위해서는 각 서브필드의 표시발광 휘도를 정확하게 제어하는 것이 필요하다. 그러나 그림 7에서 보이는 것과 같이 표시방전의 초기에는 충분한 양의 벽전하가 만들어질 때까지 과도상태가 일어나게 된다.

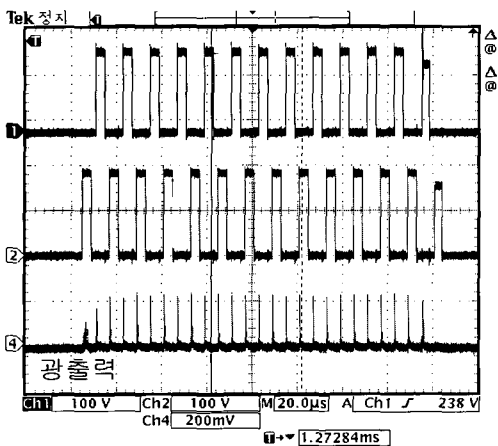


그림 7. 표시방전유지기간의 방전 과도기 상태

정확한 발광휘도를 얻기 위해서는 초기 방전의 과도기를 줄이는 것이 필요하다. 이러한 과도상태는 어드레스 과정에서 넘어오는 벽전하의 양과 관계가 있다. 즉 불충분한 어드레스에 의한 벽전하는 충분한 벽전압을 만들어 주지 못하므로 최초의 표시방전을 약하게 한다. 이 최초의 표시방전에 의해 생성된 벽전하는 표시방전이 진행되면서 어느정도 이상이 되면 점점 증가하여 정상상태에 도달하게 된다. 이러한 기간이 과도상태이다. 과도상태를 줄이기 위해서 표시방전 유지펄스의 제일 처음 펄스 폭을 늘려주면 어드레스 방전에서 형성된 벽전하가 다소 불충분할 경우에도 초기 표시방전에서 충분한 양의 벽전하를 축적할 수 있게 할 수 있어 과도기간을 많이 줄일 수가 있다. 그림 8에 첫 번째 표시방전 펄스 폭을 넓게한 개선된 타이밍도를 나타내었다.

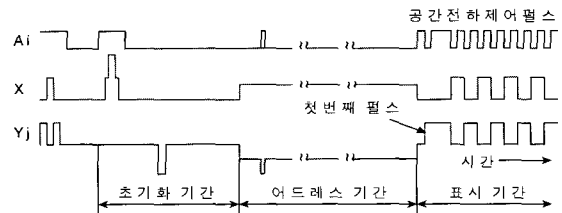


그림 8. 개선된 ADS 구동방식의 타이밍도

표시방전 유지기간에는 통상적으로 어드레스 전극은 일정한 bias 전압이 주어진다. 그러나 이기간에 어드레스 전극에 펄스를 인가하여 방전공간안의 전계를 제어함으로써 보다 효과적인 표시방전을 일으키는 연구가 지속적으로 이루어지고 있다. 이렇게 전계를 제어함으로써 벽전하가 효율적으로 축적되면 폭이 좁은 펄스로도 충분한 휘도를 가지는 표시방전을 할 수 있다는 연구결과가 있다[11][12]. 그림 8에 표시방전 유지펄스의 인가 주기에 동기하여 어드레스 전극에 펄스를 인가하는 구동 타이밍을 나타내었다. 그림 9는 이러한 벽전하제어용 펄스(SCCP : Space Charge

Control Pulse)를 사용하여 표시방전펄스의 펄스전압을 낮추는 실험결과이다.

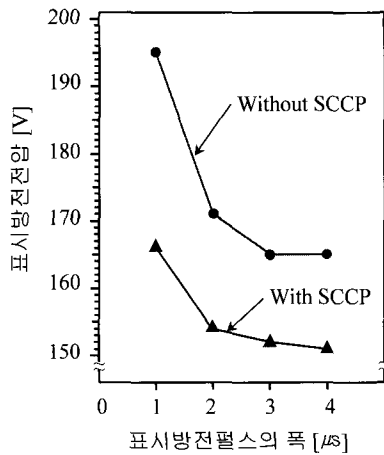


그림 9. 공간전하제어용 펄스에 의한 표시방전전압의 전압강하

최근의 연구동향으로는 표시방전 유지기간에 어드레스 전극에 펄스전압을 인가하여 표시방전과 별도의 보조방전을 일으켜서 발광효율을 증가시킨 연구결과 [13][14]와 이 기간에 어드레스 전극에 수(MHz)의 고주파 전압을 실어 효율이 40[%]이상 개선되었다는 연구결과가 있다[15]. 이러한 방법 모두 기본적으로는 위에서 언급한 것과 같이 방전공간 안의 전계를 제어하는 것을 기본으로 하고 있다.

표시방전 후에는 소거 펄스를 인가하여 벽전하를 소거하고 표시방전이 멈추도록 한다. 이러한 소거 방전에 이용되는 펄스는 표시방전 펄스보다 펄스폭이 좁고 인가전압이 낮아서 방전에 의해 벽전하의 재결합을 유도하고 각각의 전극에 형성되는 벽전하를 적정치보다 작아지도록 하여 방전이 멈추도록 하는 것이다.

7. 결 론

현재 디지털 고품위 TV의 보급과 더불어 디지털

대화면 디스플레이로 가장 적합하다고 알려지고 있는 것이 PDP이다. 이러한 시대적 추세에 힘입어 PDP의 구동방식에 대한 연구가 국내외적으로 많이 이루어지고 있다. 이러한 연구는 그 바탕이 방전을 효율적으로 일으키고 소멸시키는 것에 그 목적을 두고 있다. PDP는 크게 그 구동방식이 ADS구동방식과 AWD 구동방식이 있으며 이들은 서브필드의 인가구조가 다를 뿐 방전을 제어하는 기술 측면에서 보면 기본적으로는 위에서 서술한 세가지 기간, 즉 초기화 기간, 어드레스 기간, 표시방전유지기간을 모두 포함하고 있다. 그리고 이러한 기본적인 방전 제어기술들이 각각의 구동기술이 가지는 목적에 맞게 연구되고 설계되고 있다. 이러한 각 과정의 방전들을 좀더 효과적으로 제어하기 위해서는 방전에 대한 지식이 필요하며 이를 구현하고 실험하기 위해서는 이를 위한 고전압 스위칭 회로 기술이 필요하다.

참 고 문 헌

- [1] 御子柴茂生著, 플라즈마디스플레이最新技術, '第2章 PDP의放電', ED리서치社, 1996.
- [2] K. Yoshikawa, et al., "A Full Color AC plasma Display with 256 Gray Scale," JAPAN DISPLAY '92, pp. 605~608, 1992.
- [3] 염정덕, "HDTV급 플라즈마 디스플레이의 고속 어드레스 방전특성에 관한 연구", 조명·전기설비학회 논문지 1월호, Vol.15, No.1 pp. 1321, 2001.
- [4] 염정덕, "플라즈마 디스플레이의 공간전하 특성에 관한 연구", 조명·전기설비학회논문지 11월호, Vol.15, No.6 pp. 1~7, 2001.
- [5] Y.Takeda, et al., "A Technique for Reducing Data Pulse Voltage in AC-PDPs using Metastable-Particle Priming", IDW 99, pp. 747~750, 1999.
- [6] L. F. Weber, "Plasma Display Device Challenges", ASIA Display 98, pp. 15~pp.

- 27, 1998.
- [7] H. Hirakawa, et al., "Cell Structure and Driving Method of a 25-in.(64-cm) Diagonal High-Resolution Color ac Plasma Display", SID 98 Digest, pp. 279~282, 1998.
- [8] J. Ryeom, et al., "The New Driving Scheme of Full TV Field Display for 42-in. WVGA PDP", SID 00 DIGEST, pp. 738~741, 2000.
- [9] M. Ishii, et al., "Address-While-Display Drive Schemes of AC PDPs with 50V Scan and 20V Data Pulses by Use of Erase Addressing with Space Charge Priming", Asia Display/IDW '01, pp. 817~820, 2001.
- [10] E. Mizobata, et al., 'Development of a New Gray Scale Driving Method by Controlling Wall Voltage of Addressing Step', SID 02 Digest, pp. 944~947, 2002.
- [11] J. Ryeom, et al., "A Drive-Voltage Reduction of AC PDPs by Use of Space-Charge-Control Pulses", IDRC 97, pp. 390~393, 1997.
- [12] J. Ryeom, et al., "A study of the high speed driving scheme for HDTV grade AC PDP", ASID 99, p. 305~308, 1999.
- [13] K. Yamamoto, et al., 'An Address-Voltage-Modulation Drive for High-Luminous-Efficiency ac-PDPs', SID 02 Digest, pp. 856~859, 2002.
- [14] B. Cho, et al., 'Self-Erasing Discharge Using Short Address Pulse During Sustain Period in AC Plasma Display Panel', SID 02 Digest, pp. 440~443, 2002.
- [15] Y. Li, et al., 'High-Frequency Driving of Address Electrodes for AC Plasma Display to Enhance the Luminance and Luminous Efficiency', SID 02 Digest, pp. 436~439, 2002.

◇ 저 자 소 개 ◇



염 정 덕(廉正德)

1987년 서울대 전기공학과 졸업.
 1989년 서울대 대학원 전기공학과 석사학위. 1992년 박사학위 취득. 1992년~1995년 LG전자 영상미디어 연구소 선임연구원, LCD 프로젝터, 플라즈마 디스플레이 등 연구. 1996년 일본 전기·통신대학교 외국인 연구자, 플라즈마 디스플레이 구동방식 연구. 1997년~99년 삼성SDI 기술본부 선임연구원, 플라즈마 디스플레이 신구동방식 연구. 2000년~현재 경주대학교 컴퓨터전자공학부 전임강사.