

論文2002-39SD-6-9

# CDMA2000 1x 이동국 모뎀의 설계 및 검증

## (CDMA2000 1x Compliant Mobile Station Modem Design and Verification)

權潤周\*, 金哲鎭\*\*, 任峻熾\*\*, 金敬昊\*\*, 李慶河\*\*,  
韓兌熙\*\*, 金容皙\*\*

(Kwon Yun Ju, Kim Chul Jin, Im June Hyeok, Kim Kyung Ho, Lee Kyung-Ha, Han Tae Hee, and Kim Yong Serk)

### 요 약

본 논문에서는 캐쉬를 지원하는 ARM940T, TeakLite DSP 코어 그리고 다른 주변 블록이 내장된 0.18  $\mu\text{m}$  CMOS 공정기술을 적용한 CDMA2000 1x를 지원하는 이동국 모뎀 칩 구현에 대하여 기술한다. 또한 구현 칩을 효율적으로 검증할 수 있는 고유한 검증 방법론과 구현된 칩이 에뮬레이션용 프로세서로 활용될 수 있는 방법을 보인다.

### Abstract

In this paper, we present the CDMA2000 1x compliant mobile station modem chip (SCom5010) implemented in a 0.18 $\mu\text{m}$  CMOS technology.[1] ARM940T cached processor. TeakLite DSP core, and other peripheral blocks are integrated with the baseband modem chip. Also we show novel verification methodologies and explain how this chip can be used as an emulation processor.

**Key Words** : CDMA2000 1x, AMBA, Emulation, Verification, SoC

### I. 서 론

최근 음성위주의 2세대 이동통신서비스에서 음성은 물론 데이터통신과 각종 멀티미디어서비스를 포함하는 3세대 이동통신으로의 전환이 본격적으로 이루어지고 있다. CDMA2000 1x는 기존의 IS-95계열을 진화시킨 3세대 이동통신규약의 하나로 여러 3세대 이동통신 후보들 가운데 가장 먼저 상용화에 성공하여 현재 한국을

비롯한 여러 지역에서 초기 상용서비스가 시작되고 있다.

CDMA2000 1x의 새로운 특성은 고속 순방향 전력제어(Fast Forward Link Power Control)와 역방향 파일럿 채널(Reverse Link Pilot Channel)을 사용하여 시스템 용량을 증가시키고, 데이터의 손실없이 다른 주파수 대역을 검색하는 주파수간 하드핸드오프(Inter Frequency Hard Hand Off) 기능을 지원하고 긴급호출(Quick Paging)을 통한 단말기의 대기 시간을 증가시키며, 유사 직교 함수(Quasi Orthogonal Function)를 사용하여 채널 수를 증가시킨다는 점 등을 들 수 있다.

이와 같은 새로운 기능을 수행하는 단말기용 모뎀칩의 개발은 3세대 이동통신개발의 핵심이라고 할 수 있다. 경쟁력있는 단말기용 모뎀 SoC(System on Chip)의 개발을 위해서 단계별로 구조화된 방법론이 요구된다.

먼저 구현 사양에 대한 정확한 정의와 해당 기능을

\* 正會員, 延世大學校 電氣電子工學科

(Dept. of Computer Science and Engineering, Sogang University)

\*\* 正會員, 三星電子 通信研究所

(SEC Telecommunication R&D Center)

接受日字:2002年1月2日, 수정완료일:2002年5월17일

위한 알고리즘 개발 및 최적화가 선행되어야 한다.

이러한 알고리즘은 사양을 만족시킬 뿐 아니라 실제 이동통신환경에서 송수신성능을 극대화하면서 전력소모를 최소화할 수 있어야 한다. 다음으로 전체칩을 제어하고 소프트웨어가 실행되는 마이크로프로세서 코어와 디지털 신호 처리에 적합한 DSP 코어가 내장되므로 용도와 비용을 고려한 적절한 선택과 설계가 필수적이다. 또한 최근 SoC는 복잡도가 더해감에 따라 설계보다 검증에 더 많은 시간이 소요되는 추세이므로 짧은 시간 내에 정확하고 체계적인 검증 방법론을 세우는 것이 무엇보다 중요해지고 있다.

단말기용 모뎀의 검증에서는 다음 사항을 고려해야만 한다. 먼저 구현하는 모뎀 칩의 동작은 H/W와 S/W(특히 물리계층 S/W)가 반드시 함께 검증되어야 한다는 점이다. 두 번째로 실제 이동통신환경에 대한 동작을 검증하기 위하여 매우 복잡하고 다양한 환경에 대해 검증을 수행해야 한다. 이를 위하여 다양한 SoC 검증방식 - 예를 들면 FPGA(Field Programmable Gate Array) test, HW/SW co-verification 등 - 이 제안되고 있으나 제한된 시간 내에 제시된 두 가지 요소를 모두 만족시키기에는 구현의 복잡성이나 지나치게 긴 시뮬레이션 시간 등 많은 어려움이 따른다.

이러한 요구사항 및 문제점 들을 고려하여 본 논문에서는 CDMA2000 1x용 이동국(Mobile Station) 모뎀 칩 구현의 설계 내용과 검증 방법 그리고 에뮬레이션용 프로세서의 용도로 이 칩을 사용할 수 있도록 새롭게 추가된 로직에 대해서 기술하고 칩 구현 결과를 비교하고자 한다.

그림 1에 보인 바와 같이 구현된 모뎀 칩은 CDMA2000 1x 표준을 지원하는 모뎀 엔진과 8KByte의 내장형 캐쉬를 갖는 고성능 32비트 마이크로프로세서인 ARM940T와 AMBA(Advanced Microcontroller Bus Architecture) 버스 구조, 음성 복부호 기능을 수행하는 Teaklite DSP 코어가 내장되며, JTAG 바운더리 스캔(boundary scan)을 지원한다. 또한 아날로그 송수신 방식의 모뎀인 AMPS 지원블록과 UART, USB와 같은 직렬 데이터 송수신 회로, 스마트 카드의 데이터 송수신을 지원하는 RUM(Removable User Identity Module)과 같은 기능 블록들이 집적된다.

이 논문의 구성은 다음과 같다. 제2절에서는 CDMA 2000 1x를 구현한 모뎀과 전체 시스템을 제어하는 마이크로프로세서 및 음성 신호를 처리하는 모코더에 대

하여 설명한다. 제3절에서는 에뮬레이션용 프로세서로 활용될 수 있는 모뎀 칩 구현 방법에 대해서 그리고 제4절에서는 칩 구현 과정 및 효율적인 검증 방법을 논한다. 제5절에서는 칩 구현 특성에 대하여 기술하고 6절에서 결론으로 맺는다.

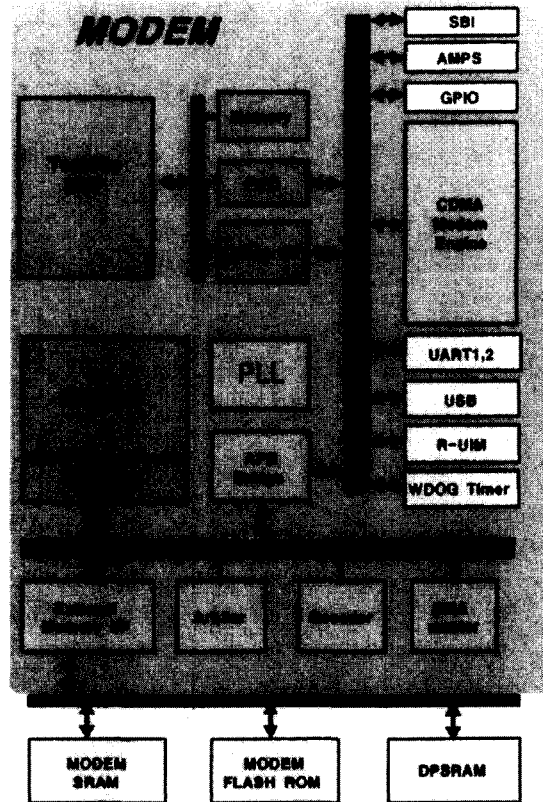


그림 1. cdma 이동국 모뎀 구조  
Fig. 1. The Structure of cdma Mobile Modem.

## II. CDMA2000 Modem 칩 구현 설계

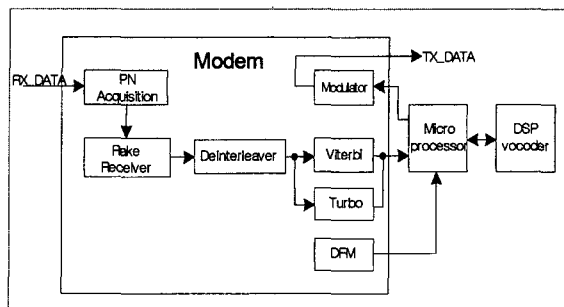


그림 2. 모뎀 구성도  
Fig. 2. Modem Block Diagram.

구현한 모델의 cdma 변복조부분의 구성도를 그림 2에 보인다. 복조부분은 PN Acquisition 부와 레이크 수신기, 디인터리버, 비터비/터보 복호기 등으로구성되어진다.

1. PN Acquisition 부

PN acquisition부는 각 PN offset에 대한 파일럿 채널 에너지를 측정하는 역할을 한다. 단말기의 초기 상태에는 단말기가 시스템 시간을 획득하도록 하기 위해 초기 acquisition 동작을 수행하고, 유휴 상태 및 통화 상태에서는 레이크 수신기에 최적의 복조 경로를 할당하고 hand-off를 위해 인접 기지국의 파일럿 채널 에너지를 탐색하는 동작을 수행한다.

특히 짧은 시간 동안 입력데이터를 저장하고, 저장된 데이터에 대하여 반복적으로 타이밍획득 및 획득된 타이밍에서의 수신강도를 계산하는 Off-line 탐색기능을 구현하였다. 따라서 인접 기지국의 주파수가 다를 경우, 매우 짧은 시간 동안 주파수를 인접기지국으로 변환하여 수신 신호를 저장한 후 단말기는 다시 본래의 기지국 주파수로 돌아와 통화를 계속하면서, PN acquisition 부에서 저장된 데이터에 대하여 Off-line탐색을 수행하여 그 기지국의 파일럿 에너지를 측정함으로써 통화품질 저하없이 서로 다른 주파수간의 성공적인 핸드오버를 지원할 수 있다. 이러한 Off-line 탐색기능은 슬립상태에서 긴급호출 채널(Quick Paging Channel) 복조에 도 효과적으로 이용되어 대기시간 증가를 최소화한다.

PN Acquisition 부의 구성도를 그림3에 보였다.

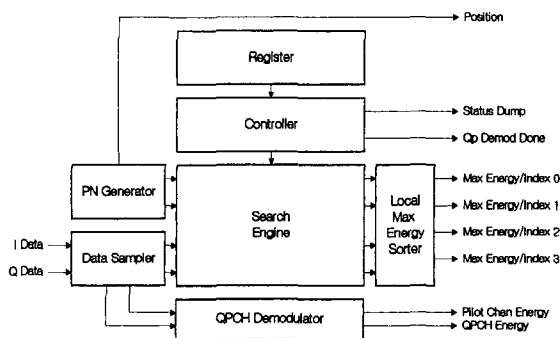


그림 3. 파일럿 탐색기  
Fig. 3. PN Acquisition.

2. 레이크 수신기(Rake Receiver)

레이크 수신기는 5개의 레이크 수신부와 각각의 수신부에서 복조된 신호들이 결합되는 결합기로 이루어

진다. 레이크 수신부의 주요 기능은 심볼복조, 채널 추정, 주파수 오류 계산, 타이밍 추적, 노이즈 측정이다. 레이크 수신부의 구성도를 그림 4에 도시하였다. 레이크 수신부는 각각 독립적인 다중경로를 복조하여 그 결과를 결합기에 전달한다. 총 5개의 레이크 수신부 중 4개는 모든 채널의 복조가 가능한 반면 나머지 하나는 음성채널인 FCH(Fundamental Channel)와 제어채널인 CCH(Control Channel)의 수신만이 가능하다. 마지막 레이크 수신부는 소프트 핸드오버에만 사용된다.

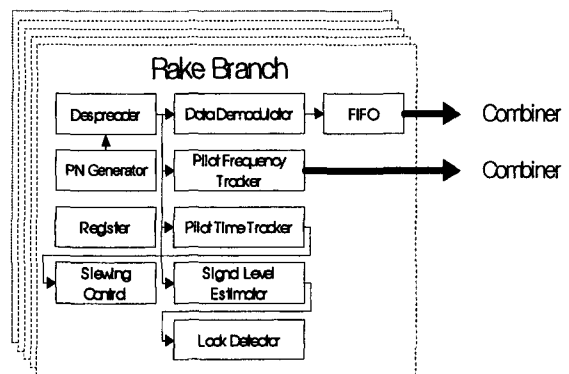


그림 4. 심볼 복조기  
Fig. 4. Rake Receiver Branch.

한편 심볼 결합기의 주요기능은 5개의 레이크 수신부들이 복조하는 심볼 데이터를 정렬해서 더하는 기본적인 채널 심볼 합산 기능과 국부 발진기의 오차를 보정하기 위한 주파수 오류 합산 기능과 복조기의 기준 타이밍이 되는 기준 타이밍 생성기능, long code 생성 및 트래픽 채널 데이터 역 비화 기능과 전력 제어 비

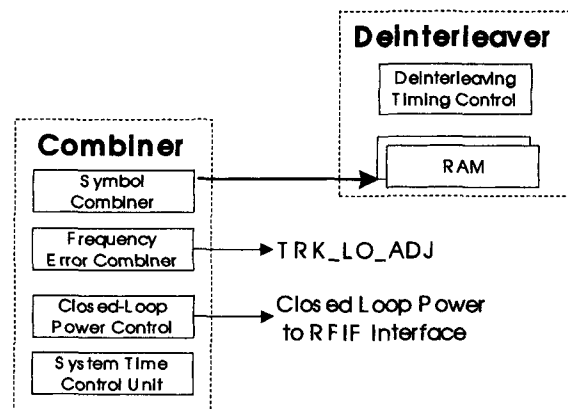


그림 5. 채널 심볼 합성기  
Fig. 5. Combiner.

트 추출을 수행하는 기능 등이다. 합산된 심볼은 기지국에서 인터리브된 심볼을 디인터리버에서 원래대로 바꾼 후 채널의 인코딩 방식에 따라 비터비 복호기나 터보 복호기에 전달한다. 그림 5는 심볼 결합기와 디인터리버의 구성도를 보인다.

3. 비터비 복호기

비터비 복호기는 디인터리버로부터 받은 연 판정 심볼 데이터를 복호화하는 역할을 수행한다.

심볼의 입력 및 복호는 프레임 단위로 이루어지며, 매 프레임의 복호 종료시 복호기 인터럽트 신호를 발생한다. 인터럽트가 발생하면, 마이크로프로세서는 복호기의 출력 버퍼에서 프레임 데이터를 읽어 갈 수 있게 된다. 구현 칩의 비터비 복호기는 2개의 비터비 복호기로 구성된다. 하나는 20ms 프레임 단위로 동작하는 것이고, 다른 하나는 5ms 프레임 단위로 동작하는 것이다. 20ms 프레임 복호기는 연속모드 또는 프레임 모드로 동작한다. 복호기는 시스템이 SYNC, PCH(Paging Channel), CCCH(Common Control Channel)일 때 연속모드로 동작하고, 트래픽 채널일 때 프레임 모드로 동작한다. 연속모드에서는 미리 알고 있는 데이터 전송률로 복호를 진행한다. 프레임 모드로 동작할 때 복호기는 네 가지 데이터 전송률(full, half, quarter, eighth) 모두에 대해 복호를 수행된다. 프레임 모드에서 복호기가 CDMA2000 모드이면 FCH에 추가로 DCCH(Dedicated Control Channel), SCH(Supplemental Channel)에 대한 복호를 수행하며, 이것의 동작은 순차적으로 진행한다. 또한 출력 버퍼에 저장되는 순서도 FCH(full, half, quarter, eighth), DCCH, SCH 순이다. 4ms 프레임 복호기는 CDMA2000 모드에서만 동작하며, FCH, DCCH에 대한 복호를 수행한다. 20ms 프레

임 복호기와 5ms 프레임 복호기의 동작은 서로 독립적이며, 복호기 인터럽트 신호 및 출력 버퍼도 각각 별개이다. 그림 6은 비터비 복호기의 구성도를 보여 준다.

4. 터보 복호기

터보부호는 parallel concatenated convolutional code (PCCC)로 RSC(Recursive Systematic code) 구조와 비선형 인터리버로 특징 지을 수 있다. 고속데이터 전송시 길잡 부호에 비해 우수한 오류 정정 능력을 보이며, 데이터 전용 채널인 SCH에서 선택적으로 사용된다. 복호 알고리즘은 RESOVA(Register Exchange Soft Output Viterbi Algorithm)를 채택 구현하였다.

터보 복호기는 수신된 매 프레임마다 복호화를 수행하여 정보어 비트들을 복구한다. 정보어 비트는 채널디 인터리버로부터 6비트의 2의 보수 형태로 입력되며, 복호화에 필요한 매개변수들은 마이크로프로세서가 터보 복호기 내부 레지스터에 프로그램 가능하다. 그림 7에 터보 복호기의 전체 블록다이어그램을 도시하였다. 복호 지연 시간과 클럭 스피드를 고려하여 최대 반복 회수는 8로 제한하였다. 실제 구현된 모뎀에서는 하드웨어의 복잡도를 줄이기 위해 하나의 복호 유닛만을 사용하여 이를 공유하도록 설계되었으므로 8회의 반복 복호를 위해선 복호 유닛을 16회 거치게 된다. 각 iteration이 이루어지는 동안 보통의 모드에서는 매 복호화마다 오류 검사결과가 되는 CRC(Cyclic Redundancy Check)를 수행하여 CRC가 1로 판단되면 더 이상의 반복 복호를 중지하고 복호가 완결되었음을 인터럽트 신호를 발생시켜 전달한다. 최종 디코딩 결과는 비터비 복호기와 공유하는 출력 버퍼에 저장한다.

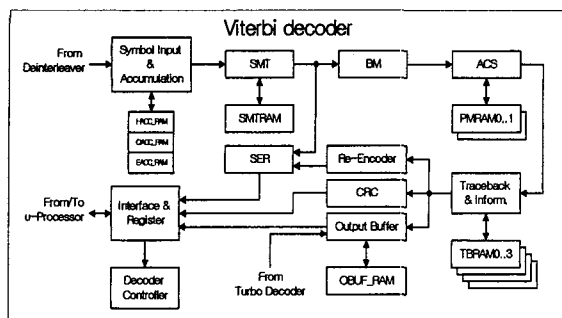


그림 6. 비터비 복호기 구성도  
Fig. 6. Viterbi Decoder Block Diagram.

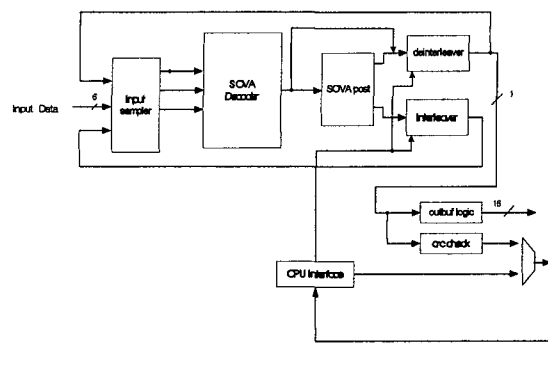


그림 7. 터보 복호기 구성도  
Fig. 7. Turbo Decoder Block Diagram.

5. 순방향 전력제어기

순방향 전력제어(Forward Link Power Control)는 순방향상의 파일럿 채널과 기타 데이터 채널로부터 채널 상황을 측정하여 기지국의 전력을 제어하기 위한 전력 제어 명령어(Power Control Command)를 생성하여 전송부(Modulator)가 이를 전송 할 수 있게 한다.

전력 제어는 해당 트래픽 채널의 목표 FER(Frame Error Rate)를 이루기 위한  $E_b/N_t$ 의 목표치인 임계값을 결정하는 외 루프제어와 외 루프제어에 의해 계산된 임계값과 수신된 채널의  $E_b/N_t$ 를 측정 후 이를 비교하여 기지국송신전력의 증가 혹은 감소를 명령하는 내 루프로 구성되며 그림 8에 나타난 순방향 전력제어의 내 루프는 마이크로프로세서에 의해 계산된 외 루프  $E_b/N_t$ 를 현재 채널의 측정값과 비교하여 전력 제어 명령어를 생성하는 과정을 보여준다. 채널 송수신과 전력 제어 명령어 적용 지연 및 채널 오류를 보상하기 위해 이전 생성된 전력 제어 명령어를 새로운 명령어를 생성하는 데에 사용한다. 외 루프 제어에 있어서는, 불연속모드전송모드에서의 오동작을 방지하기 위하여 현재 기지국이 해당채널을 송신하는지 여부를 판단하여 송신하고 있지 않을 경우 외 루프 제어를 중단하는 불연속모드검출 기능도 함께 구현하였다.

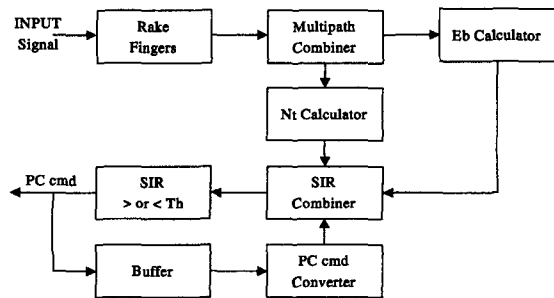


그림 8. 순방향 전력 제어기  
Fig. 8. FLPC Block Diagram.

6. 전송부

전송부는 R-PCH/R-ACH(Acquisition Channel)/R-FCH/R-SCH/R-CCH/R-DCCH과 같은 채널의 전송 기능을 가진다. 각 채널은 프레임 단위로 데이터를 처리하는데 20ms 또는 5ms로 구분할 수 있다. 전송부의 구성도를 그림 9에 보인다. 전송부는 데이터를 처리하는 기능에 따라 16/12/10/8/6 비트 CRC(Cyclic

Redundancy Code)를 생성시키는 CRC 블록, 부호화율 1/2, 1/3, 1/4로 길쌈 부호화를 수행하고 심볼 반복과 puncturing을 수행하는 인코더 블록, 채널상에서 burst한 에러를 방지하기 위한 인터리버 블록, 64-ary 직교 변조, Walsh 확산을 수행하는 Walsh 블록, Short code 와 long code ps-pseudo-random noise sequence를 생성시키는 PN 블록, 1.25ms 단위로 심볼을 전송할 것인지 아닌지를 결정하여 전력 소모를 줄이는 데이터 burst randomize 블록, 확산된 신호를 대역 통과 필터를 이용하여 pulse shaping하는 FIR 블록으로 구성된다. 또한 CDMA2000 1x 채널들의 전송을 위한 HPSK(Hybrid Phase Shift Keying) 변조기 역시 구현하였다.

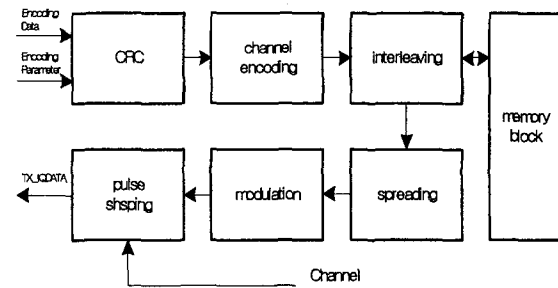


그림 9. 전송부 구성도  
Fig. 9. Modulator Block Diagram.

7. 마이크로프로세서 시스템

마이크로프로세서 시스템은 ARM940T와 AMBA 버스로 이루어진다.

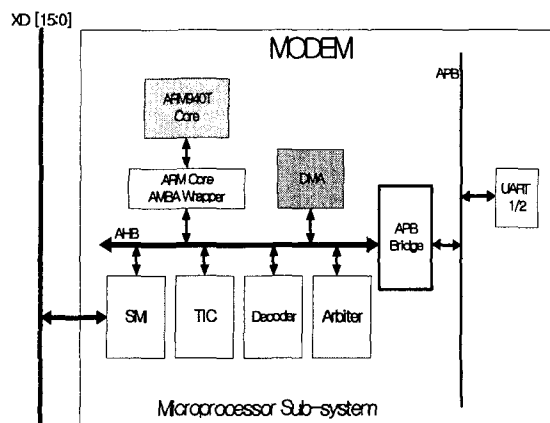


그림 10. 버스 아키텍처  
Fig. 10. Bus Architecture.

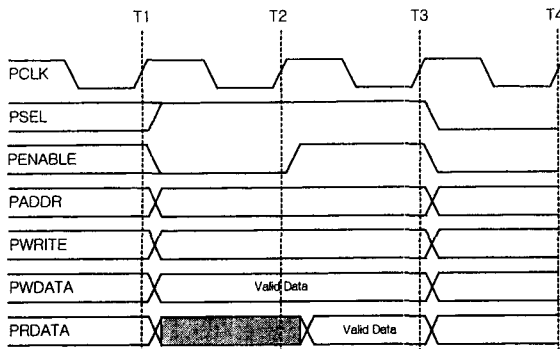


그림 11. APB 버스 타이밍도  
Fig. 11. APB Timing Diagram.

빠른 클럭으로 동작하는 블록은 AHB(Advanced High Performance Bus)버스에 연결되고 비교적 느린 블록들은 APB(Advanced Peripheral Bus)버스에 연결된다. APB Bridge에서는 APB 버스 제어 신호인 PSEL, PADDR, PWDATA, PRDATA, PWRITE, PENABLE 신호를 만들어 내고 이 신호들을 이용하여 서브 블록의 레지스터를 쓰고 읽는 동작을 한다.<sup>[3]</sup>

그림 11은 APB 버스 타이밍도이다. 모든 동작은 PCLK의 상승 신호일 때 발생하고, 각 블록 레지스터 쓰기, 읽기 동작은 T3 시점에서 발생한다.

8. 보코더

보코더(Vocoder)는 8Kbps와 13Kbps, EVRC 음성부호화(vocoding)를 모두 지원한다. 역방향에서는 마이크로폰에서 생성된 아날로그 음성은 CODEC에서 디지털 PCM 샘플로 변환되고, 다시 QCELP/E VRC에 의해서 부호화되고 압축된다. 이러한 동작은 매 20ms 마다 반복된다. DSP는 16비트 TeakLite DSP 코어를 사용하

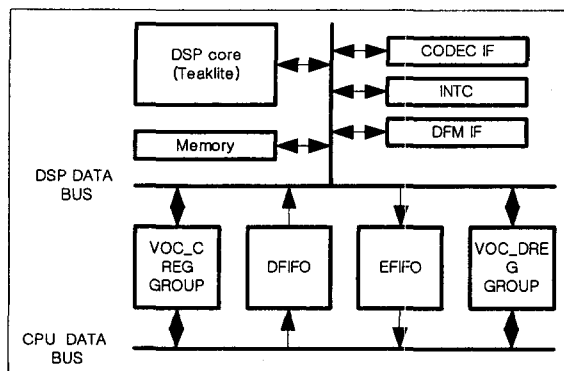


그림 12. DSP 구성도  
Fig. 12. DSP Block Diagram.

고, 6K 워드 내부(on-core) 메모리, 14K 워드 데이터 ROM, 음성부호화 프로그램을 위해 프로그램 ROM을 사용한다.<sup>[4]</sup> 그림 12는 DSP의 구성도를 보인다.

III. Emulation용 프로세서 구현 방법

모뎀 칩 검증 초기 단계에서 하드웨어 검증은 테스트 벡터를 이용하여 블록 단위로 검증한다.

블록 단위 검증이 끝나면 전체 블록을 연결하여 프로세서를 구동시켜서 프로세서와의 인터페이스 신호들의 타이밍을 검증한다. 이러한 검증은 모두 시뮬레이터를 이용하여 검증하기 때문에 긴 시간을 필요로 하는 테스트는 시뮬레이터를 구동하는 장비 자체의 성능과 메모리 크기에 따라 테스트 성능이 결정된다.

이러한 문제를 극복하기 위하여 실리콘 칩과 매우 유사한 환경으로 검증할 수 있는 FPGA 프로토타이핑을 이용한다. 하지만 FPGA는 자체 특성 지연으로 인하여 동작 속도에 제약이 따른다.

구현된 칩은 FPGA의 속도 제약에서 오는 검증 한계를 극복하기 위하여 내부 APB 버스 인터페이스 신호들을 칩 외부로 추출하여 검증하고자 하는 FPGA와 바로 연결할 수 있는 로직이 추가되어 있다.

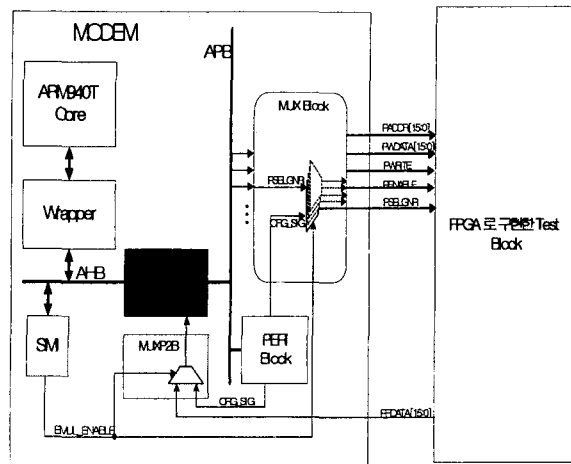


그림 13. 에뮬레이션 용 프로세서 구현 로직  
Fig. 13. Implementation Logic for Processor to be used for Emulation Test.

PSELGNR 신호는 FPGA로 검증하고자 하는 외부 블록의 선택 신호로서 그림 13과 같이 연결하여 테스트한다. 그리고 새로운 PSELGNR 신호 뿐만 아니라

APB 버스 제어 신호들(PENABLE, PADDR, PWDATA, PRDATA, PWRITE)을 특정 핀과 교환 사용한다. 교환 사용을 위한 EMUL\_ENABLE 신호는 프로세서가 제어할 수 있는 레지스터로 할당되어 있다. 이 레지스터의 값이 '1'이 되면 교체 사용을 위하여 할당 된 핀은 본래 사용될 신호가 아니라 APB 버스 제어 신호들이 연결되어 사용된다. 위와 같이 칩 내부에 구현된 에뮬레이션 로직은 FPGA를 이용하여 APB 버스를 구현하여 테스트 환경을 구성할 때 발생하는 복잡성과 검증 속도 제한 문제를 해결할 수 있다.<sup>[2]</sup>

그림 13은 에뮬레이션 프로세서 구현 로직도 있다.

#### IV. 칩 구현 과정 및 검증 방법

구현한 모델은 다양한 기능을 수행하는 블록들로 구성되어진 SoC 칩으로 검증을 위해선 알고리즘 단계에서 레이아웃까지 체계적이고 체계화된 전략이 필요하다.

시스템의 상위수준 기능 검증은 일반적인 C 언어 기반 시뮬레이터를 이용하여 수행하였다. 구현된 칩(SCom5010)은 이전 단계 칩인 SCom5000을 기반으로 설계되었기 때문에 안정화된 부분에 대한 검증과 새로 추가 혹은 변경된 부분에 대한 검증 전략도 다르게 세워 진행하였다.

예를 들어 R-UIM과 같은 새로운 블록은 에뮬레이션 보드상의 FPGA에 집적하여 좀 더 세밀한 검증을 하였고 모델 블록은 하드웨어, 소프트웨어 coverification tool(Mentor's Seamless)를 이용하여 검증하였다.

RTL에서 각 블록의 기능은 블록별 검증 모드를 미리 지정하여 마이크로프로세서를 고립시키고 테스트 벤치에 존재하는 신호들을 외부 핀들로 대체하여 원하는 검증 유형을 대체 핀에 인가하는 방식으로 검증을 수행하였다.

기능 검증 이외에 칩 제조 시 결함을 감지하기 위한 ATE(Automatic Test Equipment) 벡터 제작을 위해 full-scan 체인을 삽입하였다. 하드 매크로(Hard Macro) 코어인 ARM940T 프로세서는 코어 주위의 모든 입·출력 핀이 스캔 체인으로 연결되어 있어서 JTAG 인터페이스를 통하여 검증 벡터를 인가한다. AMBA 버스시스템을 검증하기 위해 AHB 버스상에 연결되어 있는 TIC(Test Interface Controller)을 이용한 검증 방법도 이용할 수 있다. 그림 14는 AMBA 검증 방법을 도식한 것이다.<sup>[5]</sup>

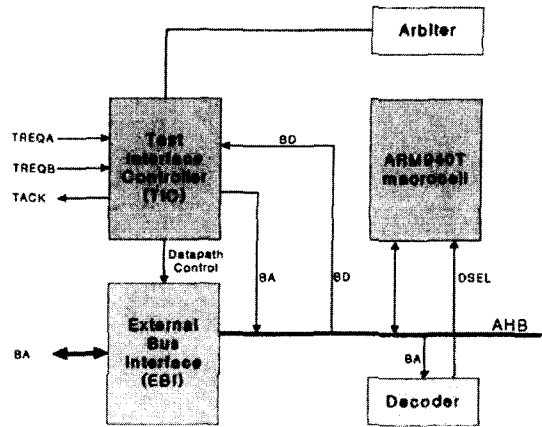


그림 14. AMBA 검증 방법  
Fig. 14. AMBA Test Methodology.

Teaklite 코어는 총 8개의 스캔 체인으로 연결되어 있고 7개는 코어 검증을 위하여 연결되고, 나머지 1개는 주변로직 검증을 위해 삽입된 격리 링에 연결되어 있다.

Teaklite 코어 검증 모드일 때 Teaklite 스캔 신호를 외부 핀에 연결시켜 ATPG 벡터를 수행하여 검증을 진행하였다. 내부 데이터, 프로그램 ROM 검증은 ROM 덤프를 수행하여 진행하였고, 내부 데이터 RAM은 MARCH-C 알고리즘을 이용하여 읽기/쓰기 검증을 수행하였다.

메모리 검증은 BIST(Built-In Self Test)를 이용하여 검증한다. 모든 BIST 신호들은 해당 검증 모드에서 외부 핀으로 대체하여 사용할 수 있도록 지정해야만 한다.

그림 15에서 BIST 로직은 BISTON 신호가 '0'일 때 초기화 되고 '1'일 때 메모리 검증을 시작하기 위한 신호를 발생시킨다. 매 동작 클럭마다 검증번지와 데이터를 발생시켜서 쓰기 데이터와 읽기 데이터를 비교한다. 검증이 종료되면 DONE 신호가 '0'에서 '1'로 전환되고 오류가 없으면 ERRORB 신호가 '1' 상태를 계속 유지하게 된다. 그림 16은 BIST 검증 신호 타이밍도이다.

Fab-out 된 칩의 통화 검증은 Agilent사의 8960기 미국 시뮬레이터와 기지국을 연동하여 수행하였다. 필드 테스트를 수행하기 위하여 몇 개의 기지국을 구성하여 IS-95A/B compliant 채널과 Agilent 사의 8960 장비가 지원하지 않는 검증 항목인 common 채널(F-BCCH/CCCH, F-CACH, F-CPCCH) 상에서 수신 데이터 능력은 Agilent electronics 신호 생성기(ESG) 장비를 이

용하여 검증하였다. CDMA2000 1x 고속 채널상에서 송신과 수신 항목을 검증하였고 기지국들과의 handover를 성공적으로 동작함을 확인하였다. 통화 품질에 직접적인 영향을 주는 FER(Frame Error Rate)이 만족됨도 확인하였다.<sup>[6]</sup>

용하였고, 208핀 FBGA 패키지를 이용하였다. 입·출력 핀 동작 전압은 2.3V~3.0V 이고, 내부 로직 전압은 1.8V이다. 그림 17은 구현 칩의 실제 레이아웃도이다.

VI. 결 론

본 논문에서는 CDMA2000 1x 모뎀의 구현에 대하여 논하였다. 성공적인 모뎀개발을 위해서는 효과적인 송수신 알고리즘의 개발과 함께 효율적인 검증방식을 도입하는 것이 중요하다고 할 수 있다. 구현된 모뎀 칩은 CDMA2000 1x 규격을 만족할 뿐 아니라 Off-line으로 다른 기지국 및 QPCH 탐색이 가능한 기능을 구현하여 전력소모를 최소화하였고, 5개의 레이크 수신부(Rake Receiver Branch)를 구현하여 Soft handover 상황에서의 수신성능을 높일 수 있었다. 검증과정에서는 새로 구현되는 부분만을 FPGA로 구현하여 기존에 구현도니 칩에 대해 에뮬레이션하는 방식을 도입하였다. 이러한 방식은 앞으로 새로운 모뎀 알고리즘이나 최신 멀티미디어 디바이스를 개발하는 데에도 효과적으로 활용도리 것으로 기대된다. 마지막으로 각각의 IP(CPU, DSP, 송수신부분)의 특성에 맞는 검증 방식을 각각 적용하여 주어진 기간 내에 칩테스트를 완료하였다.

적용된 반도체 설계 및 공정 기술 측면에선, 290만 게이트급의 저전력 시스템 IC제품으로 첨단 0.18 마이크로미터 공정을 적용 제작하였다.

참 고 문 헌

- [1] 3GPP2 C.S0002-A, "Physical layer standard for CDMA2000 spread spectrum systems", 1999.
- [2] "SCom5010 Specification", 삼성전자 주식회사, Feb. 2001
- [3] IHI-0011A-AMBA Specification Rev2.0. May 1999.
- [4] TeakLite Architecture specification, rev4.2, DSPG Inc. Nov 1998.
- [5] ARM DDI 0144A - ARM Technical Reference Manual Rev1.0. Feb 1999.
- [6] S.-C. Han, T. H. Han, et. al., "A Mobile Station Modem VLSI for CDMA2000 1x", IEEE ASIC SoC Conference, Washington D.C., 2001.

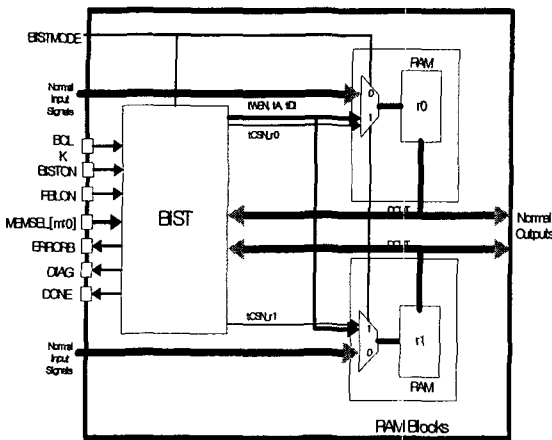


그림 15. 메모리 검증 방법  
Fig. 15. Memory Test Methodology.



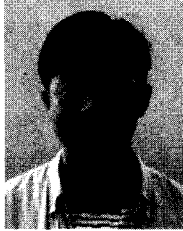
그림 16. 메모리 검증을 위한 타이밍도  
Fig. 16. The Waveform of Memory Test.

V. 구현 칩 특성

구현된 칩은 약 290여만 게이트들로 이루어졌다. (114만 게이트 로직, 496K바이트 SRAM, 8845K 비트 ROM) 삼성반도체의 0.18 $\mu$ m 저전력 CMOS 공정을 사



저 자 소 개



權潤周(正會員)

1995 광운대학교 전자통신공학과 졸업(공학사). 1995~현재 삼성전자 통신연구소 책임연구원. 1995~2002 CDMA Modem Chip 개발 project 참여. 2002~연세대학교 전기전자공학과 대학원 재학. 연구분야 :

Digital communication signal processing. Adaptive array를 이용한 code acquisition.



李慶河(正會員)

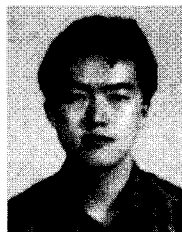
1993년 성균관대 전자공학사. 1995년 성균관대 통신공학석사. 1998년 성균관대 통신공학박사. 1997년~현재 삼성전자 통신연구소 책임연구원. <주관심분야 : 모뎀복조알고리즘, 모뎀 L1 S/W, SOC 기술>

듬, 모뎀 L1 S/W, SOC 기술>



金哲鎭(正會員)

1989년 연세대학교 전기공학과 졸업(공학사). 1989년~현재 삼성전자 통신연구소 책임연구원. <주관심분야 : MODEM SOC 설계, PRML 신호처리 기술>



韓兌熙(正會員)

1992년 한국과학기술원 전기 및 전자공학과 졸업(공학사). 1994년 한국과학기술원 전기 및 전자공학과 졸업(공학석사). 1999년 한국과학기술원 전기 및 전자공학과 졸업(공학박사). 1999년~현재 삼성전자 통신연구소 책임연구원. <주관심분야 : 모뎀 SoC 설계, SoC 설계방법론, Embedded 시스템, 채널코딩, MPEG>

구소 책임연구원. <주관심분야 : 모뎀 SoC 설계, SoC 설계방법론, Embedded 시스템, 채널코딩, MPEG>



任峻燦(正會員)

1991년 경희대 전자공학과 졸업(공학사). 1991년~현재 삼성전자 통신연구소 책임연구원. <주관심분야 : 단말 Modem설계, Modem SOC설계, MCU 설계 등>



金容喆(正會員)

1983년 성균관대 전자공학과 졸업. 1983년~현재 삼성전자 통신연구소 수석연구원. 1991년 5월 발명의날 '대통령상'. 2000년 2월 삼성그룹 기술상 '대상', 2000년 4월 정보통신의 날 '국무총리상'. 1998년 3월~2000년 2월 성균관대 겸임교수. 2000년 3월~현재 IDEC(KAIST) 운영위원

년 2월 성균관대 겸임교수. 2000년 3월~현재 IDEC(KAIST) 운영위원



金敬昊(正會員)

1984년 연세대학교(공학사). 1987년 한국과학기술원(공학석사). 1991년 한국과학기술원(공학박사). 1983년~현재 삼성전자 통신연구소 수석연구원. 1997. Marquis who's who in the world 인명록 등재됨. <주관심분야 : 단말 Modem설계, 통신용 SOC 설계, Low Power 설계, VLSI CAD 등임>

분야 : 단말 Modem설계, 통신용 SOC 설계, Low Power 설계, VLSI CAD 등임>