

論文2002-39SD-6-8

## Lattice 구조를 갖는 효율적인 2차원 이산 웨이블릿 변환 필터 설계

## (An Efficient 2D Discrete Wavelet Transform Filter Design Using Lattice Structure)

朴台根\*, 丁仙耿\*

(Taegeun Park and Sunkyung Jung)

## 요 약

본 논문에서는 블록 효과(blocking effect)가 없고, 압축성능 또한 높아 영상압축을 포함한 여러 응용 분야에서 널리 사용되고 있는 2차원 이산 웨이블릿 변환(DWT, Discrete Wavelet Transform) 필터를 설계하였다. 필터로는 4개의 필터 탭을 갖는 Two-channel QMF(Quadrature Mirror Filter) PR(Perfect Reconstruction) Lattice 필터를 사용하였다. 제안된 DWT 아키텍처는 단순하지만 효과적인 스케줄링 기법을 이용하여 설계되어 최소의 하드웨어(곱셈기, 덧셈기, 레지스터 등)로 구성되었고, 이 아키텍처에 두 개의 연속적인 입력이 동시에 제공되면 효율적으로 2차원 DWT를 수행함을 보였다. 제안된 아키텍처는 RTL 레벨 시뮬레이션을 통해 검증되었고, 100% 하드웨어 이용도(utilization)를 나타낸다. 다른 연구 결과들과 비교하였을 때 최소의 하드웨어를 사용하여 상대적으로 높은 수행능력을 보였다. 효과적인 메모리 매핑 방법과 그를 위한 주소 발생 방법이 제안되었으며, 고정 소수점 연산 시에 발생하는 에러를 분석하여 적절한 양자화 비트를 결정하기 위한 다양한 시뮬레이션과 성능이 분석되었다.

## Abstract

In this paper, we design the two-dimensional Discrete Wavelet Transform (2D DWT) filter that is widely used in various applications such as image compression because it has no blocking effects and relatively high compression rate. The filter that we used here is two-channel four-taps QMF (Quadrature Mirror Filter) Lattice filter with PR (Perfect Reconstruction) property. The proposed DWT architecture, with two consecutive inputs shows an efficient performance with a minimum of such hardware resources as multipliers, adders, and registers due to a simple scheduling. The proposed architecture was verified by the RTL simulation, and utilizes the hardware 100%. Our architecture shows a relatively high performance with a minimum hardware when compared with other approaches. An efficient memory mapping and address generation techniques are introduced and the fixed-point arithmetic analysis for minimizing the PSNR degradation due to quantization is discussed.

## I. 서 론

다가올 정보통신 사회는 다양한 영상 미디어 서비스

가 제공될 전망이고, 이에 따른 영상 정보의 압축이 중요한 문제로 부각되고 있다. 웨이블릿 이론은 응용 수학에서 처음 소개된 후, 인식 분야에서 연구되어 온 다 해상도 표현과 연관성이 있음이 밝혀졌고, 이산 웨이블릿 이론은 필터 설계 방법과 동일함이 밝혀졌다.<sup>[1]</sup> 이산 웨이블릿 변환(DWT, Discrete Wavelet Transform)은 이산 여현 변환(DCT, Discrete Cosine Transform)과 달리 블록 효과가 없고, 압축률 또한 높으므로 저속

\* 正會員, 가톨릭대학교 컴퓨터電子工學部  
(Department of Computer & Electronic Engineering,  
The Catholic University of Korea)

接受日字:2001年8月16日, 수정완료일:2002年4月8日

의 비트레이트에서 뛰어난 품질의 영상을 제공한다.<sup>[1]</sup> DWT의 응용으로는 여러 가지가 있는데 특히 영상, 음성 압축분야에 많이 응용되고 있다.<sup>[2,3]</sup>

DWT를 근간으로 처리되는 시스템의 단점은 반복된 계산으로 인한 많은 처리시간이 필요하다는 점이다. 따라서 90년대부터 2차원 영상 웨이블릿 변환 필터의 VLSI 구현에 대한 연구가 활발히 진행되고 있다.<sup>[4~13]</sup> 그 중에서 1차원 DWT 처리를 위한 확장성을 갖는 Lattice 구조가 제안되었다.<sup>[4]</sup> 그러나 이 구조는 다해상도를 효과적으로 지원할 수 있는 복잡한 중첩(folding) 방법을 이용하여 설계되었기 때문에 2차원 구조로 쉽게 확장되기 어렵다. 또한, Systolic, Semi-systolic, 그리고 RAM-based 등의 세 가지 형태의 DWT 구조는 우수한 성능과 높은 하드웨어 이용도를 보여주지만 복잡한 라우팅 네트워크와 스케줄링이 필요하다.<sup>[6]</sup> 그 밖에 제안되는 병렬 구조는 다수의 필터 뱅크를 사용하여 많은 하드웨어(곱셈기, 덧셈기, 레지스터 등)가 필요하다는 단점을 가지고 있다.<sup>[5,6,8]</sup> 이 중에서 Lattice를 이용한 DWT 구조<sup>[4,10]</sup>는 직접구현 방법(direct method)<sup>[5,7~9,11,12]</sup>에 비하여 여러 가지 측면에서 장점을 갖는다.

본 논문에서는 최소의 하드웨어를 이용하여 효율적인 Lattice구조의 2차원 두 채널 QMF 이산 웨이블릿 변환 아키텍처를 제안하였다. 제안된 아키텍처는 연속된 두 개의 신호 샘플을 동시에 입력 받아 2차원 다해상도 이산 웨이블릿 변환을 처리하며, 하드웨어를 최소화하기 위하여 단순한 스케줄링을 채택하였다. 단순한 스케줄링으로 인하여 제안된 구조는 레벨에 무관하게 2차원 이산 웨이블릿을 처리할 수 있다. 제안된 아키텍처는 VHDL로 모델링되어 검증되었고, 처리 시의 중간 결과를 저장하기 위한 효과적인 메모리 매핑 방법과 주소 발생기가 제안되었다. 또한 고정 소수점 연산 시에 발생하는 에러를 분석하여 적절한 양자화 비트를 결정하기 위한 다양한 시뮬레이션과 성능이 분석되었다.

본 논문의 구성은 다음과 같다. 먼저 II장에서는 2차원 DWT의 배경이론에 대하여 간단히 소개하였고, III장에서는 제안된 2차원 DWT 구조와 설계에 대하여 설명하였다. 그리고 IV장에서는 성능 및 고정소수점에 의한 에러를 분석하였고, 마지막으로 V장은 본 논문의 결론이다.

## II. 2차원 이산 웨이블릿 변환

### 1. 이산 웨이블릿 변환

웨이블릿 변환은 푸리에 변환과 같이 기저함수(basis function)들의 집합으로 신호를 분해하여 표현하는 하나의 방법이다. 고전적인 단구간 푸리에 변환은 모든 주파수 대역에 대하여 동일한 크기의 필터 윈도우를 사용하는 반면, 웨이블릿 변환은 고주파 대역에서는 폭이 좁은 윈도우를, 저주파 대역에서는 폭이 넓은 윈도우를 사용한다는 차이점을 가지고 있다. 그러한 이유로 웨이블릿 변환은 뛰어난 시간-주파수 위치성과 비정상적인(nonstationary) 신호의 분석에 유리한 특성을 가진다. 식 (1)과 같이 웨이블릿 변환은 임의의 신호  $f(t)$ 를 그 신호의 시간과 주파수의 특성을 나타내는 기저함수  $\Psi_{j,k}(t)$ 와 웨이블릿 계수  $a_{j,k}$ 의 결합된 형태로 표현된다.

$$f(t) = \sum_{j,k} a_{j,k} \Psi_{j,k}(t) \quad (1)$$

웨이블릿  $\Psi_{j,k}(t)$ 는 식 (2)에서와 같이 모 웨이블릿  $\Psi(t)$ 를 확대 또는 축소시키고 변이 시킴으로써 얻어지는 함수들의 집합을 말하며  $\Psi(t)$ 는 하나의 스케일링 함수  $\Phi(t)$ 로부터 얻는다.

$$\Psi_{j,k}(t) = 2^{j/2} \Psi(2^j t - k) \quad (2)$$

이 때,  $j$ 는 스케일을 조정하는 성분이고  $k$ 는 시간 축을 따라 이동하는 성분이다.

웨이블릿을 이용한 다해상도 분석에서는 두 개의 기본 함수, 즉 스케일 함수와 웨이블릿 함수가 존재하며 식 (3)과 같다.

$$\begin{aligned} f(t) &= \sum_{j,k} c_j(k) \Phi_{j,k}(t) + \sum_{j,k} d_j(k) \Psi_{j,k}(t) \\ &= \sum_{j,k} c_j(k) 2^{j/2} \Phi(2^j t - k) + \sum_{j,k} d_j(k) 2^{j/2} \Psi(2^j t - k) \end{aligned} \quad (3)$$

$H(z)$ 와  $G(z)$ 는 각각 스케일링 함수  $\Phi(t)$ 와 웨이블릿 함수  $\Psi(t)$ 에 일치하는 신장계수로,  $H$ 는 저역필터,  $G$ 는 고역필터를 나타낸다. 다해상도 분석은 그림 1과 같이 저역필터와 고역필터를 번갈아 수행하게 되는데,

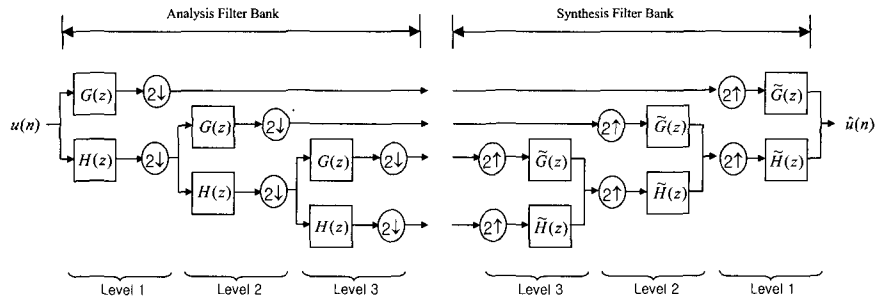


그림 1. 3단계 웨이블릿 분해와 합성  
Fig. 1. Analysis and synthesis for 3-level DWT.

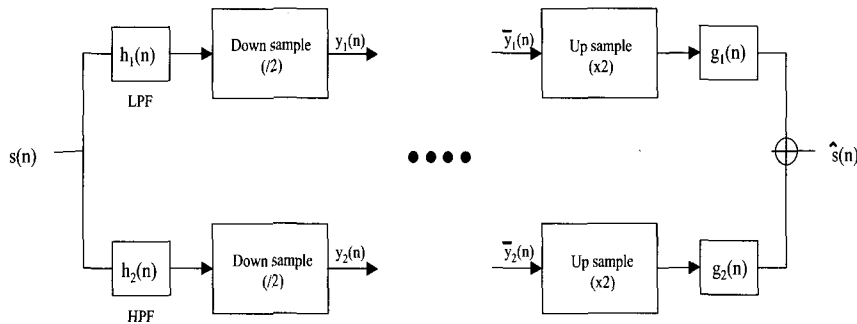


그림 2. Two-channel QMF 뱅크  
Fig. 2. Two-channel QMF bank.

2차원 영상에 대한 DWT과정은 영상의 가로방향 데이터를 입력으로 하여 고역필터와 저역필터를 통과시키고 그때 나온 결과를 반만 취하는 다운 샘플링과정을 거친 후에, 다시 세로방향으로 고역필터와 저역필터를 통과시켜 4개의 주파수 대역(GG, GH, HG, HH)을 얻는다. 그 중 HH는 다음 단계의 입력으로 들어가 같은 방법으로 분해과정을 반복한다.

2. Two-Channel Perfect Reconstruction QMF (Quadrature Mirror Filter)

대역분할 코딩을 하는 이유는 대역 분할된 영상이 원 영상보다 좀 더 효율적으로 인코딩 된다는 것과 채널 상에서 분할된 영상에 나타나는 에러가 그 영상을 복원했을 경우 원 영상에 미치는 영향이 적다는 것이다. 이런 대역분할 코딩에서 가장 중요한 포인트는 분석단계와 합성단계의 필터 뱅크와 서브밴드에 적용할 코딩 기법이다.

두 채널 QMF 뱅크는 1차원 신호를 두 개의 서브밴드로 나누기 위해서 그림 2와 같이 저역필터와 고역필터로 구성된다. 이상적인 필터 뱅크는 접하면 서로 접

치지 않고, 각각의 대역폭에서 단위 이득을 가지는 것이지만 실제로 구현이 불가능하다. 그래서 신호의 주파수 겹을 방지하기 위해 그림 3에서와 같은 주파수  $\pi/2$ 에서 대칭적 특성을 갖는 필터를 사용한다. 그러나 이 필터에서는 서브밴드 신호를 다운 샘플링하는 과정에서 에일리어싱이 발생하게 된다. 이 문제를 해결하기 위해 QMF를 사용한다.<sup>[13]</sup>

QMF는 위에서 말한 것처럼 분석 단계에서는 에일리어싱을 허용하고, 그 대신 복원 과정에서 에일리어싱을 정확히 제거할 수 있는 필터이다. 물론 크기와 위상 왜곡을 최소화하도록 필터를 설계한다. 분해단과 합성단에서 필터 특성은 다음과 같다.

$$G_1(z) = -H_2(-z), G_2(z) = H_1(-z)$$

전달함수

$$T(z) = \frac{\hat{S}(z)}{S(z)} = \frac{1}{2}[-H_1(z)H_2(-z) + H_2(z)H_1(-z)]$$

그림 2의 QMF 구조를 갖는 필터는 분해 필터에서 임의의 원하는 정지대역 감쇄율을 갖으며, 동시에 크기

와 위상의 왜곡을 제거할 수 있는데, 이러한 특성을 "Perfect Reconstruction(PR)"이라고 한다. 이러한 시스템은 다음의 조건을 만족한다.<sup>[14]</sup>

$$\hat{s}(n) = c \cdot s(n - n_0)$$

이 때,  $c$ 는 상수이고  $n_0$ 는 양의 정수이다.

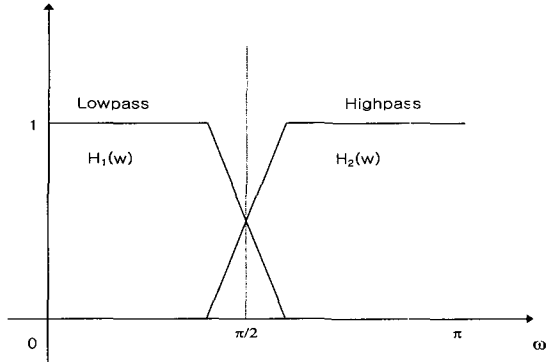


그림 3. 이상적인 1 차원 QMF 쌍  
Fig. 3. An ideal 1D QMF pair.

### III. 2차원 이산 웨이블릿 변환 필터 구조 및 설계

#### 1. 2차원 이산 웨이블릿 변환 필터 구조

$2K$ 의 필터 길이를 갖는 Lattice 필터는  $K$ 개의 모듈을 이용하여 구현할 수 있다.<sup>[4]</sup> 이 때, 각 모듈은 두 개의 곱셈기와 두 개의 덧셈기로 이루어진다. 그러므로 하드웨어의 복잡도는 직접구현 방식에 비하여 반으로 간단해진다. 더욱이 Lattice 디지털 필터는 규칙적인 모듈로 이루어지므로 VLSI 구현에 적합한 직렬(cascade) 방식을 적용할 수 있다.

일반적인  $2K$ 의 필터 길이를 갖는 1차원 두 채널 QMF Lattice 의 구조는 그림 4(a)에 나타나 있다. 이러한 구조를 갖는 1 차원 Folded DWT는 다운 샘플링(down sampling, decimation)에 의한 휴면 동작구간 동안에 다른 다해상도 레벨을 수행한다.<sup>[4]</sup> 이 때문에 복잡한 스케줄링과, DCU(Delay Control Unit), DFC(Data Format Converter)와 같은 레지스터들이 필요하다. 임의의 레벨을 갖는 1차원 DWT를 이러한 방법으로 구현할 때에 하드웨어의 효율이 좋고 임시 저장장소가

필요 없으므로 상당히 효과적이라고 생각된다. 그러나 2차원 DWT의 경우에는 수평과 수직의 데이터를 효과적으로 처리하기가 어렵기 때문에 확장하는데 문제가 있다. 더욱이 임시 저장장소도 불가피하게 필요하므로 하드웨어의 추가가 예상된다.

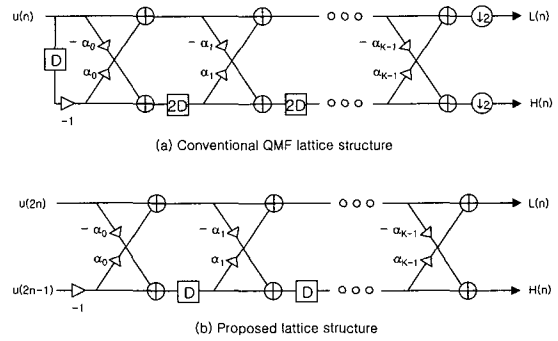


그림 4. 두 채널 QMF lattice (필터 길이=  $2K$ )  
Fig. 4. Two-channel QMF lattice (filter length=  $2K$ ).

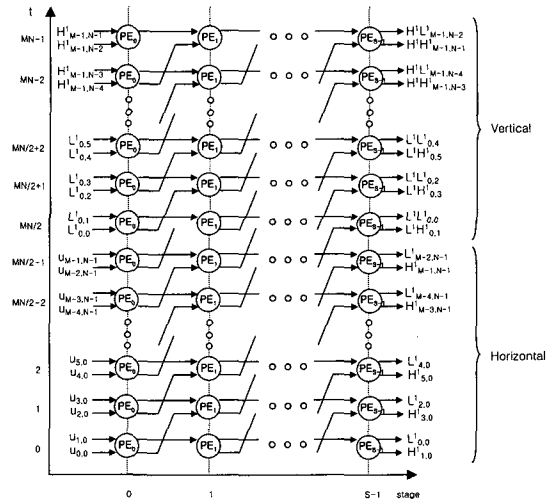


그림 5.  $M \times N$  이미지에 대한 2차원 DWT의 Data Dependency Graph  
Fig. 5. Data Dependency Graph for 2D DWT with an  $M \times N$  image.

반면에 제안된 그림 4(b)의 구조는 단순한 스케줄링을 적용하고 있다. 두 개의 연속적인 입력이 동시에 제공된다면 이 구조는 2차원 DWT를 효과적으로 처리할 수 있다. 휴면 동작구간을 이용하는 대신 쉬는 시간 없이 단순히 수평방향의 1차원 DWT를 수행한 후에 수직 방향의 1차원 DWT를 수행한다. 이 때에 다운 샘플링은 하지 않는다. 첫 번째 레벨에서 생성된 1/4로 줄

어든 Low-Low 서브밴드 데이터를 가지고 두 번째 레벨의 DWT를 수행한다. 제안된 구조를 이용하면 하드웨어의 복잡도와 제어, 그리고 하드웨어의 이용도 측면에서 우수한 결과가 예상된다. 그림 5는 임의의  $M \times N$  이미지에 대한 2차원 DWT의 첫 번째 레벨의 처리 과정을 보여주는 DDG(Data Dependency Graph)이다. 이 Lattice는 S 개의 모듈을 가지고 있고, 하나의 모듈은 앞에서의 그림과 같이 두 개의 곱셈기와 두 개의 덧셈기를 포함하고 있다.

초기 2차원 이미지가 메모리 모듈에 저장되어 있다고 가정할 때, 메모리 모듈은 두 개의 입력을 DWT에 동시에 공급하기 위해서 메모리 대역폭(bandwidth)을 두 배로 가져야 한다. 이는 이중포트 RAM(dual-port RAM)이나 두 배로 빠른 RAM을 이용하면 될 것이다. 그리고 DWT가 수행되는 과정에서 생기는 중간 데이터를 저장하기 위해, 입력데이터가 저장되어 있는 메모리를 공유하면 임시 저장장소를 절약할 수 있다. 즉, 첫 번째 레벨이 끝난 후에 메모리에는  $LL^1, HL^1, LL^1, HL^1, \dots$ 와 같이 저장되고, 두 번째 레벨이 끝난 후에는  $LL^2, HL^1, HL^2, HL^1, \dots$ 와 같이 저장되어서, 세 번째 레벨이 끝난 후 최종적으로 메모리에는 그림 6과 같은 형태가 될 것이다. 그림 6은  $8 \times 8$  샘플 이미지에 대하여 2차원 DWT를 3레벨까지 수행한 결과 값이 저장되어 있는 형태를 나타낸다. 위 첨자는 처리된 레벨을, HH, HL, LH, LL은 각각 high-high, high-low, low-high, 그리고 low-low 서브밴드 정보를 뜻한다.

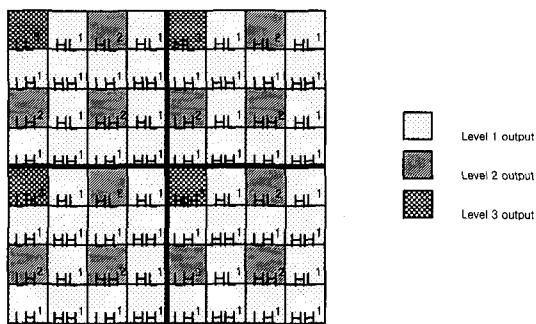


그림 6.  $8 \times 8$  샘플 이미지에 대한 3-레벨 2차원 DWT의 메모리 매핑 방법  
 Fig. 6. 2D 3-level DWT memory mapping method for an  $8 \times 8$  sample image.

2. 2D DWT 하드웨어 설계  
 위에서 제안된 2차원 DWT 시스템은 VHDL로 모델

링과 시뮬레이션이 되었고, 그 구조는 그림 7과 같다. 이 그림에서 점선으로 표시된 2 차원 DWT 모듈은 웨이블릿 변환이 실제 수행되는 1 차원 DWT 블록과 그림 6에서 설명된 메모리 매핑 방법을 지원하는 주소 발생기 블록, 그리고 DWT Lattice의 필터계수 및 보정계수(scale factor)를 저장하는 레지스터 및 모듈 전체를 제어해주는 제어기로 구성되어 있다. 여기에서 주소 발생기는 각 레벨의 샘플 신호가 적절한 시간에 DWT 블록에 입력되도록 메모리 주소를 공급하여야 한다.

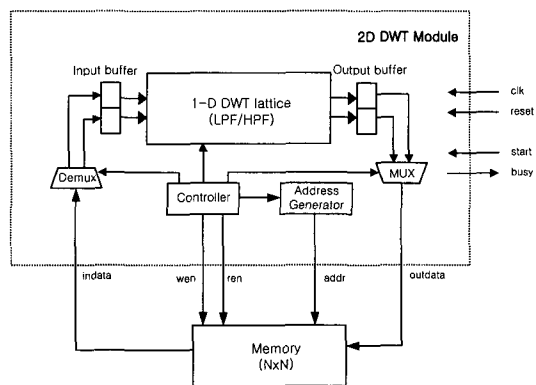
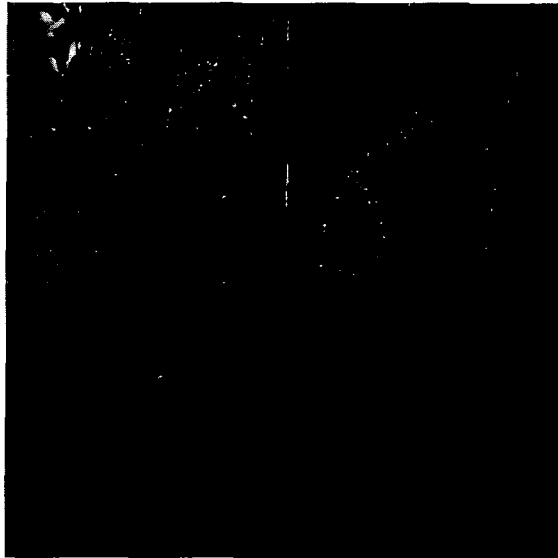


그림 7. 제안된 2차원 DWT 시스템 구조  
 Fig. 7. The proposed 2D DWT structure.

이 구조에서 메모리와 데이터 입출력 인터페이스 부분이 병목구간이 될 수 있기 때문에 입출력 데이터의 Read/Write를 위한 주소가 원활하게 생성되어야 한다. 앞에서 언급한 바와 같이 메모리의 데이터 매핑 방법이 순차적이지 않아 주소 발생기의 설계가 중요하다. 그래서 본 연구에서는  $N \times N(N=2^n)$  이미지의 경우,  $2n$  비트의 카운터를 이용하여 수직 및 수평 데이터를 위한 주소 발생기를 간단하게 구현하였다.  $2n$  비트의 레지스터에서 0 번째 비트는  $2^0$ , 1 번째 비트는  $2^1$ , 2 번째 비트는  $2^2$ 의 크기를 의미하므로 주소가  $2^{j-1}$ 의 단위로 증가하는 레벨  $j(j=1,2,3,\dots)$ 에서는  $j-1$  번째 비트를 1씩 증가시켜 주소를 만든다. 예를 들어 레벨 1에서의 주소 발생기는 수평으로 읽을 경우에는  $2n$  비트의 레지스터를 1씩 증가하며 주소를 생성하고, 수직 방향의 경우에는  $2n$  비트의 레지스터를 1씩 증가하되 상위  $n$  비트와 하위  $n$  비트를 서로 바꾸어서 올바른 주소를 생성한다.



(a)



(b)

그림 8. 3 레벨 분할된 Lena 이미지:

(a) 원 영상 (b) 분할된 영상

Fig. 8. The 3-level decomposed Lena image:

(a) Original image (b) Decomposed image

그림 8(b)는 제안된 구조를 이용하여 512 x 512 Lena 영상을 각각의 서브밴드로 대역 분할한 영상을 보여준다(LL<sup>3</sup>대역의 영상을 제외한 다른 대역의 영상들은 신호의 크기가 작아 10배 증폭하였다). 본 논문에서는 경계면에서 대칭적 확장이나 주기적 확장 등의 확장 처리 없이, 영상입력 데이터들이 행 또는 열로 직렬 연속되는 데이터의 열로 간주하여 처리하는 SSP

(Serial Sequential Process)방식을 사용하였다. 이 방식은 행 방향과 열 방향의 필터에만 연속성을 달리하므로 경계부분에서 영상을 확장할 필요가 없어 메모리를 따로 참조하지 않아도 된다. 따라서 수행 또는 구현에 있어서의 복잡도가 증가하지 않는다. 각 입출력 신호에 대한 Timing Diagram을 그림 9에 나타내었다. 그림에서는 한번의 DWT 연산(두 개의 연속된 입력을 이용하여 저주파 신호와 고주파 신호를 연산하는)을 처리하는데 5 클럭이 필요하다. 즉, 두 번의 메모리 읽기와 DWT 연산, 그리고 두 번의 메모리 쓰기로 이루어진다. 만일 Dual-port RAM을 사용한다면 세 클럭이면 가능할 것이다. 만일 2"×2"의 이미지를 3 레벨의 2 차원 DWT 처리를 한다면 총 클럭 수는  $(4/3) \times 2^{2n} (1 - 4^{-3}) \times 3 = 3.9375 \times 4^n$  clocks가 된다. 따라서, 512×512의 이미지를 처리한다면 약 1.032M 클럭이 소요되고, 20MHz의 클럭을 사용하였을 때에, 총 DWT 연산 시간은 51ms 정도이다.

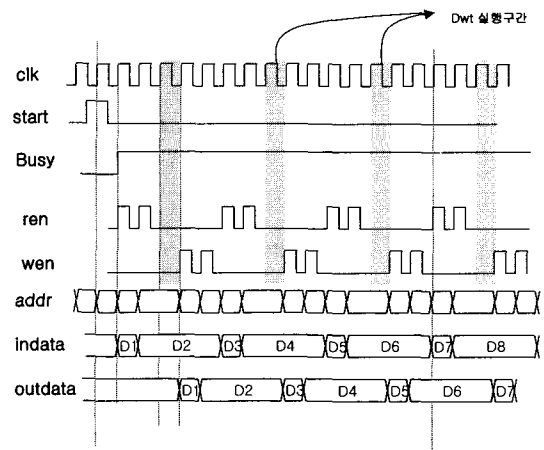


그림 9. 2차원 DWT의 Timing Diagram

Fig. 9. Timing diagram for 2D DWT.

#### IV. 에러 및 성능 분석

##### 1. 고정소수점 연산에 의한 에러 분석

본 연구에서는 논문 [13]에 예시되어 있는 4개의 필터계수를 갖는 두 채널 PR QMF Lattice 필터를 구현하였다. 구현 시에 웨이블릿 계수는 부호 비트가 포함된 11비트로 할당하였는데, 표 1에서 보는 바와 같이 계수들간의 절대값의 편차가 커져 야기되는 유효자리에 의한 오차를 줄이기 위하여, 각 계수의 소수 이하

비트 수를 달리하였다. 즉, 계수a1만 정수 2비트, 소수 8비트로 할당하였고 나머지 계수들은 소수 비트를 10비트로 할당하였다. 16비트 입력 데이터와 11비트 계수가 곱해진 승산기의 출력 값은 소수 7자리 이하 비트에서 버림 처리하여 16비트를 갖는다.

표 1. 웨이블릿 계수의 실수 값과 양자화된 계수 값

Table 1. Real and quantized wavelet coefficients.

계수	a1	a2	a3	a4
실수 값	-2.63802600	0.71544630	-0.259847900	0.0638836100
양자화 값	-2.63671875	0.71484375	-0.259765625	0.0634765625

표 2는 Lena 512 × 512 영상을 비트 할당을 달리하여 DWT한 데이터를 다시 역 변환하여 복원한 영상간에 PSNR을 분석한 것이다. (a)의 m은 부호 비트를 제외한 할당 비트 수이고 a와 b는 계수 a1의 정수와 소수 비트 수, 그리고 c와 d는 나머지 계수들에 대한 정수와 소수 비트의 수이다. 할당 비트 수를 크게 하면 원래의 실수 값과의 오차는 적어지지만 승산기와 가산기 그리고 메모리의 크기가 커지는 문제가 있으므로 적절한 절충점이 필요하다. 본 논문에서는 웨이블릿 계수를 10비트로(부호 비트 제외) 선택하였고 승산기 출력 값의 소수이하 자리는 6비트로 선택하였다. 웨이블릿 계수 값과 승산기 출력 값은 버림 처리된 값이다. 비트 제한으로 인한 오류를 보상해주기 위해 분석단과 합성단의 보정계수를 다시 조정한다면 아래의 결과보다 더 좋은 PSNR을 얻을 수 있다.

표 3은 본 논문에서 선택한 비트 할당을 4가지 영상에 적용하였을 때의 PSNR을 분석한 것이다. 경계면에서 PR의 조건에 합당하도록 주기적 확장을 적용하였을 경우에는 예상대로 우수한 PSNR을 보였다. 또한, 계산

표 2. 고정소수점 연산시의 PSNR 분석  
(a) 웨이블릿 계수의 비트 할당 (b) 승산기 출력 값의 소수부분 비트 할당 (계수가 10비트인 경우)

Table 2. PSNR analysis for the fixed-point arithmetic.

(a) Bit allocation for wavelet coefficients (b) Bit allocation for the fractional part of multiplier outputs

할당 비트 (m (a.b c.d))	PSNR (dB)
3 (2.1 0.3)	9.319894
4 (2.2 0.4)	11.361010
5 (2.3 0.5)	19.234903
6 (2.4 0.6)	22.849153
7 (2.5 0.7)	27.607686
8 (2.6 0.8)	30.149747
9 (2.7 0.9)	37.695503
10 (2.8 0.10)	45.995590
11 (2.9 0.11)	48.579021
no precision	55.086797

(a)

할당 비트 (소수이하 부분)	PSNR (dB)
1	18.660199
2	23.751499
3	28.844708
4	33.608518
5	37.845999
6	41.105683
7	43.291837
8	44.574246
9	45.266505
10	45.627168

(a)

표 3. 여러 가지 영상에 대한 PSNR 분석

Table 3. PSNR analysis for the various images.

영상 (512×512)	경계면에서 주기적 확장의 경우 PSNR (dB)		경계면에서 SSP의 경우 PSNR (dB)		계산과정에서 의 최대값	계산과정에서 의 최소값
	계수 (11비트)	승산기 소수 이하 (6bit)	계수 (11비트)	승산기 소수 이하 (6bit)		
Lena	100	55.086797	45.995590	41.105683	250.966583	-102.763306
couple	100	60.581803	46.579025	41.240988	259.147186	-112.571899
baboon	100	61.932786	46.222537	40.977232	229.582504	-96.228455
airfield	100	48.361196	43.480884	39.802546	301.550156	-136.904114

과정에서의 최대 값과 최소 값을 통해 승산기의 출력 값이 정수부분 9비트를 초과하지 않음을 알 수 있다.

## 2. 성능 분석

제안된 2차원 DWT의 성능을 분석하기로 한다.  $N \times N$  이미지에 대하여  $J$ -레벨의 2차원 DWT를 수행할 때, 총 DWT 처리 횟수는 다음과 같다

$$N^2(1+4^{-1}+4^{-2}+\dots+4^{-(J-1)})=4N^2(1-4^{-J})/3$$

2차원 DWT를 수행하는데 필요한 클럭 수는 위의 총 DWT 연산 횟수에, 한 번 연산에 걸리는 클럭 수를 곱하면 된다. 또한 2차원 DWT를 수행하기 위해서는 단지  $K$  개의 곱셈기와  $K$ 개의 덧셈기 그리고  $K/2-1$  개의 레지스터만이 필요하다. 표4는 현재까지 제안된 대표적인 DWT 구조들과 제안된 구조를 하드웨어(곱셈기, 덧셈기, 레지스터, 메모리 등), 계산, 수행 시간, 하드웨어 이용도, 제어의 복잡도 등의 항목들로 비교 분석하였다. 병렬 처리 방법<sup>[5,6,8]</sup>은 필터 뱅크를 반복하여 사용하므로 칩으로 구현 시에 면적의 증가가 예상된다. 그에 따른 성능 이득은 하드웨어의 증가에 비하여 그다지 크지 않다. 그리고 Semi-recursive 방법<sup>[7]</sup>은 짧은 워드 길이와, 최적화된 데이터 버스 효율을 높이기 위한 네 개의 분리된 필터 뱅크를 사용하기 때문에 하드웨어가 많이 사용된다. 그리고 가장 간단한 직접구현 방식<sup>[6]</sup>은 간단하나 성능이 낮다.

저장장소에 관하여 제안된 구조는 초기 및 중간 데이터를 위하여  $N^2$ 의 버퍼를 필요로 하지만 초기 데이터가 메모리에 저장되어 있다고 가정하면, 중간 데이터는 그림 6에서 설명된 것처럼 메모리를 공유함으로써

저장장소가 필요치 않게 된다. 그리고 각 열(행)에서의 DWT 처리가 서로 독립적이기 때문에 각 열(행)을 병렬로 처리할 수 있으므로, DWT의 성능을 개선하기 위해서 단순히 DWT 블록을 추가하면 된다. 두 개의 DWT 블록을 적용할 경우에 우리는 두 배의 성능 향상을 기대 할 수 있다. 이 경우 병목 구간은 메모리 입출력의 폭인데, 이는 다수 개의 입출력 포트를 갖는 메모리를 사용하거나, 메모리 인터리빙(memory interleaving) 기법을 사용함으로써 해결할 수 있다. 이와 같이 이번 연구에서 제안된 구조는 다른 구조와 비교해 볼 때 경쟁력을 갖는다고 할 수 있다.

## V. 결 론

본 연구에서는 최근 많은 분야에서 연구가 진행되고, 그의 응용분야가 확대되고 있는 효율적인 2차원 이산 웨이블릿 변환(DWT, Discrete Wavelet Transform)을 위한 두 채널 QMF Lattice 필터를 설계하였다. 비교적 단순한 스케줄링 기법을 이용한 설계이기 때문에 최소의 하드웨어(곱셈기, 덧셈기, 레지스터 등)로 구성할 수 있고, 두 개의 연속적인 입력이 동시에 제공되면 효율적으로 2차원 DWT가 수행됨을 보였다. 제안된 2 차원 웨이블릿 변환 필터는 RTL 레벨 시뮬레이션을 통해 출력 값이 검증되었으며, 다른 연구 결과들과 비교하였을 때, 최소의 하드웨어를 가지고 상대적으로 높은 수행능력을 나타내었다. 더욱이 DWT 블록을 병렬로 사용한다면 그에 비례하는 성능 개선을 예상할 수 있다. 제안된 아키텍처는 100% 하드웨어 이용도를 나타내었

표 4. 2차원 DWT 아키텍처의 성능 비교

Table 4. Performance comparison of the various 2D DWT architectures.

( $N^2$ : Image size,  $K$ : Filter length,  $J$ : Decomposition level)

Architecture	Multiplier	Adder	Register	Storage	Computation time	H/W utilization	Control complexity
Direct [6]	$K$	$K$	$K-1$	$N^2$	$4N^2$	high	simple
Parallel [5]	$3K$	$3(K-1)$	$3(K-1)$	$2N(K-1)$	$N^2$	low	simple
Systolic-parallel [6]	$4K$	$4K$	$4(K-1)$	$2N(K+2)$	$N^2-N$	high	complex
Non-separable [8]	$2K^2$	$2(K^2-1)$	$2K^2$	$2KN$	$N^2$	high	complex
SIMD [8]	$2N^2$	$2N^2$	$2N^2$	$N^2$	$K^2J$	low	complex
Semi-recursive [7]	$4K$	$4(K-1)$	$4(K-1)$	$2N^2$	$4N^2/3$	low	simple
Proposed (one-lattice)	$K$	$K$	$K/2-1$	$N^2$	$4N^2/3$	high	simple
Proposed (two-lattices)	$2K$	$2K$	$K-2$	$N^2$	$2N^2/3$	high	simple



고, 효과적인 메모리 매핑 방법과 그를 위한 주소 발생 방법이 소개되었다. 또한, 고정소수점 연산 시에 발생하는 에러를 분석하여 적절한 양자화 비트를 결정하였다.

### 감사의 글

저자들은 본 연구를 위하여 설계 환경을 제공하여준 IDEC(IC Design Education Center)에 감사드립니다.

### 참 고 문 헌

- [1] S. Mallat, "A theory for multiresolution signal decomposition: The wavelet representation," *IEEE Trans. Pattern Anal. And Machine Intell.*, Vol. 11, No. 7, pp. 674~693, 1989.
- [2] R. Kronland-Martinet, J. Morlet, and A. Grossmann, "Analysis of sound patterns through wavelet transforms," *Int. J. Pattern Recognition and Artificial Intelligence*, Vol. 1, No. 2, pp. 273~302, 1987.
- [3] S. Mallat, "Multifrequency channel decompositions of images wavelet models," *IEEE Trans. Acoust., Speech, Signal Process.*, Vol. 37, No. 12, pp. 2019~2110, 1989.
- [4] J. T. Kim, Y. H. Lee, T. Isshiki, and H. Kunieda, "Scalable VLSI architectures for lattice structure-based discrete wavelet transform," *IEEE Trans. CAS-II*, Vol. 45, No. 8, pp. 1031~1043, 1998.
- [5] C. Yu and S. J. Chen, "Design of an efficient VLSI architecture for 2-D discrete wavelet transforms," *IEEE Trans. Consumer Electronics*, Vol. 45, No. 1, pp. 135~140, 1999.
- [6] M. Vishwanath, R. M. Owens, and M. J. Irwin, "VLSI architectures for the discrete wavelet transform," *IEEE Trans. CAS-II*, Vol. 42, No. 5, pp. 305~316, 1995.
- [7] S. K. Paek, and L. S. Kim, "2D DWT VLSI architecture for wavelet image processing," *Electronics Letters*, Vol. 34, No. 6, pp. 537~538, 1998.
- [8] C. Chakrabarti and M. Vishwanath, "Efficient realizations of the discrete and continuous wavelet transforms: from single chip implementations to mappings on SIMD array computers," *IEEE Trans. Signal Processing*, Vol. 43, No. 3, pp. 759~771, 1995.
- [9] K. K. Parhi, "VLSI architectures for discrete wavelet transform," *IEEE Trans. VLSI Systems*, Vol. 1, pp. 191~202, 1993.
- [10] T. C. Denk and K. K. Parhi, "Architectures for lattice structure based orthonormal wavelet transforms," *IEEE Trans. CAS-II*, Vol. 44, pp. 129~132, 1997.
- [11] 김윤홍, 전경일, 방기천, 이우선, 박인정, 이강현, "영상처리를 위한 웨이블렛 변환 디지털 필터의 설계," *전자공학회 논문지 제37권, CI편, 제3호*, pp. 45~55, 2000
- [12] 강봉훈, 이호준, 고희화, "동영상용 웨이블렛 변환 필터의 ASIC 설계," *전자공학회 논문지 제36권, S편, 제12호*, pp. 67~75, 1999
- [13] P. P. Vaidyanathan and P. Hoang, "Lattice structures for optimal design and robust implementation of two-channel perfect reconstruction QMF banks," *IEEE Trans. Acoust., Speech, Signal Process.*, Vol. 36, No. 1, pp. 81~94, 1988.
- [14] P. P. Vaidyanathan, "Multirate systems and filter banks," Prentice Hall, 1993.

## 저 자 소 개



朴 台 根(正會員)

1985년 연세대학교 전자공학 학사.  
 1988년 Syracuse Univ. Computer  
 공학석사. 1993년 Syracuse Univ.  
 Computer 공학박사. 1991년 - 1993  
 년 Coherent Research Inc. VLSI  
 설계 엔지니어. 1994년 - 1998년 현  
 대전자 System IC 연구소 책임연구원. 1998년 - 현재  
 가톨릭대학교 컴퓨터.전자공학부 조교수. <주관심분  
 야: VLSI, CAD, 병렬처리 등임>



丁 仙 耿(正會員)

2001년 가톨릭대학교 정보통신공학  
 학사. 2001년 - 현재 가톨릭대학교  
 컴퓨터.전자공학부 석사과정. <주관  
 심분야: VLSI, 디지털 신호처리, 패  
 턴인식 등임>