

論文2002-39SD-4-9

소프트웨어 전압 제어를 사용한 저전력 VLSI 시스템의 설계 및 구현

(Design and implementation of low-power VLSI system using software control of supply voltages)

李誠洙 *

(Seongsoo Lee)

요 약

본 논문에서는 공급 전압을 순수하게 소프트웨어적으로 제어함으로써, 하드웨어 구현이 간단하고 전력 소모를 효과적으로 줄이며 복잡한 인터페이스 회로가 필요 없는 새로운 저전력 VLSI 시스템 아키텍처를 제안하였다. 제안된 아키텍처는 클록 주파수-공급 전압 특성을 순수하게 소프트웨어적으로만 모델링하고, 시스템 상의 여러 칩들에 대해서 각각 독립적으로 공급 전압을 제어하고, 주 클록 주파수 f_{CLK} 의 $1/n$ 인 f_{CLK} , $f_{CLK}/2$, $f_{CLK}/3$...만을 클록 주파수로 허용하였다. 또한, 제안된 저전력 VLSI 시스템 아키텍처의 프로토타입 시스템을 제작하고 전력 소모를 측정하였다. 프로토타입 시스템은 기존의 상용 마이크로프로세서 평가 보드를 약간 수정하여 레벨 쉬프터와 전압 스위치와 같은 간단한 개별 소자만을 덧붙여서 제작되었으며, 0.58W 이던 전력 소모가 0.12W로 감소함을 확인할 수 있었다.

Abstract

In this paper, a novel low-power VLSI system architecture was proposed. By exploiting software control of supply voltages, it simplifies hardware implementation, reduces power consumption efficiently, and avoids complicated interface circuits. The proposed architecture models clock frequency-supply voltage relationship by software modelling, enables individual control of supply voltages for all chips in the system, and restricts clock frequency to discrete levels of f_{CLK} , $f_{CLK}/2$, $f_{CLK}/3$... where f_{CLK} is the master clock frequency. A prototype system was implemented by modifying off-the-shelf microprocessor evaluation board and adding simple discrete devices such as level shifters and voltage switches. It was measured that the power consumption was reduced from 0.58W to 0.12W in the prototype system.

I. 서 론

정보 통신 기술이 발달함에 따라 PCS(personal communication system) 등의 이동 통신 기기, PDA(personal digital assistant) 등의 휴대용 데이터 단말기

* 正會員, 梨花女子大學校 科學技術大學院 情報通信學科
(Department of Information Electronics Engineering
Ewha Institute of Science and Technology, Ewha
Womans University)

接受日字:2001年4月10日, 수정완료일:2002年2月18日

의 중요성은 날로 증가하고 있다. 미국, 일본을 비롯한 선진국에서는 이동 통신, 인터넷, 멀티미디어, 동영상 전화 기능 등이 하나로 통합된 휴대 단말기가 이미 시장에 출시되기 시작했으며, IMT2000이 상용화되는 수 년 내에 폭발적인 시장 수요가 예상된다. 이러한 휴대 단말기에서 한 번 배터리를 충전했을 때 얼마나 오랫동안 사용할 수 있는지를 나타내는 연속 동작 가능 시간은 상업적인 관점에서 볼 때 가장 중요한 성능 척도의 하나이다. VLSI 시스템이 고성능, 고집적화 되어감에 따라 소비 전력은 지속적으로 증가하는 반면에 배터리의 전력 용량은 산술적인 증가에 그치고 있어서,^[1]

배터리 자체의 개량보다는 VLSI 시스템의 전력 소모를 줄이는 저소비전력 기술(low-power technology)의 개발이 소자, 회로, 로직 및 시스템 등 다각적인 영역에 걸쳐서 절실히 요구되고 있다.

고성능 마이크로프로세서와 같은 비이동용 시스템에 있어서도 저전력 소모는 매우 중요한 설계 목표의 하나가 된다. 높은 전력 소모는 VLSI 칩 내부에서 많은 열을 발생시켜서 수명을 단축시키고, 성능 저하나 기능 이상, 심지어는 고장을 일으키기도 하기 때문이다. 이러한 열 발생은 휴대 단말기의 크기가 상업적인 성공을 좌우하는 이동용 시스템에서는 더욱 치명적인데, 그 이유는 냉각 팬이나 방열 핀 등을 붙일만한 공간을 확보하기가 매우 어렵기 때문이다.

주어진 태스크를 마감 시간(deadline) 안에 끝내야 하는 실시간(real-time) VLSI 시스템의 경우, 전력 소모를 줄이기 위한 방법으로 예측적 동작 중단^[2] (predictive shutdown)과 동적 전압 조정^[3~9] (dynamic voltage scaling) 등이 연구되고 있다. 예측적 동작 중단은 태스크 실행과 태스크 실행 사이의 유휴 시간(slack time) 동안에 VLSI 시스템의 동작을 전체적 혹은 부분적으로 중단시킴으로서 전력 소모를 줄이는 방법이고, 동적 전압 조정은 주어진 태스크를 마감 시간에 간신히 맞추어 끝내도록 VLSI 시스템의 클럭 속도(clock frequency) 및 공급 전압(supply voltage)을 최대한 낮추어 전력 소모를 줄이는 방법이다. 이러한 연구 중에서 동적 전압 조정은 예측적 동작 중단에 비해 공급 전압을 결정하는 방법이 어렵고 하드웨어 구현이 복잡하지만 전력 소모를 크게 낮출 수 있어서 많은 연구자들에 의해 활발한 연구가 진행되고 있다.

동적 전압 조정을 사용하여 저전력 실시간 VLSI 시스템을 하드웨어적으로 구현할 때에는 주파수-전압 궤환 루프(frequency-voltage feedback loop)가 주로 사용되는데^[10,11], 동적 전압 조정을 적용할 마이크로프로세서 내부에 임계 경로(critical path)와 동일한 지연 시간(propagation delay)을 갖는 링 발진기(ring oscillator)를 내장하여, 링 발진기의 출력 주파수가 동적 전압 조정에서 결정된 최소 클럭 주파수와 같아질 때까지 부궤환(negative feedback)을 이용해 하드웨어적으로 공급 전압을 낮추는 방법이다. 이 방법은 공급 전압을 제어하는 장치가 마이크로프로세서 안에 내장되어 있기 때문에 시중에 나와있는 기생산(off-the-shelf) 마이크로프로세서에 적용하려면 칩을 재설계, 재생산해야 하

고, 전체 시스템이 여러 개의 칩으로 구성되어있을 때에는 하나의 칩에만 적용할 수 있고, 외부 시스템과 데이터를 주고받을 때 복잡한 인터페이스 회로가 필요하다는 단점이 있다^[8].

본 논문에서는 공급 전압을 순수하게 소프트웨어적으로 제어함으로써 VLSI 칩을 재설계, 재생산할 필요가 없고, 주파수 분할기(frequency divider)와 전압 스위치(voltage switch)와 같은 간단한 하드웨어를 사용하며, 시스템 내부의 여러 칩에 대해 독립적으로 공급 전압을 제어함으로써 전력 소모를 효과적으로 줄이고, 외부 시스템과 데이터를 주고받을 때에도 복잡한 인터페이스 회로가 필요 없는 새로운 저전력 VLSI 시스템을 제안하고 이를 실제로 구현한다. II장에서는 동적 전압 조정 및 그 문제점에 대해서 설명하고, III장에서는 새로운 저전력 VLSI 시스템에 대해 제안한다. IV장에서는 제안된 시스템을 실제로 구현하고 전력 소모를 측정하며, V장에서는 결론을 맺는다.

II. 동적 전압 조정

일반적인 VLSI 시스템에서 CMOS 회로의 전력 소모 E는 $E \propto A \times C_L \times N_{CYCLE} \times V_{DD}^{2[12]}$ 로 주어지는데, 이때 A는 CMOS 회로의 평균 스위칭률(average switching activity factor), C_L 은 부하 커패시턴스(load capacitance), N_{CYCLE} 은 주어진 태스크를 수행하는데 필요한 사이클 수, V_{DD} 는 공급 전압을 나타낸다. 위에서 알 수 있듯이 전력 소모가 공급 전압의 제곱에 비례하기 때문에 공급 전압을 낮추는 것은 전력 소모를 줄이는 데 매우 효과적이지만, CMOS 회로의 지연 시간 T_D 가 $T_D \propto V_{DD}/(V_{DD}-V_T)^{\alpha[13]}$ 로 주어지기 때문에 공급 전압의 감소는 곧바로 지연 시간의 증가로 이어져 클럭 속도의 감소를 초래하고, 결과적으로 시스템을 느리게 동작 시키게 된다. 여기서 V_{DD} 는 공급 전압, V_T 는 CMOS 트랜지스터의 문턱 전압(threshold voltage), α 는 속도 포화 계수(velocity saturation index)를 나타낸다.

실시간 VLSI 시스템의 경우, 시스템의 최대 클럭 속도는 모든 태스크를 주어진 마감 시간 이내에 끝낼 수 있는 클럭 속도보다 크거나 같아야 실시간 동작을 보장할 수 있으므로, 각 태스크의 동작 상태를 살펴가면서 마감 시간 제약 조건을 만족하는 가장 낮은 클럭 속도까지 시스템의 클럭 속도를 조절해가면서 낮출 수 있으며, 이때 클럭 속도를 낮춤에 따라 공급 전압도 함

게 낮아져서 전력 소모를 크게 줄일 수 있다. 이것이 동적 전압 조정의 기본 개념이다.

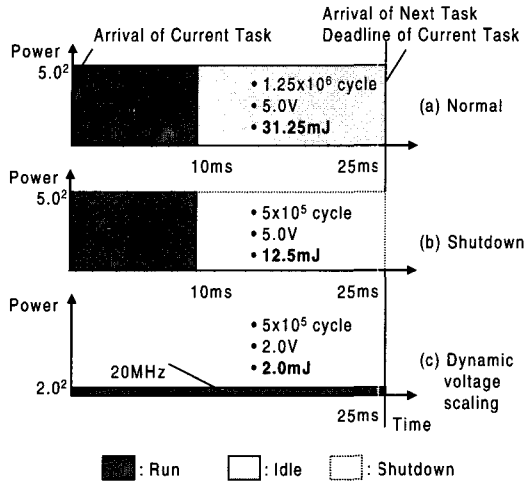


그림 1. 동적 전압 조정
Fig. 1. Dynamic voltage scaling.

그림 1에서처럼 어떤 태스크가 수행되는데 5.0×10^5 사이클이 걸리고 마감 시간이 25ms라고 가정하자. 또한 이 태스크가 수행될 마이크로프로세서가 50MHz의 클럭 속도와 5.0V의 공급 전압을 가지고 매 사이클 당 1.0nJ의 전력을 소모한다고 가정하자. 일반적인 마이크로프로세서는 그림 1(a)처럼 주어진 태스크를 10ms만에 끝낸 다음, 마감 시간까지 남은 15ms동안 아무런 일도 하지 않고 NOP(no operation) 명령을 반복 수행하게 된다. 이때 마이크로프로세서는 5.0×10^5 사이클 동안 태스크를 수행하고 7.5×10^5 사이클 동안 NOP 명령을 수행하므로 모두 1.25×10^6 사이클만큼 동작하고 31.25mJ의 전력을 소모한다. 그림 1(b)처럼 예측적 동작 중단을 사용한다면 10ms 동안에 주어진 태스크를 수행하고 나서 15ms동안 클럭을 정지시켜 동작을 멈추며, 이때의 전력 소모는 12.5mJ이 된다. 이에 비하여 그림 1(c)처럼 동적 전압 조정을 사용한다면 클럭 속도를 20MHz로 낮추어 주어진 태스크를 마감 시간에 맞추어서 끝낼 수 있고, 공급 전압은 2.0V까지 낮출 수 있다. 이때 마이크로프로세서의 매 사이클 당 전력 소모는 $1.0nJ \times (2.0V)^2 / (5.0V)^2 = 0.16nJ$ 이 되고, 전체 전력 소모는 2.0mJ까지 낮아지게 된다.

그림 2는 동적 전압 조정을 사용한 기존의 저전력 VLSI 시스템^[10,11]을 나타낸 것이다. 동적 전압 조정을

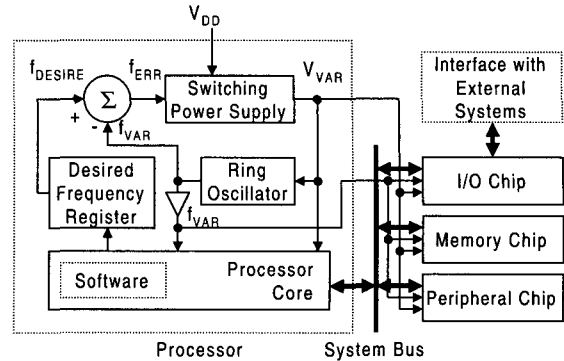


그림 2. 동적 전압 조정을 사용하는 기존의 저전력 VLSI 시스템
Fig. 2. Conventional low-power VLSI system with dynamic voltage scaling.

적용할 마이크로프로세서는 임계 경로를 모델링하는 링 발진기와 스위칭 전원(switching power supply)을 내장한다. 운영 체제(operating system)나 응용 프로그램(application program)이 주어진 태스크를 마감 시간에 맞추어 끝낼 수 있도록 하는 가장 낮은 목표 클럭 주파수를 결정하여 레지스터에 저장하면, 이 값은 곧바로 링 발진기의 출력 주파수와 비교되어 그 차이가 스위칭 전원에 입력된다. 링 발진기와 스위칭 전원은 일종의 주파수-전압 변환 루프를 형성하여, 링 레지스터에 저장된 목표 클럭 주파수와 링 발진기의 출력 주파수가 같아질 때까지 공급 전압을 높이거나 낮추게 된다. 시스템 상의 모든 칩은 동일한 클럭 주파수(=링 발진기의 출력 주파수)와 동일한 공급 전압(=스위칭 전원의 출력 전압)으로 동작한다. 그러나 이러한 방식은 다음과 같은 여러 가지 문제점을 가진다.

(1) 임계 경로를 모델링하는 링 발진기를 마이크로프로세서 내부에 내장해야 하기 때문에, 시중에 나와있는 기생산(off-the-shelf) 마이크로프로세서의 외부에 하드웨어를 추가하는 방법으로는 불가능하고 마이크로프로세서 자체를 재설계, 재생산해야 한다. 이러한 문제점은 시장 공급 시간(time-to-market)이 생명인 상업적 VLSI 시스템에서는 치명적인 약점으로 작용할 수 있다.

(2) 시스템 상의 여러 칩은 내부 구조와 제조 공정이 서로 다르기 때문에 지연 시간 특성도 각기 다르다. 그러나 기존의 방식에서는 마이크로프로세서가 공급 전압을 결정하므로, 전체 시스템의 클럭 주파수와 공급 전압이 마이크로프로세서의 지연 시간 특성에만 맞춰지게 된다. 예를 들어 주파수-전압 특성 (V,f)가 마이크

로프로세서에서는 { (1.5V,20MHz), (5.0V,50MHz) }, 메모리 칩에서는 { (2.5V,20MHz), (5.0V,50MHz) }라고 하면 클록 주파수가 20MHz일 때 공급 전압은 1.5V가 되어 메모리 칩이 20MHz에서 정상적으로 동작하기 위한 최소 공급 전압 2.5V보다 낮아지게 된다.

(3) 위 (2)의 문제를 해결하기 위해서 모든 칩들을 비슷한 지연 시간 특성을 갖도록 설계한다 하더라도, 이렇게 설계된 칩들은 하나의 칩셋 형태로밖에는 사용될 수 없다. 즉 특정 마이크로프로세서에 쓰이는 주변 장치 칩은 다른 마이크로프로세서에는 지연 시간 특성이 다르기 때문에 사용할 수가 없게 된다. 이러한 문제점 역시 상업적 VLSI 시스템에서는 치명적인 약점으로 작용할 수 있다.

(4) 전력 소모를 효과적으로 줄이기 위해서는 시스템 상의 여러 칩들에 대해서 각기 독립적으로 공급 전압을 제어하는 것이 바람직한데, 기존의 방식에서는 따로 따로 전압을 제어하는 것이 불가능하다. 예를 들어 주파수-전압 특성 (V,f)가 마이크로프로세서에서는 { (2.5V,20MHz), (5.0V,50MHz) }, 메모리 칩에서는 { (1.5V,20MHz), (5.0V,50MHz) }라고 하면 클록 주파수가 20MHz일 때 공급 전압은 2.5V가 된다. 50MHz에서 마이크로프로세서와 메모리 칩의 전력 소모가 같다고 하면, 20MHz에서 전체 시스템의 전력 소모는 $(2.5^2+2.5^2)/(5.0^2+5.0^2) = 1/4.0$ 이 된다. 만약 마이크로프로세서와 메모리 칩의 공급 전압을 따로따로 제어할 수 있다면 20MHz에서의 공급 전압은 각각 2.5V, 1.5V가 되고 전체 시스템의 전력 소모는 $(2.5^2+1.5^2)/(5.0^2+5.0^2) = 1/5.9$ 까지 감소하게 된다.

(5) 기존의 방식에서는 전체 시스템의 클록 주파수가 연속적인 레벨을 가지기 때문에, 다른 시스템과 데이터를 주고받을 때 심각한 문제에 직면하게 된다. 예를 들

어 한 시스템이 60MHz, 다른 시스템이 49.99MHz의 클록 주파수로 동작한다면, 두 시스템이 동기를 맞추어 데이터를 주고받을 수 있는 속도는 10kHz에 불과하며, 이보다 빠른 속도로 데이터를 주고받으려면 복잡한 인터페이스 하드웨어가 필요하다. 또한 기존의 방식에서는 링 발진기가 전체 시스템의 클록을 생성하기 때문에 외부에서 기준 클록을 입력할 방법이 없으므로 다른 시스템과 클록을 동기시키기 어렵고, 결과적으로 다른 시스템과 데이터를 주고받는 데에 있어서 여러 가지 어려움을 초래하게 된다. 또한, 다중 프로세서 시스템 (multi-processor system)이나 공유 메모리 시스템 (shared-memory system)에서도 비슷한 문제가 발생하게 된다.

III. 소프트웨어 전압 제어를 사용하는 저전력 VLSI 시스템

II장에서 설명한 바와 같이, 동적 전압 조절을 사용한 기존 저전력 VLSI 시스템의 문제점은 표 1과 같이 크게 세 가지로 나눌 수 있다. 본 논문에서는 이러한 문제점을 해결하기 위해 그림 3(a)와 같이 소프트웨어적으로 공급 전압을 제어하는 새로운 저전력 VLSI 시스템 아키텍처를 제안한다. 제안된 아키텍처는 주파수-전압 특성을 하드웨어적으로 모델링하는 것이 아니라 순수하게 소프트웨어적으로만 모델링하고, 시스템 상의 여러 칩들에 대해서 주파수-전압 특성을 직접 측정하여 각각의 칩에 대해서 독립적으로 공급 전압을 제어하고, 인터페이스 하드웨어가 복잡해지는 문제점을 방지하기 위해서 주 클록 주파수(master clock frequency) f_{CLK} 의 $1/n$ 인 f_{CLK} , $f_{CLK}/2$, $f_{CLK}/3...$ 만을 클록 주파수

표 1. 동적 전압 조절을 사용하는 기존 저전력 VLSI 시스템의 문제점 및 해결방안
Table 1. Problems and solutions of conventional low-power VLSI system with dynamic voltage scaling.

특성	문제점	해결방안
· 내장된 링 발진기에 의해 주파수-전압 특성이 하드웨어적으로 모델링됨	· 마이크로프로세서를 재설계, 재생산해야 함	· 주파수-전압 특성을 하드웨어적이 아니라 소프트웨어적으로 모델링
· 공급 전압이 마이크로프로세서의 주파수-전압 특성에 맞춰서 제어됨	· 전력 소모를 효율적으로 줄이지 못함	· 각 칩의 주파수-전압 특성을 측정해서 독립적으로 공급 전압 제어
· 클록 주파수 및 공급 전압이 임의의 연속적인 레벨을 가짐	· 인터페이스 하드웨어가 매우 복잡해짐	· 클록 주파수를 f_{CLK} , $f_{CLK}/2$, $f_{CLK}/3...$ 과 같은 레벨만 허용

로 허용한다.

제안된 아키텍처는 하드웨어 면에서는 마이크로프로세서에 전력 제어기(power controller)를 추가한 형태이며, 소프트웨어 면에서는 운영 체제나 응용 프로그램 외부에 디바이스 드라이버(device driver)를 추가한 형태가 된다. 운영 체제나 응용 프로그램은 주어진 태스크를 마감 시간에 맞추어 끝낼 수 있도록 하는 가장 낮은 클럭 주파수를 결정한 다음, 디바이스 드라이버에서 여기에 해당하는 공급 전압 값을 찾아낸다. 전력 제어기는 원하는 클럭 주파수와 공급 전압을 마이크로프로세서를 비롯한 시스템 상의 여러 칩에 가하게 된다.

디바이스 드라이버는 두 개의 참조 테이블(lookup table)로 구성되는데, 하나는 시스템 상의 여러 칩들의 주파수-전압 특성 $V_{VAR} = f_V(f_{VAR})$ 을 저장하고, 다른 하나는 전력 제어기가 클럭 주파수 및 공급 전압을 바꾸는데 걸리는 안정화 시간(settling time) $T_S = f_T(f_{VAR1} \rightarrow f_{VAR2})$ 을 저장한다. 두 개의 참조 테이블 모두 칩의 물리적 특성을 직접 재서 작성된다.

전력 제어기는 주파수 분할기를 사용하여 시스템의 주 클럭(master clock) f_{CLK} 으로부터 $f_1=f_{CLK}$, $f_2=f_{CLK}/2$, $f_3=f_{CLK}/3...$ 을 생성하며, 이 클럭 주파수에 해당되는 V_{DD1} , V_{DD2} , $V_{DD3}...$ 의 외부 공급 전압을 전압 스위치를 사용하여 시스템 상의 여러 칩에 전달한다. 전력 제어기는 주파수 분할기와 전압 스위치와 같은 간단한 하드웨어로 이루어지기 때문에, 기존 방식에서 사용하는 스위칭 전원보다 전력 소모도 적고 속도도 빠르며 면적도 작아진다. 이러한 전력 제어기는 독립된 칩으로 구현하여 기생산(off-the-shelf) 마이크로프로세서 외부에 붙일 수도 있고, 마이크로프로세서를 설계할 때 내장시켜 하나의 칩으로 구현할 수도 있다.

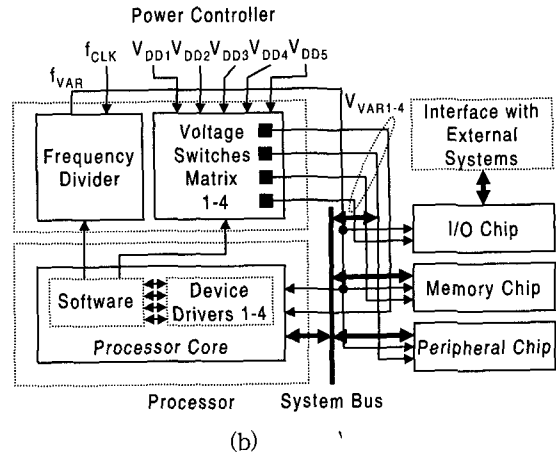
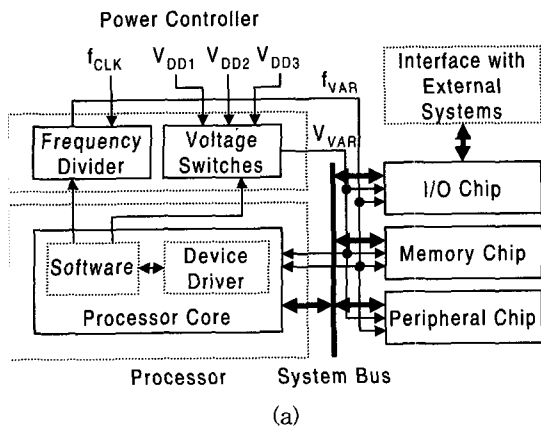


그림 3. 제안하는 저전력 VLSI 시스템 (a) 전역 전압 제어 (b) 개별 전압 제어

Fig. 3. Proposed low-power VLSI system. (a) Global voltage control. (b) Individual voltage control.

클럭 주파수와 공급 전압이 바뀌는 시간 T_S 동안에는 클럭 및 전원이 불안정하기 때문에 시스템이 오동작할 가능성이 있다. 제안된 아키텍처에서는 이러한 문제점을 방지하기 위해서 그림 4(a)처럼 T_S 동안에 시스템 동작을 중단시키고, 클럭 및 전원이 안정된 후에야 시스템을 다시 동작시키는 방식을 채택하였다. 많은 마이크로프로세서에서는 자체 클럭을 생성하기 위해서 PLL(phase-locked loop)을 내장하고 있는데, 이러한 경우에는 디바이스 드라이버를 작성할 때 내장된 PLL의 클럭 및 전원 안정화 시간도 함께 고려하여야 한다. 제안된 아키텍처에서는 주파수 분할기와 전압 스위치와 같이 동작이 매우 빠른 간단한 하드웨어만을 사용하기 때문에 클럭 및 전원이 안정되는데 걸리는 시간은 수십 μs 정도에 불과하며, 이 시간 동안에 시스템의 동작을 중단시킨다 하더라도 전체 시스템 성능은 거의 저하되지 않는다.

기생산된 마이크로프로세서는 설계 당시에 결정된 정격 공급 전압에 대해서만 최적화되어있기 때문에, 공급 전압을 무리하게 낮춘다면 마이크로프로세서가 제대로 동작하지 않는 경우가 발생하게 된다. 따라서 동적 전압 조절을 통하여 얻을 수 있는 소모 전력의 감소는 마이크로프로세서가 정상적으로 동작하는 최저 공급 전압에 의해 제한되어진다. 저자가 Hitachi의 SH7750 마이크로프로세서 및 Texas Instrument의 TMS320 마이크로프로세서에 대해서 정상 동작이 가능

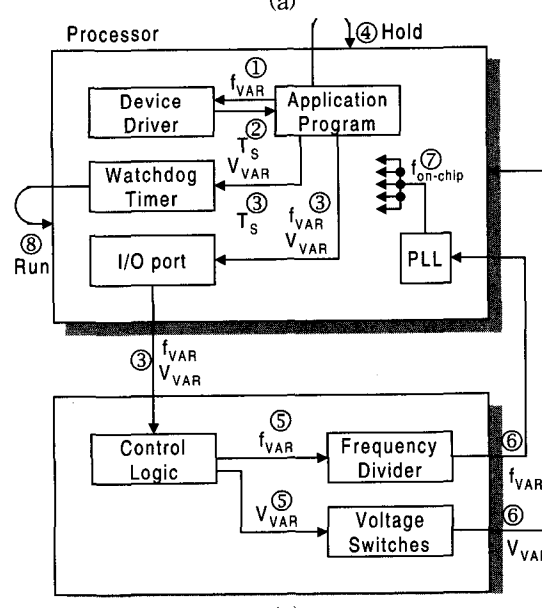
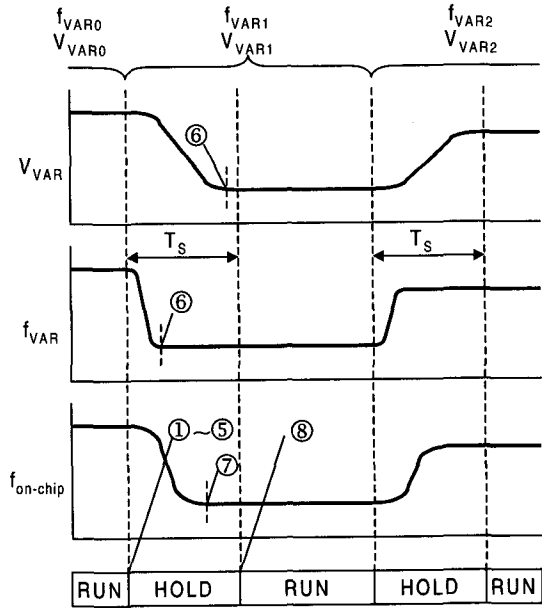


그림 4. 제안하는 저전력 VLSI 시스템에서의 (a) 클럭 주파수와 공급 전압의 천이와 (b) 시스템 동작
 Fig. 4. (a) Transition of clock frequency and supply voltage and (b) system operation in the proposed low-power VLSI system.

한 공급 전압을 측정해본 결과, 정격 공급 전압이 1.8V 인 SH7750의 경우에는 1.2V까지, 정격 공급 전압이 1.8V인 TMS320의 경우 1.0V까지 공급 전압을 낮추어도 공급 전류의 비정상적인 증가나 마이크로프로세서의 오동작이 발생하지 않음을 확인할 수 있었다. 최근

에 발표된 논문^[15]에서도 정격 공급 전압이 1.65V인 Transmeta의 Crusoe TM5400 마이크로프로세서는 1.1V까지, 정격 공급 전압이 1.5V인 Intel의 StrongArm SA1100 마이크로프로세서는 0.8V까지 정상적으로 동작한다는 것이 보고되었다. 따라서, 기생산된 마이크로 프로세서에서도 공급 전압을 낮추어 충분히 소모 전력을 감소시킬 수 있다는 사실을 알 수 있다.

그림 4(b)는 제안된 저전력 VLSI 시스템의 동작을 설명한 것이다. 응용 프로그램은 주어진 태스크를 마감 시간에 맞추어 끝낼 수 있도록 하는 가장 낮은 클럭 주파수 f_{VAR} 를 결정하고(①), 디바이스 드라이버에서 여기에 해당하는 공급 전압 V_{VAR} 과 안정화 시간 T_s 를 찾아낸다(②). 응용 프로그램은 f_{VAR} , V_{VAR} 값을 임출력 포트를 통해 전력 제어기에 전달하고, 감시 타이머(watchdog timer)에 T_s 값을 전달한다(③). 클럭 주파수와 공급 전압을 변화시키기 전에 시스템은 동작을 중단하고(④), 전력 제어기는 주파수 분할기와 전압 스위치를 사용하여 원하는 클럭 주파수와 공급 전압을 생성하여 시스템에 공급한다(⑤⑥). 만약 마이크로프로세서에 PLL이 내장된 경우에는 f_{VAR} 에서 $f_{on-chip}$ 을 생성하는 단계를 하나 더 거치게 된다(⑦). T_s 만큼의 시간이 지나서 클럭과 전원이 안정되면 감시 타이머는 시스템 전체를 깨워 다시 동작하게 한다(⑧).

제안된 아키텍처는 유연성(flexibility)과 적응성(adaptability)이 뛰어나서, 약간의 수정만으로 여러 가지 응용 분야에 폭넓게 적용될 수 있다. 예를 들어, 전력 소모를 효율적으로 줄이기 위해서는 그림 3(b)에서 처럼 여러 개의 전압 스위치 매트릭스와 여러 개의 디바이스 드라이버를 갖추고, 시스템 상의 모든 칩에 대해서 개별적으로 공급 전압을 제어할 수 있다. 또한 다중 프로세서 시스템이나 공유 메모리 시스템에도 동일한 방법으로 적용이 가능하다. 이 경우, 클럭 주파수는 전체 시스템에 공통이기 때문에 칩들 사이의 인터페이스에는 아무런 문제가 발생하지 않는다.

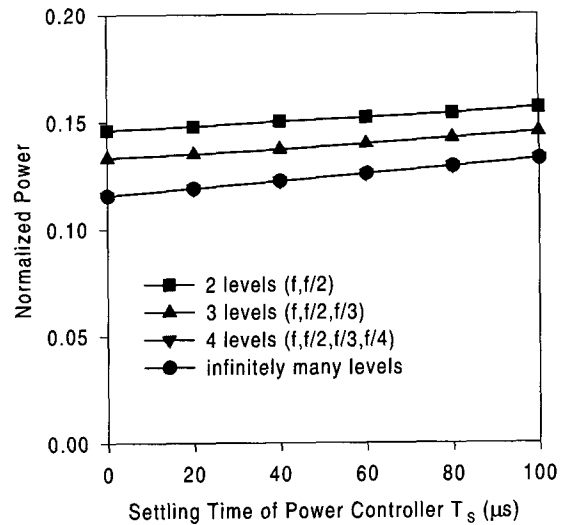
제안된 아키텍처는 클럭 주파수와 공급 전압의 제어 과정을 소프트웨어적으로 프로그래밍할 수 있으므로 시스템의 구조와 동작에 관계없이 대부분 적용이 가능하다. 또한 칩의 물리적 성질이 디바이스 드라이버에 저장되어 있기 때문에, 시스템 상의 칩이 제조 공정이 바뀐다던가, 다른 모델로 교체된다던가, 성능이 향상된 다음 세대로 대체된다던가 하는 경우에도 운영 프로그

램이나 운영 체제는 수정할 필요 없이 디바이스 드라이버만 재작성하면 된다.

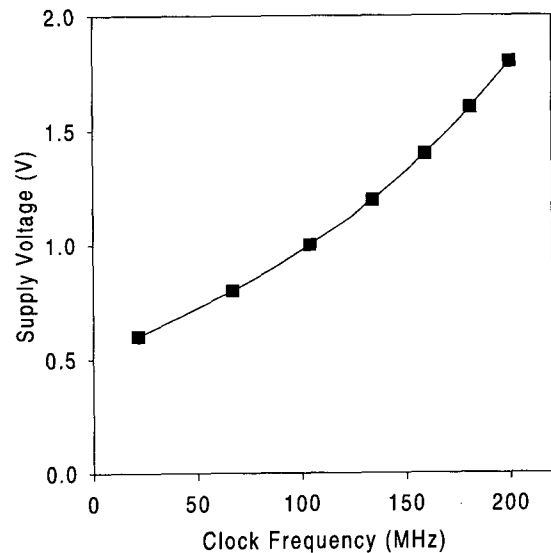
IV. 프로토타입 시스템의 제작 및 측정 결과

본 논문에서는 제안한 저전력 VLSI 시스템을 하드웨어로 제작하여 그 동작을 확인한 다음, 실제로 전력 소모가 어느 정도 개선되는지를 측정하였다. 전력 소모를 효율적으로 줄이기 위해서는 전력 제어를 VLSI 칩으로 구현하고 전체 시스템을 최적화하여 재설계하는 것이 바람직하나, 제안된 아키텍처의 타당성을 검토하는 현 단계에서는 Hitachi사의 SH7750 마이크로프로세서를 탑재한 평가 보드(evaluation board)를 하드웨어 플랫폼으로 채택하고, 이 보드를 수정하여 전압 스위치나 레벨 슈프터를 외부에 개별 소자로 덧붙이는 수준으로 간략하게 프로토타입 시스템을 제작하였다. 동적 전압 조정에서 태스크의 마감 시간을 지키면서 공급 전압을 최대한 낮춰주는 알고리즘인 전압 스케줄링(voltage scheduling)은 응용 프로그램과 하드웨어 환경에 따라 여러 가지 기법^[5-9]이 발표되어 있으나 본 논문에서는 구현이 용이하고 성능이 우수한 RVH(run-time voltage hopping)^[8] 기법을 적용하였으며, 응용 프로그램으로는 PDA, IMT2000, 무선 인터넷등의 휴대용 단말기에 폭 넓게 사용되는 실시간 영상 압축 기술인 MPEG-4^[14]를 적용하였다. 표 2는 본 논문에 사용된 전압 스케줄링 기법, 응용 프로그램, 하드웨어 플랫폼에 대한 내용을 정리한 것이다.

본 논문에서 제안한 아키텍처는 주 클럭 주파수 f_{CLK} 의 $1/n$ 인 f_{CLK} , $f_{CLK}/2$, $f_{CLK}/3$...만을 클럭 주파수로 허용한다. 프로토타입 시스템을 하드웨어로 만들기 전에 먼저 모의 실험을 실시하여 클럭 주파수 및 공급 전압 레벨을 몇 개까지 사용할 것인가를 결정하였는데, 응용 프로그램이 MPEG-4 영상 부호화일 경우에는 그림 5(a)에서처럼 f_{CLK} , $f_{CLK}/2$ 두 개의 레벨만 사용해도 전력 소모가 약 1/7로 줄어들 것으로 예측되었다. 세 개 이상의 레벨을 사용하면 하드웨어 구현은 훨씬 복잡해지는 반면에, 그림 5(a)에서처럼 전력 소모는 그다지 크게 감소하지 않는다. RVH 기법에서는 클럭 주파수 및 공급 전압의 안정화 시간 T_S 가 길수록 전력 소모가 조금씩 늘어나지만^[8], 그림 5(a)에서 보듯이 안정화 시간이 $100\mu s$ 이내에서는 큰 영향을 받지 않음을 알 수 있다.



(a)



(b)

그림 5. 프로토타입 시스템의 모의 실험 결과 (a) 정규화된 전력 소모 (b) 주파수-전압 특성

Fig. 5. Simulation results for the prototype system. (a) Normalized power consumption. (b) Frequency-voltage characteristics.

SH7750 마이크로프로세서는 정상 동작시의 클럭 주파수 및 코어 공급 전압이 각각 200MHz, 1.8V이므로, 공급 전압 V_{DD} , 문턱 전압 V_T , 속도 포화 계수 α 를 1.8V, 0.5V, 1.3으로 가정하면 $f_{CLK}^{-1} = T_D \propto V_{DD}/(V_{DD}-V_T)^{\alpha}$ ^[13]으로부터 그림 5(b)와 같은 주파수-전압 특성을 얻게 되고, $f_{CLK} = 200\text{MHz}$, $f_{CLK}/2 = 100\text{MHz}$

에 해당하는 코어 공급 전압은 각각 1.8V와 1.0V가 된다. 실제 SH7750을 동작시켜 본 결과, 1.8V@200MHz에서는 원활하게 동작하지만 1.0V@100MHz에서는 가끔씩 다운되는 현상을 관찰할 수 있었는데, 원래 SH7750이 1.8V±0.2V 범위 내에서의 동작만을 보장하도록 설계되었기 때문에 1.0V 근처에서의 동작이 때때로 불안정한 것으로 추측된다. 따라서 프로토타입 시스템을 설계할 때에는 100MHz에서도 SH7750이 안전하게 동작할 수 있도록 코어 공급 전압을 1.0V에서 1.2V로 높였다. 여기서 주의할 점은 SH7750의 코어 공급 전압만을 1.8V와 1.2V중의 하나로 제어하고, I/O 공급 전압은 3.3V로 고정된다는 것인데, 그 이유는 시스템 상에서 SH7750을 제외한 다른 칩들의 공급 전압이 고정되어있기 때문에 SH7750의 I/O 전압을 다른 칩의 I/O 전압인 3.3V에 맞출 수밖에 없기 때문이다. 이론상으로는 시스템 상의 모든 칩에 대해서 모든 공급 전압을 제어하는 것이 그다지 어렵지 않지만, 그렇게 하기 위해서는 SH7750 평가 보드를 처음부터 완전히 재설계해야 한다. 따라서 현 단계에서는 평가 보드의 일부분만을 수정하여 코어 공급 전압만을 제어하고 코어 전력 소모

만을 측정하였다.

그림 6(a)-(c)는 각각 프로토타입 시스템의 블록도, 메인 보드와 전력 제어기 보드를 나타낸 것이다. 메인 보드는 SH7750 마이크로프로세서가 탑재된 Densan DVEVA-SH7750G 평가 보드를 그림 6(b)에서처럼 두 군데를 수정하여 사용하였다. 원래의 평가 보드에는 직류-직류 변환기(DC-DC converter)가 장착되어 SH7750 코어에 1.8V의 전압을 가하도록 되어있었지만 프로토타입 시스템에서는 이를 제거하고 전력 제어기 보드에서 직접 SH7750 코어에 전압을 공급할 수 있도록 하였다. 평가 보드는 이더넷으로 PC에 연결되어 있어서 PC 상에서 디버거를 수행시켜 SH7750에 프로그램을 전송, 실행하고 결과를 확인할 수 있다. 또한 VGA 그래픽 카드가 있어서 실시간 압축된 동영상상을 모니터를 통하여 확인할 수 있다.

전력 제어기 보드는 ALTERA EPM7064 EPLD (erasable programmable logic device) 칩을 프로그래밍하여 제어 회로 및 VME 버스 인터페이스 회로를 구성하였으며, 공급 전압을 바꿔주기 위해서 MAX232 레벨 쉬프터 칩과 2SJ208 전압 스위치 두 개를 장착하였다.

표 2. 논문에 사용된 전압 스케줄링 기법, 응용 프로그램 및 하드웨어 플랫폼
Table 2. Voltage scheduling algorithm, application program, and hardware platform in the paper.

전압 스케줄링	<ul style="list-style-type: none"> 공급 전압 결정 알고리즘 공급 전압 조정 간격 	RVH(Run-time Voltage Hopping) 670μs
응용 프로그램	<ul style="list-style-type: none"> 응용 프로그램 사용 영상 형식 사용 영상 종류 태스크 마감 시간 태스크 최악 실행 시간 태스크 평균 실행 시간 	MPEG-4 SP@L1 영상 부호화 QCIF(176×144화소, 8비트/화소, 15프레임/초) Carphone(180 프레임) 66.6ms 66.0ms@200MHz 31.0ms@200MHz
하드웨어 플랫폼	<ul style="list-style-type: none"> 마이크로프로세서 정상 클록 주파수 정상 코어 공급 전압 정상 I/O 공급 전압 동적 전압 조정에 사용된 클록 주파수 및 코어 공급 전압 레벨 클록 주파수 제어 방식 공급 전압 제어 장치 클록 주파수의 안정화 시간 공급 전압의 안정화 시간 	Hitachi SH7750 (SH-4 Family) 200MHz 1.8V±0.2V 3.3V±0.3V 레벨 #1 : 1.8V@200MHz 레벨 #2 : 1.2V@100MHz FRQCR 레지스터를 사용하여 명령어 수준에서 제어 VME Bus를 사용하여 전력 제어기의 전압 스위치를 제어 50μs 20μs

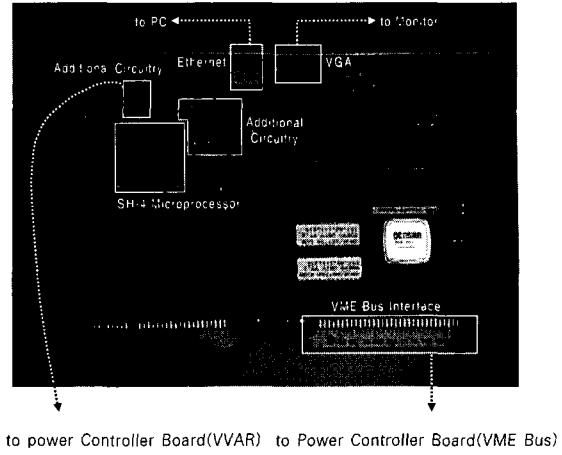
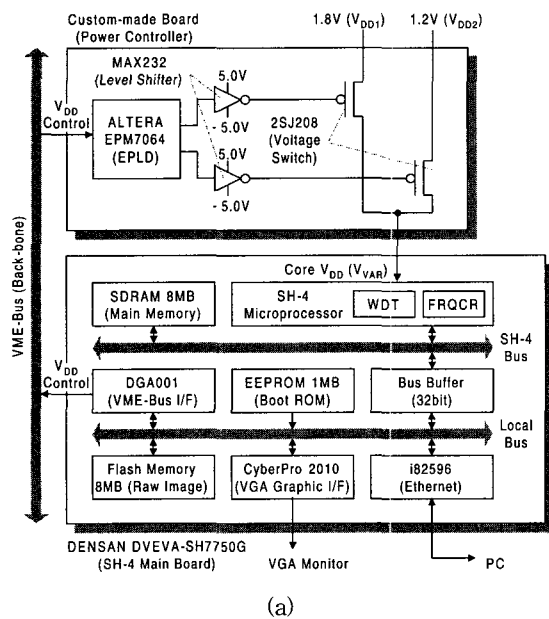
기존의 방식에서는 공급 전압을 바꾸기 위해서 직류-직류 변환기를 사용하기 때문에 공급 전압이 바뀌고 나서 안정되기까지 수백 μ s가 걸리는데 비하여 프로토타입 시스템은 전압 스위치를 사용하기 때문에 공급 전압이 바뀌고 나서 안정되기까지 20 μ s 정도밖에 걸리지 않는다. SH7750은 주파수 제어 레지스터(frequency control register)에 특정 값을 써넣는 것만으로 명령어 수준에서 클럭 주파수를 바꿀 수 있으므로, 클럭 주파수를 바꿔주는 주파수 분할기는 따로 전력 제어기 보드에 장착하지 않았다. 프로토타입 시스템에서 공급 전압을 제어하는 과정은 다음과 같다.

(1) RVH 기법으로 클럭 주파수 f_{VAR} 를 결정하고, 디바이스 드라이버 프로그램에서 공급 전압 V_{VAR} 와 안정화 시간 T_S 값을 찾는다.

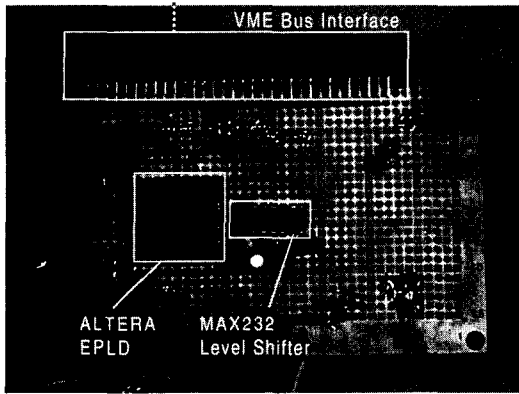
(2) f_{VAR} 값을 클럭 주파수 제어 레지스터 FRQCR에 써넣고, T_S 값을 감시 타이머 WDT에 써넣은 다음, VME 버스를 통해서 V_{VAR} 값을 전력 제어기 보드의 ALTERA 칩에 전달한다.

(3) SH7750이 잠시 동작을 멈추면 주파수 제어 레지스터는 SH7750의 클럭 주파수를 바꾸고, ALTERA 칩은 레벨 슈프터와 전압 스위치를 제어하여 SH7750 코어 공급 전압을 바꾼다.

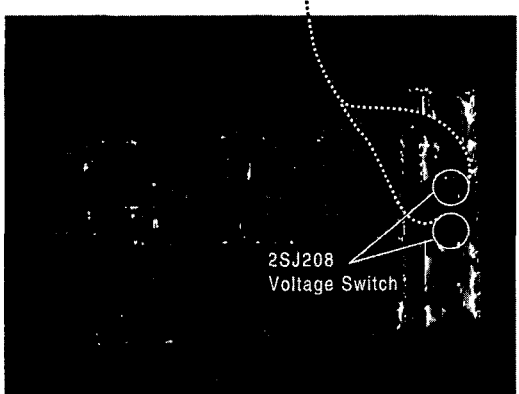
(4) T_S 값만큼의 시간이 지나면 감시 타이머가 SH7750에 인터럽트를 걸어서 동작을 재개시킨다.



(b) to power Controller Board(VVAR) to Power Controller Board(VME Bus) to SH-4 Main Board (VME Bus)

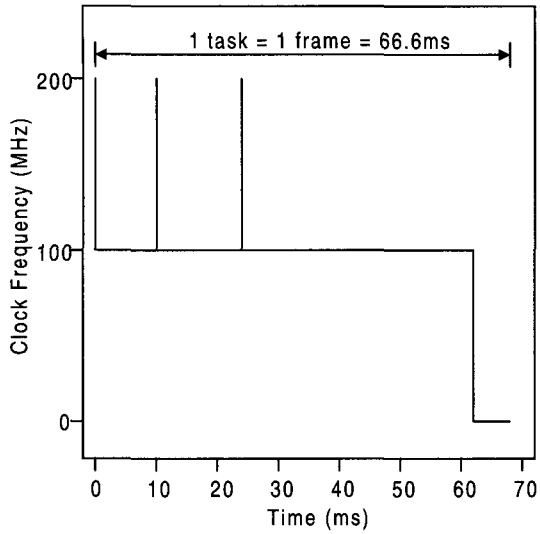


(front side) to SH-4 Main Board (V_{VAR})

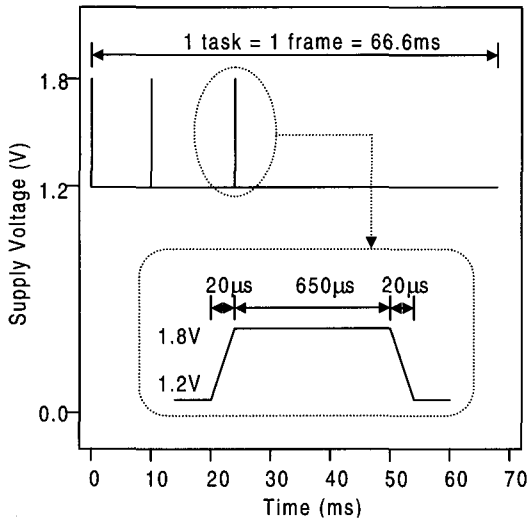


(back side)

(c) 그림 6. 프로토타입 시스템 (a) 블록도 (b) SH7750 마이크로프로세서 메인 보드 (c) 전력 제어기 보드
Fig. 6. Prototype system. (a) Block diagram. (b) SH7750 microprocessor main board of the prototype system. (c) Power controller board.



(a)

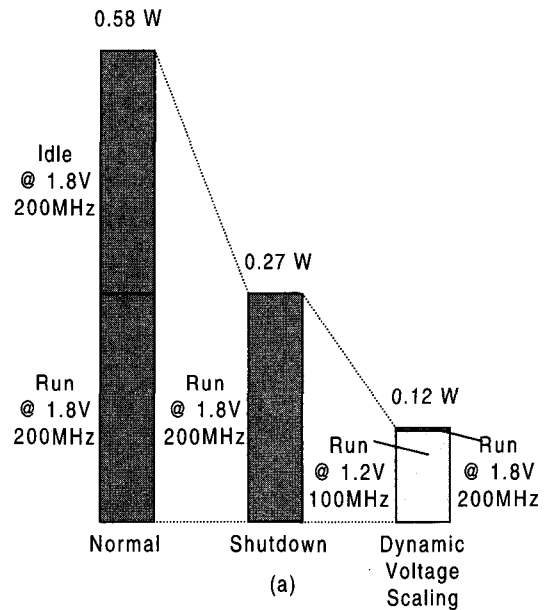


(b)

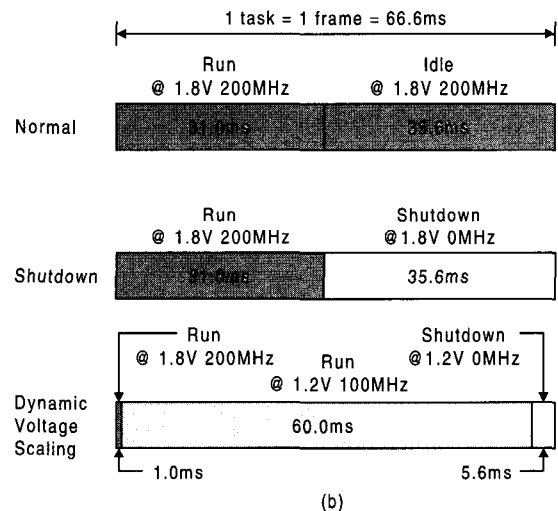
그림 7. 프로토타입 시스템에서 127번째 프레임을 처리할 때의 (a) 클럭 주파수와 (b) 공급 전압
Fig. 7. (a) Clock frequency and (b) supply voltage when the prototype system processes the 127th frame.

그림 7은 프로토타입 시스템이 MPEG-4 SP@L1 영상 부호화 응용 프로그램을 수행할 때, 180 프레임의 Carphone 영상 중에서 127번째 프레임을 처리했을 때의 클럭 주파수와 공급 전압을 나타낸 것이다. RVH 기법은 일정한 시간 간격(여기서는 670µs)마다 클럭 주파수 및 공급 전압을 결정하는데, 그림 7에서 보듯이 대부분의 시간 동안 클럭 주파수 및 공급 전압이 각각 100MHz와 1.2V에 머무르며, 아주 가끔씩만 200MHz와 1.8V

로 올라가는 것을 알 수 있다. 오실로스코프로 공급 전압 및 공급 전류의 파형을 관찰해 본 결과, 공급 전압이 변화할 때 공급 전류가 일시적으로 10~15% 정도 리플 현상을 일으키는 것이 관측되었으나 SH7750의 동작에는 큰 영향을 미치지 않았으며, 공급 전압 및 공급 전류가 변화하는 시간은 태스크 전체로 볼 때 총 동작 시간의 0.1% 이하이기 때문에 실행 시간 및 전력 소모에 미치는 영향은 무시할만하다고 할 수 있다.



(a)



(b)

그림 8. 프로토타입 시스템의 (a) 평균 코어 전력 소모와 (b) 평균 수행 상태

Fig. 8. (a) Average core power consumption and (b) average execution status of the prototype system.

그림 8(a)는 프로토타입 시스템에서 SH7750 마이크로프로세서의 평균 코어 전력 소모를 측정하는 것이다. SH7750을 정상 동작시켰을 경우에는 평균 0.58W, 테스트가 끝난 후부터 다음 테스트가 시작할 때까지 동작을 중단시켰을 경우에는 평균 0.27W, RVH 기법을 사용하여 코어 공급 전압을 제어했을 때에는 0.12W의 전력이 소모되었다. 그림 8(b)는 위의 세 경우에 대해서 프로그램의 평균 수행 상태를 나타낸 것인데, 정상 동작시켰을 때에는 SH7750이 66.6ms 동안 내내 1.8V 200MHz로 동작하지만, 테스트가 끝난 후부터 다음 테스트가 시작할 때까지 동작을 중단시켰을 경우에는 평균 31.0ms 동안만 1.8V 200MHz로 동작하고, 나머지 35.6ms 동안에는 동작을 중단시킨다. 반면 코어 공급 전압을 제어했을 때에는 평균 0.6ms 동안에는 1.8V 200MHz로 동작하고, 60.8ms 동안에는 1.2V 100MHz로 동작하고, 나머지 5.2ms 동안에는 동작을 중단시키는데, 대부분의 시간 동안 공급 전압이 1.2V로 낮게 유지되기 때문에 전력 소모를 정상 동작의 약 1/5로 크게 줄일 수 있었다. 모의 실험에서는 정상 동작의 약 1/7의 전력 소모를 가질 것으로 예측되었는데, 모의 실험보다 실제 측정시의 전력 소모가 더 높은 이유는 모의 실험에서는 100MHz에서의 공급 전압이 1.0V로 결정되었지만, 실제로는 이 공급 전압에서 SH7750이 다소 불안정하게 동작하기 때문에 이보다 높은 1.2V를 공급 전압으로 사용하였기 때문이다.

V. 결 론

본 논문에서는 공급 전압을 순수하게 소프트웨어적으로 제어함으로써 VLSI 칩을 재설계, 재생산할 필요가 없고, 주파수 분할기와 전압 스위치와 같은 간단한 하드웨어를 사용하며, 시스템 내부의 여러 칩에 대해 독립적으로 공급 전압을 제어함으로써 전력 소모를 효과적으로 줄이고, 외부 시스템과 데이터를 주고받을 때에도 복잡한 인터페이스 회로가 필요 없는 새로운 저전력 VLSI 시스템을 제안하였다.

제안된 시스템은 주파수-전압 특성을 하드웨어적으로 모델링하는 것이 아니라 순수하게 소프트웨어적으로만 모델링하고, 시스템 상의 여러 칩들에 대해서 주파수-전압 특성을 직접 측정하여 각각의 칩에 대해서 독립적으로 공급 전압을 제어하고, 인터페이스 회로가

복잡해지는 문제점을 방지하기 위해서 주 클럭 주파수 f_{CLK} 의 $1/n$ 인 f_{CLK} , $f_{CLK}/2$, $f_{CLK}/3$...만을 클럭 주파수로 허용하였다.

또한, 제안된 저전력 VLSI 시스템의 타당성을 검증하고 전력 소모의 개선 정도를 확인하기 위해서 프로토타입 시스템을 제작하고 전력 소모를 직접 측정하였다. 프로토타입 시스템은 Hitachi사의 SH7750 마이크로프로세서를 탑재한 평가 보드를 약간 수정하여 레벨 쉬프터와 전압 스위치와 같은 간단한 개별 소자만을 덧붙여서 제작되었으며, SH7750을 1.8V@200MHz와 1.2V@100MHz 두 레벨의 클럭 주파수와 공급 전압을 사용하여 동작시켰을 때, 0.58W이던 코어 전력 소모가 1/5인 0.12W로 감소함을 확인할 수 있었다.

참 고 문 헌

- [1] J. Rabaey, "Low-power silicon architectures for wireless communications," *Proceedings of Asia and South Pacific Design Automation Conference*, pp. 379~380, 2000.
- [2] M. Srivastava, A. Chandrakasan, and R. Brodersen, "Predictive system shutdown and other architectural techniques for energy efficient programmable computation," *IEEE Transactions on VLSI Systems*, Vol. 4, No. 1, pp. 42~55, Mar. 1996.
- [3] A. Chandrakasan and R. Brodersen, *Low Power Digital CMOS Design*, Kluwer Academic Publishers, 1995.
- [4] F. Yao, A. Demers, and S. Shenker, "A scheduling model for reduced CPU energy," *Proceedings of IEEE Annual Foundations of Computer Science*, pp. 374~382, 1995.
- [5] T. Ishihara and H. Yasuura, "Voltage scheduling problem for dynamically variable voltage processors," *Proceedings of IEEE International Symposium on Low Power Electronics and Design*, pp. 197~202, 1998.
- [6] Y. Shin and K. Choi, "Power conscious fixed priority scheduling for hard real-time systems," *Proceedings of Design Automation Conference*,

- pp. 134~139, 1999.
- [7] I. Hong, D. Kirovski, G. Qu, M. Potkonjak, and M. Srivastava, "Power optimization of variable-voltage core-based systems," *IEEE Transactions on Computer-Aided Design of Integrated Curciuts and Systems*, Vol. 18, No. 12, pp. 1702~1714, Dec. 1999.
- [8] S. Lee and T. Sakurai, "Run-time voltage hopping for low-power real-time systems," *Proceedings of Design Automation Conference*, pp. 806~809, 2000.
- [9] D. Shin, J. Kim, and S. Lee, "Intra-task voltage scheduling for low energy hard real-time applications," *IEEE Design and Test of Computers*, Vol. 18, No. 2, pp. 20~30, Mar. 2001.
- [10] T. Burd, T. Pering, A. Stratakos, and R. Brodersen, "A dynamic voltage scaled microprocessor system," *Proceedings of IEEE International Solid-State Circuits Conference*, pp. 294~295, 2000.
- [11] V. Gutnik and A. Chandrakasan, "An efficient controller for variable supply-voltage low power processing," *Proceedings of IEEE Symposium on VLSI Circuits*, pp. 158~159, 1996.
- [12] A. Chandrakasan, S. Sheng, and R. Brodersen, "Low-power CMOS digital design," *IEEE Journal of Solid State Circuits*, Vol. 27, No. 4, pp. 473~484, Apr. 1992.
- [13] T. Sakurai and A. Newton, "Alpha-power law MOSFET model and its application to CMOS inverter delay and other formulas," *IEEE Journal of Solid State Circuits*, Vol. 25, No. 2, pp. 584~594, Apr. 1990.
- [14] ISO/IEC JTC1/SC29/WG11 14496-2, "Coding of audio-visual objects: visual," Oct. 1998.

 저 자 소 개



李誠洙(正會員)

1991년 서울대학교 전자공학과 학사.
 1993년 서울대학교 전자공학과 석사.
 1998년 서울대학교 전기공학부 박사.
 1998년~2000년 Research Associate
 at University of Tokyo. 2000년~현
 재 이화여자대학교 정보통신학과 전
 임강사. <주관심분야: 저전력 시스템, VLSI 설계 및
 멀티미디어 신호처리>