

論文2002-39SD-4-4

복잡한 ULSI 배선 구조 생성을 위한 토포그래피 모델링 및 시뮬레이션

(Topography Modeling and Simulation for the Complex Structures of ULSI Interconnects)

權五變*, 尹錫仁*, 金演泰*, 尹林澤**, 元太暎**

(Ohseob Kwon, Sukin Yoon, Yountae Kim, Imtaek Yoon, and Taeyoung Won)

요약

본 논문에서는 반도체 공정 중, 토포그래피 시뮬레이션을 수행함에 있어서, 기존의 셀 모델을 수정하여, 소요되는 메모리의 양을 최소화하는 셀 전진 모델을 개발하였다. 셀 전진 모델은, 전체 시뮬레이션 영역은 물질 정보만으로 나타내지며, 표면의 셀들만으로 리스트가 구성되고, 리스트에 표면 진화 계산에 필요한 정보가 저장된다. 개발된 시뮬레이터는 해석적 모델과 몬테카를로 모델을 이용하여 식각 공정에 있어서 입사 이온 분포가 계산되며, 단위 공정뿐만 아니라 공정 순서도에 따라 적층 캐패시터 또는 디램 셀(DRAM cell) 제조 공정과 같은 통합 공정을 수행한다. 개발된 시뮬레이터를 이용하여 디램 셀 제조 공정 시뮬레이션을 수행하였을 경우에, 소요된 셀은 5,440,500(130×155×270)개였고, 메모리 양은 22MB에 불과하였다.

Abstract

A dynamically-allocated topographical model, so-called cell advancing model, has been developed modifying the cell model. Memory requirements are reduced by dynamically allocating completed topography and material information only at surface cells, and setting other cells as a material index. In this paper, this model is presented and verified with applications to etching process by using the analytic model and Monte Carlo model for the incident ion flux, deposition process, and process integration. In case of DRAM cell fabrication process with 5,440,500(130×155×270) cells takes about 22MB memory to represent the topography.

Key words : cell advancing model, etching, deposition, topography, process simulation

* 學生會員, ** 正會員, 仁河大學校 工科大學 電子電氣
工學部 컴퓨터이셔널 일렉트로닉스 센터

(Computational Electronics Center, Division of
Electrical and Computer Engineering, College of
Engineering, Inha University)

※ 본 연구는 정보통신부 '대학정보통신연구센터(University
Information Technology Research Center, ITRC) 지
원사업'의 일환으로 수행되었습니다.

接受日字:1999年9月6日, 수정완료일:2001年12月31日

I. 서론

기가 비트(giga bit)급 반도체 메모리 시대에 접어든
세계 반도체 시장은 디램 셀(DRAM cell)과 로직(logic)
을 함께 집적화시킨 MDL(Merged DRAM and Logic)
제품으로 이전되는 경향을 보이고 있다. 이에 따라, 반
도체 제조 공정은 복잡도가 더욱 심화되고 있으며, 기
판 상 구조물의 상하 단차와 종횡비가 더욱 증가하고
있다. 따라서, 금속의 인터커넥션이나 절연막 도포를 위

한 증착 공정 또는 트랜치/비아 등을 형성하기 위한 건식 식각 공정 등이 핵심 단위 공정으로 인식되고 있다. 이와 함께 향후 기가 및 테라 비트(tera bit) 반도체 소자에서 기판 상에 제조된 구조물의 형상에 대하여 시뮬레이션을 수행 할 수 있는 TCAD (Technology Computer-Aided Design) 환경 구축을 위해, 많은 연구가 진행되고 있다.

그 동안 공정 엔지니어들은 단위 공정 최적화에만 몰두하는 경향이 있었으나, 최근에는 단위 공정 개발만으로는 어려운 공정 통합(process-integration) 연구의 필요성이 대두되고 있다. 공정 통합 엔지니어들은 단위 공정의 공정 조건 최적화보다는 최종 결과물을 도출해내기 위한 단위 공정들의 최상의 결합 조건이나 방법을 찾고 있다. 공정 통합 엔지니어들에게는 공정에 사용되는 가스의 조성비보다는 정렬실패(mis-alignment)나 패시베이션(passivation) 막에 대한 스텝 커버리지(step coverage)의 변화 정도가 최종 결과물에 미치는 영향 등이 주요 관심사가 된다.

이는 다층 배선 인터커넥트 구조와 같은 복잡한 구조를 형성하고 이의 특성을 측정하여 최적화하기 위해서는 우선 전체 구조를 파악하는 것이 중요하기 때문이다. 그러나, 단위 공정만으로는 전체 구조를 파악하기는 불가능하다고 할 수 있으며, 단위 공정이 통합된 연속 공정을 통해서만 파악 할 수 있다. 이에 대하여 몇몇의 논문이 보고된바 있으나, 최종 결과물의 구조가 단순할 뿐만아니라, 한 두개의 공정만을 시뮬레이션하는 한계점을 가지고 있다^[1~4].

따라서, 본 논문에서는 기존에 토포그래피 진화를 구현하는 방법으로 적용되던 셀 모델을 수정^[1~35~7]하여, 메모리 소요량을 최소화하고 복잡한 레이아웃을 통한 3차원 토포그래피 시뮬레이션을 수행 할 수 있는 새로운 셀 전진방법을 제안한다. 본 논문에서는 기존의 셀 모델을 수정한 셀 전진 모델을 설명하고, 이를 적용하여 복잡한 구조의 반도체 소자 제조 공정에 대한 시뮬레이션을 수행한다.

II. 3차원 토포그래피 진화 알고리즘 개발 및 구현

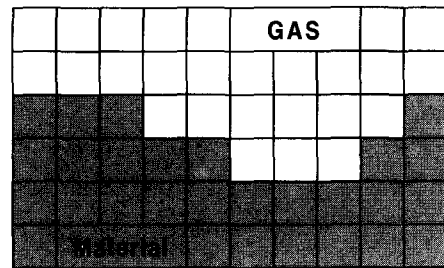
1. 셀 전진 모델

식각 및 증착 공정이 진행되면서 변하는 기판 표면의 토포그래피 진화를 구현하기 위해서 셀 모델을 적

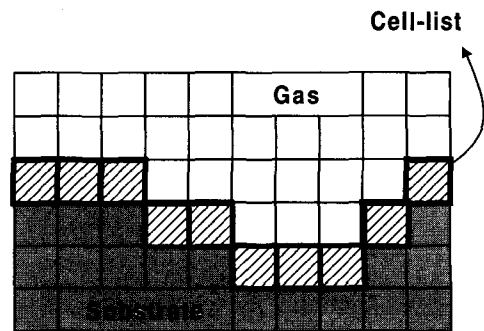
용하였다. 셀 모델은 시뮬레이션을 수행하고자 하는 영역을 육면체의 셀들로 나누고, 표면의 셀들을 식각물 또는 증착물에 따라 제거하거나 추가하면서 영역의 형상을 구현하는 알고리즘이다^[1,2]. 셀 모델을 적용함에 있어서, 식각/증착물은 셀의 내부에서는 일정하다고 가정하였으며, 고정된 시간 간격으로 인하여 발생하는 오차가 인접한 셀에 전달되면서 누적되는 오차를 제거하기 위한 스피로버 알고리즘을 적용하였다^[5].

이와 같은 기존의 셀 모델은 시뮬레이션을 수행하고자 하는 영역을 셀들로 나누므로, 3차원 영역을 셀 모델을 적용하여 시뮬레이션을 수행할 경우에는, 시뮬레이션 영역의 확장에 따라 요구되는 메모리의 양은 기하급수적으로 증가하는 문제점을 가지고 있다^[1,5]. 또한, 셀 모델에서는 셀의 크기가 작을수록 정확한 계산 결과를 얻을 수 있으나, 이럴 경우에 소요되는 메모리의 양으로 인하여 셀의 크기를 감소시키는데 한계가 있다.

본 연구에서는 이러한 기존의 셀 모델의 단점을 보완하기 위해서, 셀 전진 모델을 개발하였다. 셀 전진 모델은 시뮬레이션을 수행하고자 하는 전체 영역은 셀의 물질 정보만으로 표현하며, 표면의 셀들만을 링크드 리스트(linked-list)로 구성하여 기판 표면의 진화를 계산하는 알고리즘이다.



(a)



(b)

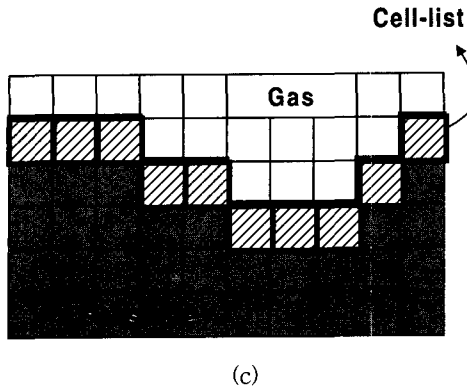





그림 1. 셀 전진 알고리즘의 개요; (a) 초기 구조, (b) 식각 공정 시뮬레이션을 수행할 경우의 셀 리스트, (c) 증착 공정 시뮬레이션을 수행할 경우의 셀 리스트

Fig. 1. Plots showing the schematic presentation of cell advancing model; (a) A initial structure, (b) A cell-list of etching process simulation, and (c) A cell-list of deposition process simulation.

셀 전진 모델은 그림 1에 도시한 바와 같이 그림 1(a)의 초기 구조에서 식각 공정 시뮬레이션을 수행할 경우에는 그림 1(b)에 도시한 바와 같이 로 표시된 'Substrate' 셀 중에서 로 표시된 'Gas' 셀과 인접한 셀이 으로 표시된 셀 리스트로 구성된다. 증착 공정 시뮬레이션을 수행할 경우에는 그림 1(a)의 초기 구조에서 그림 1(c)에 도시한 바와 같이 'Gas' 셀이 'Substrate' 셀과 인접한 셀이 셀 리스트로 구성된다. 셀 리스트에는 셀의 전체 시뮬레이션 영역에 대한 위치를 파악하기 위한 배열정보, 식각/증착률, 셀이 주위의 셀과 인접한 상태를 나타내는 셀 면의 노출 정보, 부피 변화 정보, 스피오버를 위한 정보 등이 저장된다. 따라서, 시뮬레이션을 수행할 때 소요되는 메모리의 양을 최소화 할 수 있다.

2. 단위공정 모델링

1) 식각 공정 모델링

본 논문에서는 식각 공정 모델링에 있어서, 직접 입사하는 입자에 의한 기판과의 물리적 반응과 화학적 반응으로 이루어지는 식각 뿐만 아니라 두 반응이 동시에 일어나는 반응에 의한 증속 식각(enhanced etching)을 모델링하였다^[6,7]. 또한, 기판으로 입사하는 입자가 표면에 도달하여 반응하지 않고 반사되어 재입사하는 입자에 의한 식각을 고려하였다.

sheath를 통과하여 기판 표면에 도달하는 이온의 분포는 해석 모델로서 식 (2)와 같이 가우시안(Gaussian) 형태의 정규분포로 모델링하였다. 여기서, θ 와 ϕ 는 좌표계에서의 각이며, σ 는 이온 분포의 표준 편차로서 주어진 지점에 도달하는 이온들이 sheath 내에서 충돌하는 정도에 따라 결정된다. 본 논문에서는, 특히, sheath를 통과하여 기판 표면에 도달하는 이온의 분포를 가우시안 모델과 함께 몬테카를로 방법에 의한 이온 분포 모델을 적용하였다. 반응성 중성 라디칼의 분포는 식(3)의 하이퍼 코사인 모델(hyper-cosine model)을 도입하였다^[8]. $F_{rad}(\theta, \phi)$ 은 중성 라디칼의 분포를 나타내고, m 은 보정 계수이다.

에너지를 가지고 입사하는 이온은 기판 표면을 손상시킬 수 있으며, 라디칼과 웨이퍼 표면의 반응은 손상되지 않은 영역보다 손상된 영역에서 더 활발하게 일어난다. 이와 같은 메카니즘의 이온 증속 식각을 직접 입사하는 이온의 양에 따라 라디칼의 식각률 ER_{rad} 에 포함하여 모델링하였다. D_{ion} 은 직접 입사하는 이온에 의해서 중성 라디칼의 화학적 식각 반응이 증속되는 메카니즘을 고려한 손상 계수이다. 따라서, D_{ion} 을 고려한 평탄한 표면에서의 식각률은 $ER_{rad}(1+D_{ion})$ 이다. 입사 플럭스가 표면에 도달하여 표면과 완전한 반응을 하지 않고 에너지를 가지고 반사되어 다른 지점에 도달하였을 때, 도달한 지점을 식각 할 수 있다. 반사되는 플럭스는 경로가 불규칙적이고 모든 방향으로부터 입사한다고 가정하여, 식 (4)와 같이 표현하였다.

식(1)에서 $er(i, j, k)$ 은 진화하는 표면을 구성하는 셀의 최종 식각률이다. ER_{is} 는 마스크의 구조에 따라 변하는 가시도에 의하여 영향을 받지 않는 등방성 식각률이며, ER_{ion} 은 입사 이온에 의한 식각률을 나타내고, ER_{ref} 은 반사된 입자에 의한 식각률을 나타낸다. $V_{\theta, \phi}$ 는 각 셀로부터 구면 좌표계에 의해서 설정되는 조각까지의 가시도를 나타내고, α 는 표면 셀의 표면 수직 벡터(surface normal vector)와 입자의 입사 방향과의 각이며, N_{ion} , N_{rad} 는 각각 이온 플럭스와 라디칼 플럭스의 정규화 인자이다.

$$er(i, j, k) = ER_{is} + \int_{\theta, \phi} [ER_{ion} \cdot V_{\theta, \phi} \cdot \frac{F_{ion}(\theta, \phi)}{N_{ion}} + ER_{rad}[1 + D_{ion} \int_{\theta, \phi} (V_{\theta, \phi} \cdot \frac{F_{ion}(\theta, \phi)}{N_{ion}})]]$$

$$\cdot V_{\theta, \phi} \cdot \frac{F_{rad}(\theta, \phi)}{N_{rad+}} ER_{ref} \cdot (1 - V_{\theta, \phi}) \cdot F_{ref}(\theta, \phi)] \cos \alpha \sin \theta d\theta d\phi \quad (1)$$

$$F_{ion}(\theta, \phi) = \exp\left(-\frac{\theta^2}{2\sigma^2}\right) \quad (2)$$

$$F_{rad}(\theta, \phi) = \cos^m \phi \quad (3)$$

$$F_{ref}(\theta, \phi) = 1 \quad (4)$$

2) 증착 공정 모델링

증착 공정 시뮬레이션을 위한 모델은 식 (5)의 CVD (Chemical Vapor Deposition)의 등방성 증착 모델만을 고려하였다. 등방성 증착물만을 적용할 경우에는 기판 표면을 따라 일정한 두께로 물질이 증착된다.

$$dr(i, j, k) = DR_{is} \quad (5)$$

증착 공정 시뮬레이션에서는 식각 공정 시뮬레이션에서와는 달리 시뮬레이션 영역이 계속 변한다. 이것은 시뮬레이션 초기에 할당된 메모리만으로 시뮬레이션을 계속 수행 할 수 없다는 것을 의미한다. 따라서, 시뮬레이션이 진행함에 따라 필요한 만큼의 메모리를 추가 할당한 후에, 메모리를 추가 할당하기 전의 모든 정보를 새로 할당된 메모리에 복사하는 메모리의 재 할당 알고리즘을 개발하였다. 메모리 재 할당은 증착 공정의 단위 공정에서 뿐만 아니라 통합 공정을 수행함에 있어서, 식각 공정을 수행한 후에 패터닝 된 마스크를 제거 할 때와 같이 영역이 감소할 때도 같은 알고리즘을 적용하였다.

III. 시뮬레이션

1. 몬테카를로 이온 분포에 의한 식각 공정 시뮬레이션

그림 2는 몬테카를로 이온 분포에 의한 시뮬레이션 결과로서 플라즈마 챔버 내의 압력이 600 mTorr 일 경우이다. 그림 2(a)도는 이온의 각 분포와 에너지 분포를 나타낸 결과이고, 그림 2(b)는 이온의 3차원 각 분포만을 나타낸 결과이며, 그림 2(c)는 식각 시뮬레이션 결과이다. 챔버 내의 압력이 낮으면 이온들 간의 충돌이 감소하기 때문에 산란되는 이온의 수는 매우 적지만, 챔버 내의 압력이 높으면 이온들 간의 충돌이 증가하기 때문에 이온의 산란 정도가 커져 0° 에서 벗어난 분포를 보이며, 그림 2(c)도에 나타난 바와 같이 언더컷(under-cut)이 강하게 형성된다.

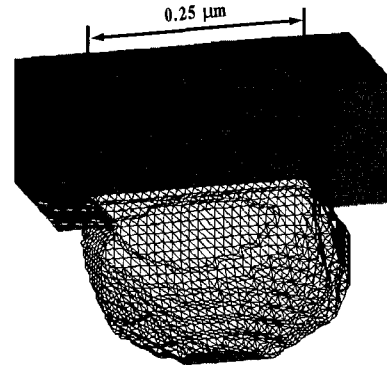
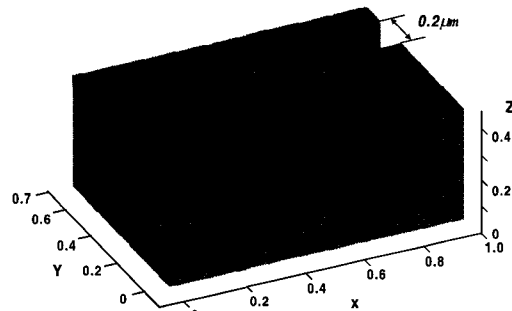


그림 2. 몬테카를로 이온 분포에 의한 식각 공정 시뮬레이션 결과. 압력=600 mTorr

Fig. 2. Plot showing the results of the dry etching process at 600 mTorr by using Monte Carlo ion distribution.

2. TEOS-CVD 공정 시뮬레이션

전술한 셀 전진 모델을 TEOS(Tetraethylorthosilicate)-CVD 공정 시뮬레이션에 적용하였다. 그림 3(a)는 TEOS-CVD 공정 시뮬레이션을 수행하기 위한 실리콘(Si) 기판의 초기 구조로서, 전술한 그림 1(c)의 셀 전진 모델에서와 같이 기판의 표면을 구성하는 셀들과 접한 'Gas' 셀들만이 셀 리스트로 구성되며, 증착물과 셀의 노출 정보에 따라 셀의 부피 변화를 계산한다. 셀 리스트 중에서 셀의 부피가 정규화된 부피가 되면, 셀 리스트에서 제거될 셀과 인접한 셀들 중에서 리스트에 포함되지 않고, 셀의 물질 정보가 'Gas'인 셀들만이 셀 리스트에 새로이 추가되며, 제거 대상인 셀의 물질 정보는 'TEOS'로 변환된 후에 제거된다. 이때, 셀의 부피가 정규화된 부피를 초과하면 스페일오버 알고리즘을 적용하여, 오차가 주의의 셀들에 전달되는 문제를 해결하였다.



(a)

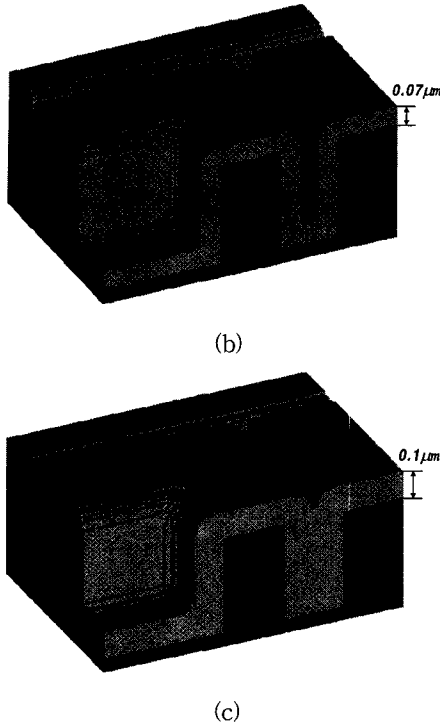


그림 3. TEOS-CVD 공정 시물레이션을 위한 기관의 초기 구조; (a) 25초 후의 표면 진화 결과, (b) 35초 후의 표면 진화 결과
 Fig. 3. Plots showing (a) the initial Si-sub. after anisotropic etching process simulation for TEOS-CVD process simulation, (b) a simulation result after 25 sec., and (c) a simulation result after 35 sec.

그림 3(a)의 초기 구조는 $1\ \mu\text{m} \times 0.7\ \mu\text{m} \times 0.4\ \mu\text{m}$ 의 영역에 대하여, 총 280,000($100 \times 70 \times 40$) 개의 셀로 구성하였으며, 비등방성 식각률을 적용하여 시물레이션 한 후의 실리콘 기관 구조이다. 그림 3(b)는 25초 후의 표면 진화 모습이고, 그림 3(c)는 35초 후의 표면 진화 모습이다. TEOS-CVD 공정에 대하여 등방성 증착률만을 적용하였으므로, 기관 표면을 따라 일정한 두께의 TEOS가 형성된 것을 확인 할 수 있다.

3. 디램 셀의 제조 공정 시물레이션

토포그래피 시물레이션 툴의 유용하게 사용되는 분야 중 하나는 공정 통합 분야이다. 이미 양산 단계로 들어선 256-Mbit 칩의 경우, 디램의 복잡한 디자인으로 인하여 레이아웃으로부터 3차원 구조를 완전하게 표현하는 것은 불가능하다고 할 수 있다. 따라서, 공정 통합 엔지니어들은 2차원으로만 표현된 복잡한 레이아웃에 대한 공정을 시작하기 전에 검증에 대한 필요성을 절

감하고 있다.

다음에 도시한 그림 4는 디램 셀에 적용되는 실린더 형태의 적층 캐패시터(stacked-capacitor) 구조에 대한 레이아웃이다. 현재의 디램(DRAM)은 여러 가지 형태의 캐패시터 구조가 있으나, 그림 4는 MIM(Metal-Insulator-Metal) 형태의 적층 캐패시터 구조에 대한 레이아웃이다^[9,10]. 토포그래피 시물레이터는 레이아웃 에디터(layout editor)로부터 마스크 레이아웃에 대한 정보가 런-시트 에디터(run-sheet editor)로 입력되며, 이로부터 시물레이션을 위한 공정 순서도가 작성된다^[11]. 레이아웃 에디터와 런-시트 에디터는 Tcl/tk로 프로그래밍 되었다. 실제 공정에서 적용되는 캐패시터 제조 공정 순서는 표 1에 도시한 바와 같으며, 시물레이션을 위한 공정 순서도의 입력 내용은 표 1과 동일하게 작성되었다. 표 1에서 TiN 식각 보호막(etch-stopper)은 스토리지 노드(storage node)를 형성하고 난 후에 SiO₂ 프레임 층(frame layer)을 제거할 때의 보호층으로 사용되며, 프레임 층의 제거 후에 RIE(reactive ion etching)로 제거된다. 스토리지 노드를 형성한 후에, 스핀 코팅(spin coating)을 하는 것은 후속 공정인 CMP 공정에 의한 스토리지 노드의 손상을 막기 위한 공정이다. 표 1에서 스핀 코팅 공정은 CVD 공정으로 구현하였으며, RTA(rapid thermal annealing) 공정은 포함되지 않았다.

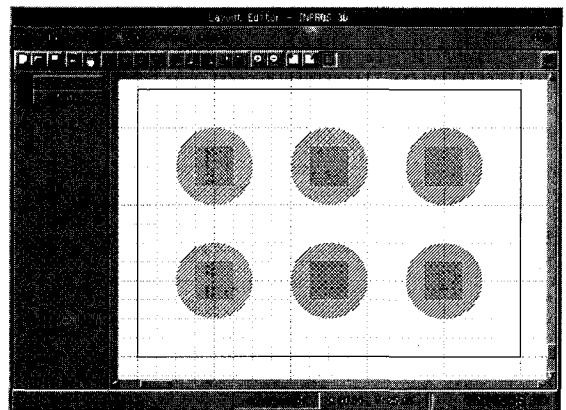


그림 4. 실린더 형태의 적층 캐패시터 구조에 대한 레이아웃
 Fig. 4. A plot showing the layout of the cylindrical stacked-capacitor.

그림 5는 공정 순서도에 따라 시물레이션된 캐패시터 구조의 시물레이션 결과로서, 그림 5(a)는 최종 결

표 1. 실린더 형태의 적층 캐패시터 제조를 위한 공정 순서

Table 1. Process sequence for the cylindrical stacked-capacitor fabrication.

<ul style="list-style-type: none"> • CVD-TEOS on Poly-Si • Contact opening for W-plug formation • Sputter-TiN/Ti for etch-stopper formation • Sputter-W for contact plug formation • CMP • CVD-SiO₂ frame layer formation • SiO₂ frame layer etching • CVD-PolySi storage node formation • Spin-coat • CMP-Cylinder body metal • Frame layer removal • TiN etch-stopper removal by RIE • RTA treatment • CVD-Ta₂O₅ capacitor dielectric formation • CVD-PolySi plate node formation
--

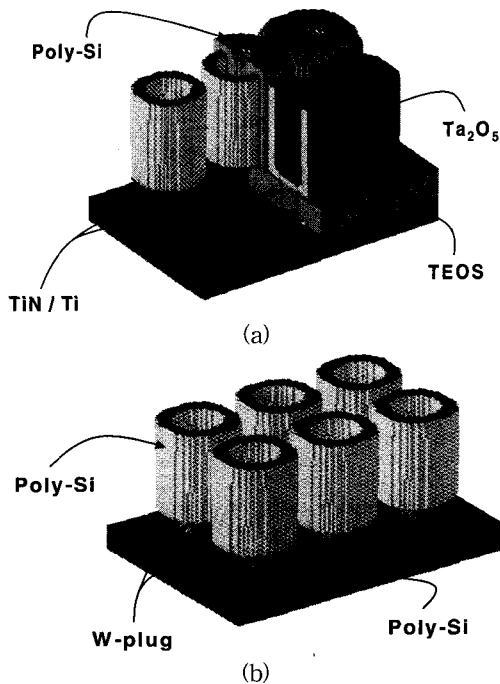


그림 5. 실린더 형태의 적층 캐패시터 제조 공정 시뮬레이션 결과; (a) 최종 결과에서 일부를 제외하고 나타낸 결과 (b) 폴리실리콘 기판, 텅스텐 플러그, 스토리지 노드만을 나타낸 결과

Fig. 5. Plots showing the simulation results of the cylindrical stacked-capacitor fabrication process; (a) A simulation result of a part of the final result and (b) A simulation result of Poly-Si substrate, W-plug, and storage node.

과에서 폴리실리콘(Poly-Si) 플레이트 노드(plate node), 유전체(Ta₂O₅), TEOS 등의 일부를 제외하고 나타낸 결과이며, 그림 5(b)는 폴리실리콘 기판과 텅스텐 플러그(W-plug), 스토리지 노드만을 나타낸 결과이다. 표 1과 그림 5에서와 같이 시뮬레이션은 스토리지 노드, 유전층, 플레이트 노드를 형성하는 과정까지 수행되었다. 시뮬레이션을 수행함에 있어서, 콘택 플러그(contact plug)는 텅스텐(W)으로 가정하였으며, 유전층은 Ta₂O₅로 가정하였다. 이 경우에, 시뮬레이션에 소요된 시간은 SUN ULTRA 1에서 5676.7초였고, 총 455,000(100×70×65)개의 셀이 사용되었다.

다음에 도시한 그림 6은 게이트 길이(gate-length)가 0.18 μm인 실린더 형태의 적층 캐패시터 구조를 갖는 디램 셀의 레이아웃으로서, 4개의 워드 라인(word line)과 2개의 비트 라인(bit line)을 갖는 구조이며, 박스 형태로 선택된 부분이 시뮬레이션을 수행하고자하는 영역이다. 디램 셀 제조 공정 순서는 활성 영역과 소자 격리를 위한 STI(Shallow Trench Isolation)를 형성하는 것으로부터 시작하여, 워드라인, 셀 패드(cell pad), 비트라인 등을 형성하고, 스토리지 노드와 플레이트 노드를 형성하는 순서로 진행된다.

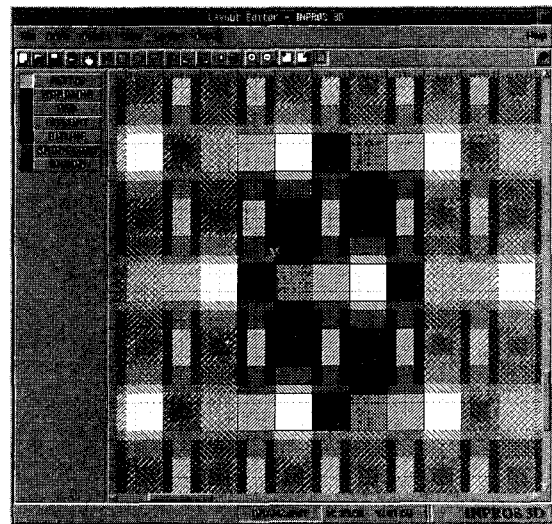


그림 6. 게이트 길이가 0.18 μm인 디램 셀 구조에 대한 레이아웃

Fig. 6. A plot showing the layout of DRAM cell with 0.18 μm gate length.

그림 7은 그림 6의 디램 셀 구조에 대한 레이아웃을 바탕으로 작성된 공정 순서도에 의해서 시뮬레이션을 수행하고, 시뮬레이션 결과 중에서 주요 단계만을 나타

낸 결과이다. 그림 8에 그림 7(h)의 최종 결과에서 일부를 제외하고 나타낸 결과를 도시하였으며, 게이트 층에서 일부분만 확대하여 함께 도시하였다. 이 경우에, 시뮬레이션에 소요된 시간은 약 15시간이었으며, 총 5,440,500(130×155×270)개의 셀이 사용되었다. 또한, 전체 시뮬레이션 영역에 대해서 소요된 메모리의 양은 일반적인 유닉스(UNIX) 시스템에서 정수(Integer)가 4 Bytes이므로, $5,440,500 \times 4 = 21,762,000$ Bytes 로서, 약 22MB에 불과하였다. 그림 7의 결과에서 각각의 색은 서로 다른 물질을 나타내거나, 같은 물질이라도 서로 다른 단위 공정에 의해서 수행된 경우를 나타낸다.

현재, 반도체 소자 제조 공정에는 많은 수의 마스크가 사용되며, 집적도가 증가하고 다층 배선을 사용할수록 심화되고 있다. 이에 대하여, 정렬(alignment)에 대한 중요성이 증가하고 있으나, 공정 여유(margin)가 감소해 작은 오차에도 단락의 원인이 되는 문제점을 가지고 있다. 이 경우에는 다시 공정을 수행한 후에 확인해야 하지만 상하 단차와 중횡비가 증가할수록 어려움이 가중되고 있다.

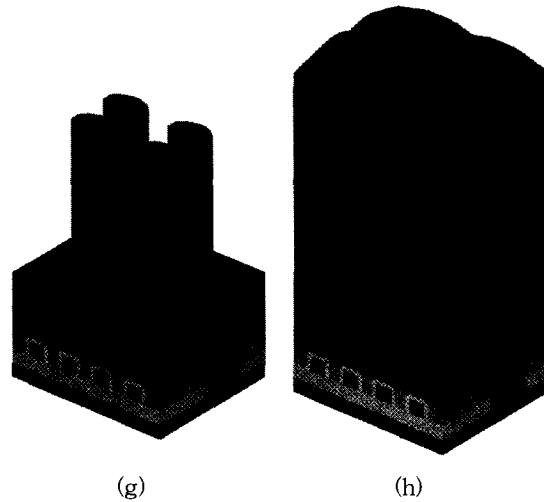
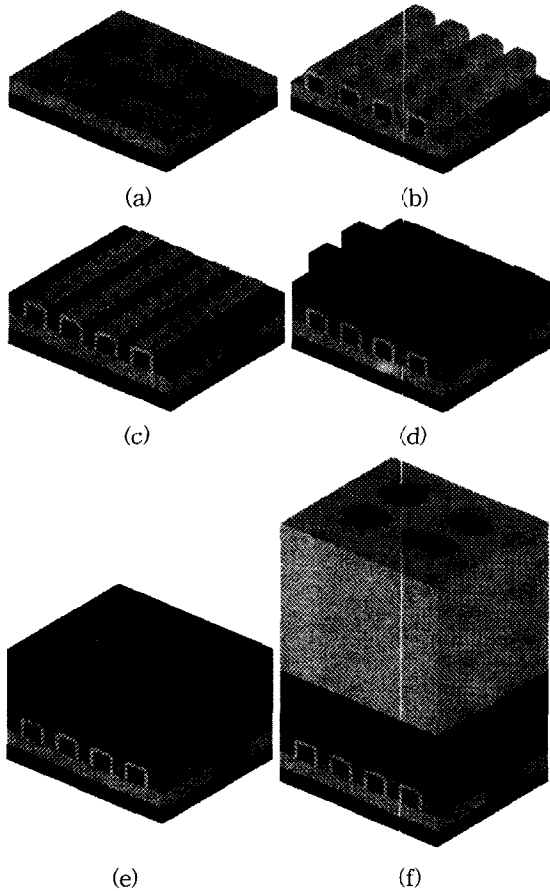


그림 7. 디램 셀 제조공정 시뮬레이션 결과; (a) STI 형성, (b) 워드 라인 및 스페이서 형성, (c) 1차 층간절연막 증착 및 셀 패드 형성, (d) 2차 층간절연막 증착 및 비트 라인 형성, (e) 3차 층간절연막 증착, 콘택 형성 및 텅스텐 플러그 형성, (f) 프레임 층 형성, 스토리지 노드 형성, (g) 프레임 층 제거, (h) 플레이트 노드 형성 및 4차 층간절연막 증착

Fig. 7. A plot showing the simulation result of the DRAM cell fabrication process; (a) STI formation, (b) word line and sidewall spacer formation, (c) 1st ILD deposition and cell pad formation, (d) 2nd ILD and bit line formation, (e) 3rd ILD deposition, contact hole and W-plug formation, (f) frame layer and storage node formation, (g) frame layer removal, and (h) plate node formation and 4th ILD deposition.

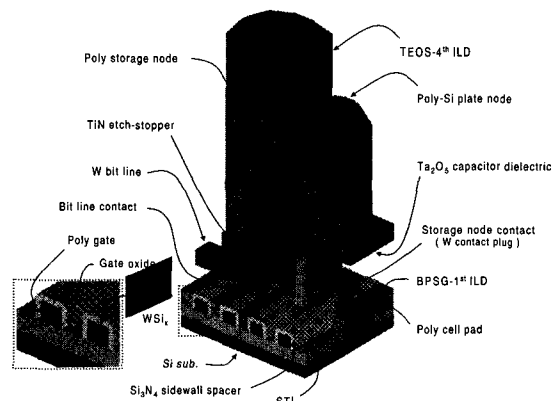


그림 8. 최종 결과에서 일부를 제외하고 나타낸 결과
Fig. 8. A plot showing the simulation result of a part of the final result.

그림 9는 정렬실패(mis-alignment)의 한 예를 도시한 그림으로서, 그림 7(e) 전 단계의 TiN 식각 보호막을 형성할 때까지의 시뮬레이션을 수행한 결과이다. 그림에서 확인할 수 있는 바와 같이 TiN가 게이트를 넘어 실리콘 기판까지 도달하였다. 이것은 콘택 플러그를 형성하기 위해서 식각 공정을 수행할 때, 정렬 실패된 마스크로 인하여 과도 식각된 후에 TiN 증착 공정에서 과도 식각된 부분으로 TiN가 증착되기 때문이다. 이 경우에, 시뮬레이션을 수행함에 있어서, 디램 셀에 대한 레이아웃을 직접 수정 할 수 있으나, 공정 순서도에서 레이아웃 데이터를 수정하여 다시 시뮬레이션을 수행하였으며, 이에 대한 결과가 그림 7(e)이다. 실제 공정을 수행할 때도 모든 공정을 수행한 후에 확인하는 과정을 거치지 않고 시뮬레이션을 통하여 확인할 수 있을 것이다.

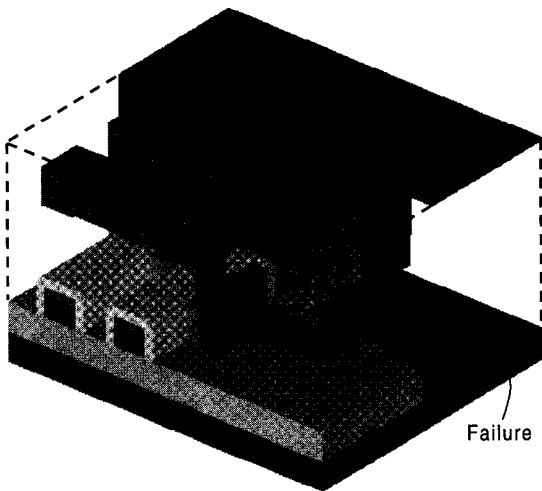


그림 9. 정렬실패(mis-alignment)에 의한 단락 현상
Fig. 9. A plot showing the simulation result of the short circuit by a misalignment.

IV. 결론

본 논문에서는 통합 공정과 단위 공정 개발을 위한 새로운 토폴그래피 시뮬레이터를 개발하였다. 기존의 셀 모델을 수정한 셀 전진 모델을 개발하고, 이를 적용한 토폴그래피 시뮬레이터를 개발하여 시뮬레이션에 소요되는 메모리의 양을 최소화하였다. 개발된 시뮬레이터는 레이아웃 에디터와 런-스위트 에디터를 통하여 작성된 공정 순서도를 입력 정보로하여 시뮬레이션을 수행한다. 또한, 개발된 시뮬레이터는 해석적 모델과 몬

테카를로 모델을 이용하여 입사 이온 분포를 계산한 식각 공정의 단위 공정과 공정 순서도에 의한 통합 공정을 수행한다.

개발된 토폴그래피 시뮬레이터를 이용하여 CVD 공정과 디램 셀에 적용되는 실린더 형태의 적층 캐패시터에 대한 제조 공정 및 게이트 길이가 $0.18 \mu\text{m}$ 인 디램 셀 제조 공정에 대한 시뮬레이션을 수행하였다. 디램 셀 제조 공정 시뮬레이션의 경우에, 시뮬레이션에 소요된 시간은 약 15시간이었으며, 총 5,440,500($130 \times 155 \times 270$)개의 셀로 구성된 전체 시뮬레이션 영역에 대해서 약 22 MB의 메모리가 소요되었다.

참고 문헌

- [1] Masato Fujinaga and Norihiko Kotani, "3-D topography Simulator (3-D MULSS) Based on a Physical Description of Material Topography", *IEEE Trans. Electron Devices*, Vol. 44, No. 2, pp. 226~238, Feb. 1997.
- [2] E. Scheckler, "Algorithms for three-dimensional simulation of etching and deposition processes in integrated circuits fabrication," *Memo. no. UCB/ERL M91/99, University of California, Berkeley*, 12 Nov. 1991.
- [3] Rul Martins, et al, "High-Precision Interconnect Analysis," *IEEE Trans. Computer-Aided Design*, Vol. 17, No. 11, pp. 1148~1159, Nov. 1998.
- [4] J. McVittie, et al, "SPEEDIE: A Profile Simulator for Etching and Deposition," *SPIE*, Vol 1392, "Advanced Techniques for IC Processing," pp. 126~137, 1990.
- [5] Taeyoung Won, "Three-Dimensional Modeling and Simulation of Dry Etching Process", *JKPS*, Vol. 33, pp. 72~75, Nov. 1998.
- [6] E. Leitner, W. Bohmayr, P. Fleischmann, E. Strasser, and S. Selberherr, "3-Dimensional Process Simulation(ed. J. Lorenz)," pp.136~161, Springer -Verlag wien, new York, 1995.
- [7] Ohseob Kwon, Jachee Lee, Sangho Yoon, Yongchan Ban, Yountae Kim, and Taeyoung Won, "Modeling of Plasma Etching and Development of Three-Dimensional Topography

- Simulator," *J. IEEK-D*, Vol. 35, No. 2, pp. 119~126, February 1998.
- [8] Yongchan Ban, Jachee Lee, Sangho Yoon, Ohseob Kwon, Yountae Kim, and Taeyoung Won, "Calculation of Ion Distributions in an RF Plasma Etching System Using Monte Carlo Methods," *J. IEEK-D*, Vol. 35, No. 5, pp. 472~480, May 1998.
- [9] "Embedded Technologies for System on a Chip," *Proc. of VLSI Technology Short Course, 1999 Symp. on VLSI Tech.*, June 13, 1999.
- [10] S. Kamiyama, et al, "Highly Reliable MIM Capacitor Technology Using Low Pressure CVD-WN Cylinder Storage-Node for 0.12 μm -scale Embedded DRAM," *1999 Symp. on VLSI Technology, Dig. of Tech. Papers*, pp. 39~40.
- [11] Sukin Yoon and Taeyoung Won, "A Study on the Extraction of Parasitic Capacitance for Multiple-level Interconnect Structure," *J. IEEK-D*, Vol. 36, No. 5, pp. 424~433, May 1999.

저 자 소 개



權 五 變(學生會員)

1972년 9월 18일생. 1997년 인하대학교 전자재료공학과(공학사). 1999년 인하대학교 전자재료공학과(공학석사). 1999년~현재 인하대학교 전자재료공학과 박사과정. <주관심분야: 반도체 공정 물리 및 시뮬레이션, MEMS 모델링 및 시뮬레이션 등임>



尹 錫 仁(學生會員)

1972년 12월 30일생. 1998년 인하대학교 전자재료공학과(공학사). 2000년 인하대학교 전자재료공학과(공학석사). 2000년~현재 인하대학교 전자재료공학과 박사과정. <주관심분야: 반도체 소자 및 공정, 인터랙티브 시뮬레이션, TCAD와 ECAD의 인터페이스 등임>

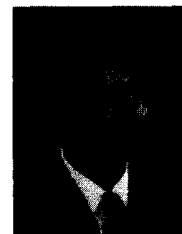
金 演 泰(學生會員) 論文 第35卷 D編 第5號 參照

1970년 4월 16일생. 1994년 인하대학교 전자공학과(공학사). 1996년 인하대학교 전자재료공학과(공학석사). 1996년~현재 인하대학교 전자재료공학과 박사과정. <주관심분야: 반도체 소자 및 공정, RF/microwave 소자, 반도체 시뮬레이션 등임>



尹 林 澤(正會員)

1956년 11월 15일생. 1980년 서강대학교 물리학과(이학사). 1987년 University of North Texas 물리학과(이학석사). 1991년 University of North Texas 물리학과(이학박사). 1994년~1995년 Arizona State University 물리학과 객원연구실. 1998년~1999년 University of Illinois, Urbana-Champaign, ECE Department, Research Scholar, 2001년~인하대학교 객원교수. <주관심분야: 반도체 소자 및 공정, TFT-LCD, MEMS 모델링 및 시뮬레이션 코드 개발 등임>



元 太 暎(正會員)

1959년 2월 21일생. 1981년 서울대학교 전자공학과(공학사). 1983년 한국과학기술원 전기 및 전자공학과(공학석사). 1989년 미국 University of Illinois at Urbana-Champaign 전자공학과(공학박사). 1989년~1990년 미국 State University of New York 조교수. 1990~1991년 삼성전자(주) 수석연구원. 1991년~현재 인하대학교 공과대학 전자전기공학부 교수. <주관심분야: 반도체 소자 및 공정, TFT-LCD, MEMS 모델링 및 시뮬레이션 코드 개발 등임>