

論文2002-39SD-2-7

고속 저전압 스윙 온 칩 버스

(High Speed And Low Voltage Swing On-Chip BUS)

梁炳燾*, 金利燮*

(Byung-Do Yang and Lee-Sup Kim)

요 약

문턱전압 스윙 드라이버(threshold voltage swing driver)와 이중 감지 증폭기 리시버(dual sense amplifier receiver)를 가진 새로운 고속 저전압 스윙 온 칩 버스 (on-chip BUS)를 제안하였다. 문턱전압 스윙 드라이버는 버스에서의 전압상승 시간을 CMOS 인버터(inverter) 드라이버에서의 약 30% 이내로 줄여주고, 이중 감지 증폭기 리시버는 감지 증폭기 리시버를 사용하는 기존의 저전압 스윙 버스들의 데이터 전송량을 두 배 향상시켜 준다. 문턱전압 스윙 드라이버와 이중 감지 증폭기 리시버를 모두 사용할 경우, 온 칩 버스에서 사용하는 기존의 CMOS 인버터와 비교하여 제안된 방식은 약 60%의 속도 증가와 75%의 소모전력 감소를 얻는다.

Abstract

A new high speed and low voltage swing on-chip BUS using threshold voltage swing driver and dual sense amplifier receiver is proposed. The threshold voltage swing driver reduces the rising time in the bus to 30% of the full CMOS inverter driver and the dual sense amplifier receiver increases twice the throughput of the conventional reduced-swing buses using sense amplifier receiver. With threshold voltage swing driver and dual sense amplifier receiver combined, approximately 60% speed improvement and 75% power reduction are achieved in the proposed scheme compared to the conventional full CMOS inverter for the on-chip bus.

I. 서 론

기술이 발전함에 따라, 연결선에서의 데이터 전송 속도와 전력소모가 VLSI 칩 설계의 주된 관심사가 되고 있다. VLSI 칩의 집적도가 꾸준한 증가는 회로 속도를 증가시키지만, 칩 크기 증가에 의한 연결선의 RC 딜레이

(delay)는 지속적으로 증가하고 있으며 칩의 성능을 제한하는 주요한 원인이 되고 있다. 특히, 칩의 각 블록들간의 연결선의 RC 딜레이는 칩에서 설계에서 고려해야 할 가장 중요한 요소 중의 하나이다.^[1-2] 또한, 신호 연결선들과 클럭 신호선들에서의 전력 소모가 전체 칩 전력 소모의 40%-50%에 이르고 있다.^[3] 따라서, 고속이면서 전력 소모가 적은 온 칩 버스가 절실히 요구된다.

EML(Embedded Memory Logic) 구조와 같이 DRAM과 logic 블록들 사이의 대역폭을 증가시키기 위하여 많은 버스라인을 사용하는 경우, EML의 큰 커패시턴스를 가지는 버스라인에 의한 전력소모 또한 상당히 크기 때문에, 데이터를 빠르게 전송하면서도 전력 소모가 적은 버스 구조를 사용하는 것이 중요하다.

본 논문에서 데이터 전송량과 전송 속도는 향상시키

* 正會員, 韓國科學技術院 電子電算學科
(Division of Electrical Engineering, Dept. of Electrical Engineering & Computer Science, KAIST)

※ 본 연구는 한국과학재단과 미세정보센터의 지원을 받아 수행되었습니다.

接受日字:2001年6月20日, 수정완료일:2001年12月12日

면서 소모 전력은 줄이기 위하여 문턱전압 스윙 드라이버(threshold voltage swing driver : Vt-driver)와 이중 감지 증폭기 리시버(dual sense amplifier receiver : DSA-receiver)를 제안 하였다. 2장에서는 버스라인에서의 스윙 전압과 딜레이를 줄이는 Vt-driver를 설명하고, 3장에서는 감지증폭기(sense amplifier : SA)를 사용하는 기존의 저전압 스윙 버스에서의 데이터 전송량을 두 배 증가시킬 수 있는 DSA-receiver를 설명한다. 4장에서는 Vt-driver와 DSA-receiver를 사용한 온 칩 버스 구조를 제안한다. 5장에서는 제안된 고속 저전압 스윙 온 칩 버스의 실험 결과를 보여준다. 마지막으로, 6장에서는 결론을 맺는다.

II. 문턱전압 스윙 드라이버

그림 2는 제안된 Vt-driver의 구조이다. Vt-driver는 버스라인의 처음 부분(in_bus)에서의 전압을 감지하여 버스라인에서의 전압 스윙을 접지 전압부터 NMOS 트랜지스터의 문턱전압까지 제한한다. 버스의 입력 데이터 IN이 '0'일 때, 트랜지스터 M1과 M4는 꺼지고 M2와 M3는 켜진다. 트랜지스터 M3는 켜져 있고 M4는 꺼져 있기 때문에, 피드백 컨트롤 신호 FB는 '1'이 된다. IN이 '0'에서 '1'로 변하면, M2과 M3는 꺼지고 M1은 켜진다. M1이 켜지면서 in_bus의 전압은 접지 전압에서 올라가기 시작한다. in_bus의 전압이 M4가 켜지는 문턱전압 보다 높아지면, M4가 꺼지고 FB는 '0'이 되어 M1은 꺼진다. M1 켜진 이후에 전하 공유에 의하여 in_bus와 out_bus는 같은 전압을 가진다.

그림 3은 버스라인에서의 파형을 보여주고 있다. Vt-driver가 버스라인의 전압을 올리기 위하여 'VCC'의 전압과 하나의 PMOS 트랜지스터를 사용하기 때문에, in_bus와 out_bus의 전압이 CMOS 인버터를 사용했을 때와 같은 속도로 상승한다. 그러나 in_bus에서 스윙이 NMOS 트랜지스터의 문턱전압으로 제한되기 때문에, Vt-driver의 in_bus와 out_bus에서의 버스라인의 최종 전압까지 올라가는 시간이 CMOS 인버터에 비하여 상당히 줄어들게 된다. 버스라인에서의 전압이 다시 접지 전압으로 내려가는 시간은 Vt-driver와 CMOS 인버터가 같지만, 두개의 Vt-driver를 사용하여 반대 데이터를 가지는 한 쌍의 버스라인에서의 딜레이는 CMOS 인버터에 비하여 줄어들게 된다. 그 이유는 상승 전압과 하강 전압이 만나는 시간이 짧아져서 한 쌍의 버스

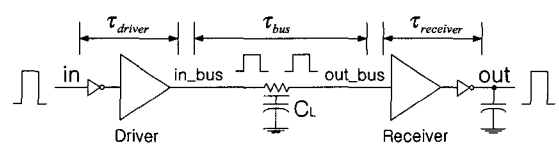


그림 1. 버스 구조
Fig. 1. BUS architecture.

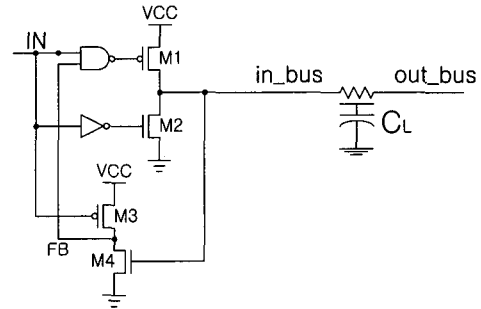


그림 2. 문턱전압 스윙 드라이버(Vt-driver)
Fig. 2. Threshold voltage swing driver(Vt-driver).

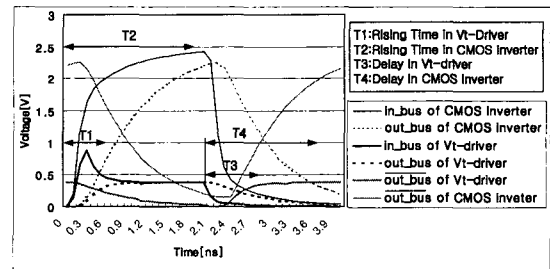


그림 3. Vt-driver에서의 파형(L_w = 10mm, C_L = 1pF and VCC = 2.5V)
Fig. 3. Waveforms in Vt-driver(L_w = 10mm, C_L = 1pF and VCC = 2.5V).

라인 사이의 전압 차이가 짧은 시간에 만들어지기 때문이다.

III. 이중 감지증폭기

그림4는 이중 감지증폭기(DSA)의 기본 동작 개념을 설명한다. 버스의 전체 딜레이는 드라이버에서의 딜레이(τ_{driver}), 버스라인에서의 딜레이(τ_{bus}), 그리고 리시버에서의 딜레이($\tau_{receiver}$)로 구성된다. 기존의 저전압 스윙 버스들에서는 버스라인에서의 낮은 전압 스윙으로부터 데이터를 얻기 위하여 감지증폭기(SA) 사용한다.^[4-5] 버스라인의 전압이 변하는 τ_{driver} 과 τ_{bus} 동안에 SA는 precharge 상태로 있다. 버스라인에서의 전압

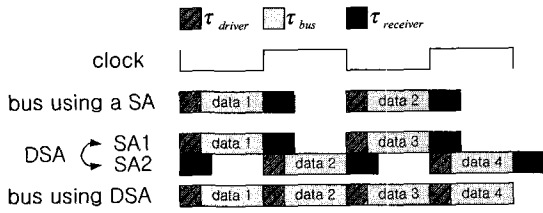


그림 4. 감지증폭기(SA)를 사용한 버스와 이중 감지증폭기(DSA)를 사용한 버스의 기본 동작 개념
 Fig. 4. Basic concept of the conventional BUS using a SA and the BUS using proposed DSA-receiver.

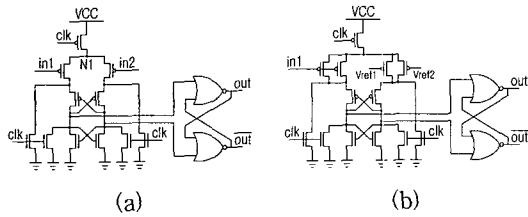


그림 5. (a) 디퍼렌셜 감지증폭기(SA) (b) 슈도-디퍼렌셜 감지증폭기(PSA)
 Fig. 5. (a) Differential sense amplifier(SA) (b) Pseudo-differential sense amplifier(PSA).

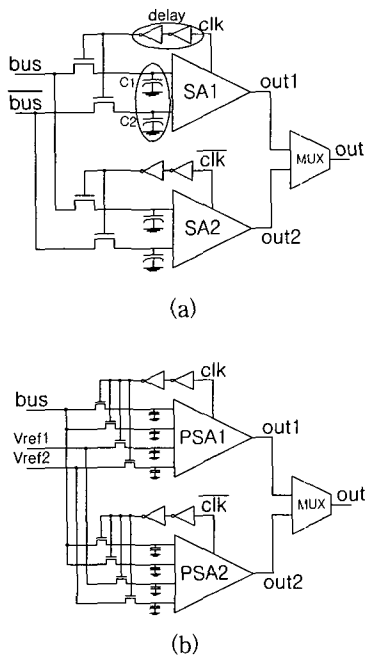


그림 6. (a) 두 버스라인을 사용하는 DSA-receiver
 (b) 한 버스라인을 사용하는 DSA-receiver
 Fig. 6. (a) The DSA-receiver with two BUS lines
 (b) The DSA-receiver with one BUS line.

이 일정하게 유지되는 $\tau_{receiver}$ 동안에 SA는 evaluation 상태가 된다. 만약 $\tau_{receiver}$ 의 시간이 전체 딜레이에서 감소된다면, 버스라인은 전압을 일정하게 유지하지 않고 단지 데이터 전송에만 사용될 수 있다.

따라서, DSA-receiver는 그림4에서와 같이 하나의 SA를 사용하는 기존의 저전압 스윙 버스에서의 데이터 전송량을 두 배 향상 시킬 수 있다.

DSA-receiver는 그림 6에서와 같이 두개의 SA를 가진다. 클럭이 'low'이고 버스가 데이터1을 보낼 때, SA1은 precharge 상태에 있고 SA2는 이전에 버스라인을 통하여 전송된 데이터를 감지하기 위한 evaluation 상태에 있다. 클럭이 'high'이고 버스가 데이터2를 보낼 때, SA1이 데이터1을 감지하기 위한 evaluation 상태에 있고 SA2는 precharge 상태에 있다. 그림 6의 패스트랜지스터(pass transistor)는 버스라인의 현재의 전압 변화에 영향을 받지 않고 버스라인을 통하여 보내진 이전 데이터를 SA가 감지 할 수 있도록 SA를 버스라인으로부터 격리시킨다.

그림 5의 SA의 입력이 DSA-receiver 안의 패스트랜지스터들에 의하여 플로팅 노드(floating node)가 될 때, SA의 두 입력 in1과 in2의 전압들은 부트스트래핑(bootstrapping) 영향으로 변할 수가 있지만, in1과 in2 사이의 전압차는 변하지 않는다. 따라서, SA가 부트스트래핑 영향을 받는 경우에도 SA는 정확한 데이터를 얻어낼 수 있다. 그러나, 부트스트래핑에 의한 전압 변화는 회로가 노이즈에 약하게 만든다. DSA-receiver는 부트스트래핑에 의한 전압 변화를 줄이기 위하여 두개의 방식을 사용한다. 부트스트래핑에 의한 전압의 변화를 줄이는 하나의 방식은 그림6(a)와 같이 패스트랜지스터와 클럭 사이에 약간의 딜레이를 넣는 방법이다. 만약 그림5(a)의 N1의 전압이 그림6(a)의 패스트랜지스터가 꺼지기 전에 'VCC'로 상승한다면, 부트스트래핑 효과는 줄어들 것이다. 부트스트래핑에 의한 전압의 변화를 줄이는 다른 방식은 그림5(a)의 SA의 입력 트랜지스터의 게이트(gate) 커패시턴스 C_g 보다 큰 커패시턴스 C_1 과 C_2 를 만들어 플로팅 노드에 넣는 것이다. 커패시턴스 C_1 과 C_2 가 게이트 커패시턴스 C_g 보다 크기 때문에, 게이트 커패시턴스 C_g 의 부트스트래핑 효과에 의한 입력단의 플로팅 노드의 전압이 커패시턴스 C_1 과 C_2 에 의하여 상쇄되어 전압 변화가 거의 발생하지 않는다.

두 종류의 DSA-receiver가 제안되었다. 그림6(a)의

DSA-receiver는 디퍼렌셜 데이터를 가지는 두 버스라인을 사용한다. 클럭이 'high'일 때, MUX는 out1을 선택한다. 이것은 precharge상태의 SA1의 출력은 감지된 데이터를 가지고 있고 evaluation 상태에 있는 SA2의 출력은 변하기 때문이다. 클럭이 'low'일 때, SA1은 evaluation 상태에 있고 SA2는 precharge 상태에 있다. 결과적으로 MUX는 out2를 선택한다.

그림6(b)의 DSA-receiver는 하나의 버스라인을 사용하는 대신 두개의 참조전압이 필요하다. 두 참조전압을 사용해서 하나의 버스라인의 데이터를 얻기 위하여, 그림5(b)의 쉘드-디퍼렌셜 감지증폭기(PSA)를 사용한다. 참조전압 버스라인 중 하나는 데이터가 '1'인 버스라인의 전압과 같고, 다른 참조전압은 데이터가 '0'인 버스라인의 전압과 같다. 데이터가 '1'일 때, PSA의 두 입력단의 전압 차이는 '1' (데이터 '1' + 데이터 '1' - 참조전압 '1' - 참조전압 '0' = '1')이다. 반대로 데이터가 '0'일 때, PSA의 두 입력단의 전압 차이는 '-1' (데이터 '0' + 데이터 '0' - 참조전압 '1' - 참조전압 '0' = '-1')이다. 따라서, PSA는 한 개의 버스라인만을 사용하여 데이터를 얻을 수 있다.

IV. 제안된 온 칩 버스

그림 7은 Vt-driver와 DSA-receiver를 사용한 버스에서의 기본 동작 개념을 보여준다. 두 Vt-driver는 driver 와 bus의 시간을 줄여주고 DSA-receiver는 receiver의 시간을 버스 전체 딜레이에서 감소시킴으로써, 제안된 버스는 더 많은 데이터를 전송할 수 있다. 제안된 고속 저전압 스윙 온 칩 버스는 그림8에서와 같이 두 가지가 있다. 하나는 두개의 Vt-driver, 두개의 버스라인, 그리고 하나의 DSA-receiver로 이루어져 있다. (DVTDSA) 다른 하나는 하나의 Vt-driver, 하나의 버스라인, 그리고 하나의 DSA-receiver로 구성된다. (SVTDSA)

DVTDSA는 두개의 빠른 rising time을 가지는 Vt-driver를 사용하여 디퍼렌셜 데이터를 빠르게 전송할 수 있다. DSA-receiver의 두 SA는 교대로 이전의 두 버스라인의 전압을 유지하고 두 버스라인의 전압차를 감지하여 데이터를 얻는다.

그림9(a)는 DVTDSA의 파형을 보여준다. 한 클럭 사이클 동안에 두개의 데이터가 한 쌍의 버스라인을 통하여 전송된다. SA1은 클럭이 'high'인 동안에는 두

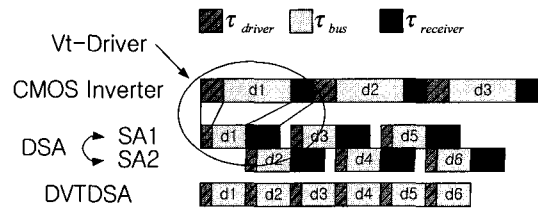


그림 7. CMOS 인버터 버스와 Vt-driver와 DSA-receiver를 사용한 버스에서의 기본 동작 개념
Fig. 7. Basic concept of the CMOS Inverter BUS and the proposed BUS using Vt-driver and DSA-receiver.

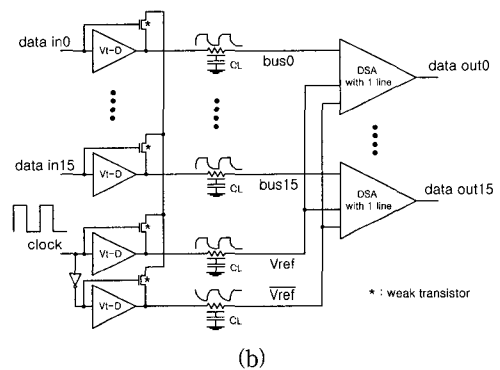
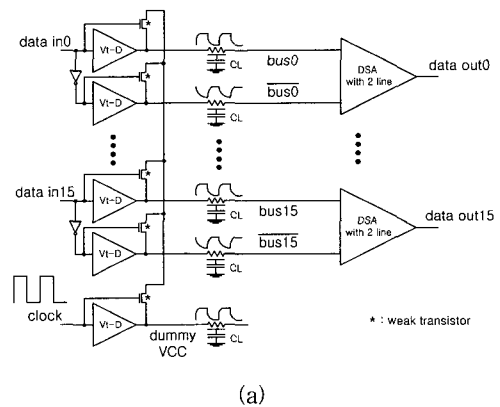


그림 8. Vt-driver와 DSA-receiver를 사용한 온 칩 버스 (a) DVTDSA (b) SVTDSA
Fig. 8. The proposed on-chip BUS using Vt-driver and DSA-receiver (a) DVTDSA (b) SVTDSA.

버스라인의 전압을 받아들이고 클럭이 'low'일 때 그 전압을 유지하면서 두 전압 차이를 감지한다. 반대로, SA2는 클럭이 'low'인 동안에 전압을 받아들이고 클럭이 'high'일 때 그 전압을 유지하면서 두 전압차를 감지한다. Vt-driver는 디퍼렌셜 데이터가 driver로부터 receiver까지 전달되는 시간을 줄여준다.

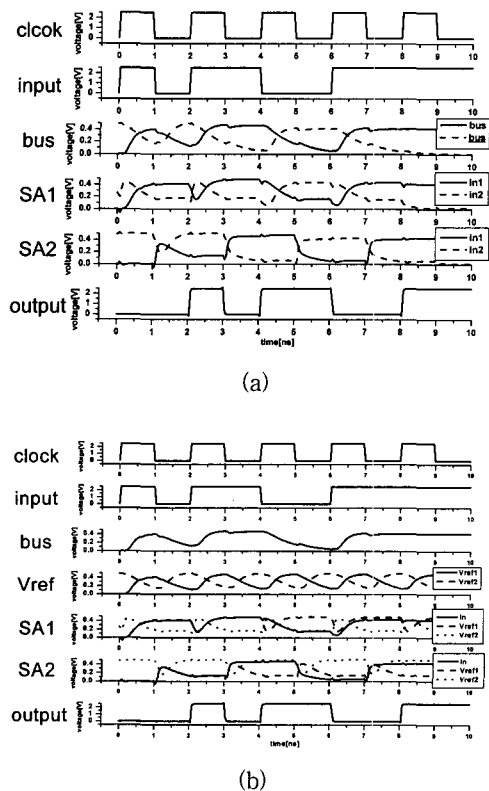


그림 9. 시뮬레이션 파형 (a) DVTDSA (b) SVTDSA
Fig. 9. Simulated waveforms (a) DVTDSA (b) SVTDSA.

SVTDSA는 하나의 V_t -driver를 사용하여 데이터를 전송한다. 버斯拉인의 전압은 전송되는 데이터에 따라 '문턱전압'과 '접지전압'이 된다. DSA-receiver의 두 PSA는 '문턱전압'과 '접지전압'을 가지는 두개의 참조전압과 비교하여 버斯拉인으로부터 데이터를 얻어낸다. 그림10과 그림11의 실험 결과와 같이 V_t -driver의 스윙 전압은 버斯拉인의 길이와 로드 커패시턴스 크기에 따라 변한다. 따라서, 두개의 참조전압 라인과 버斯拉인의 길이와 로드 커패시턴스의 크기는 같아야 한다. 그림 9(b)의 SVTDSA 파형을 보면, 버斯拉인에서의 전압이 두 참조전압 중 하나와 같음을 알 수 있다. DVTDSA에 대한 SVTDSA의 장점은 버斯拉인의 수가 반이라는 것이다. 그러나 노이즈에 대한 내성과 속도는 DVTDSA가 SVTDSA보다 좋다.

오랜 시간동안 입력 데이터가 '1'로 남아있으면, 누설 전류가 버斯拉의 전압을 감소시키게 된다. 이것은 작은 전압 차이를 가지는 두 버斯拉인에서 잘못된 데이터를 얻도록 할 수 있다. 그래서, 오랫동안 변하지 않는 버斯拉

라인의 전압 차를 유지시켜주기 위해 dummy VCC를 사용한다. dummy VCC는 하나의 V_t -driver와 하나의 버斯拉인에 의하여 만들어진다. dummy VCC는 데이터가 '1'인 버斯拉인의 전압과 같은 '문턱전압'이다. dummy VCC는 매 클럭 사이클마다 새로 만들어진다. 따라서, 그림8에서처럼 dummy VCC는 작은 트랜지스터로 연결된 버斯拉인들에서의 누설전류를 보충해 줌으로써 오랫동안 버斯拉인이 데이터 '1'을 전송할 수 있도록 해 준다. DVTDSA는 하나의 dummy VCC를 만들기 위하여 추가적으로 하나의 버斯拉인을 사용하지만, SVTDSA는 두개의 참조전압 라인을 dummy VCC로 사용한다.

V. 모의 실험 결과

그림1은 테스트 버스 구조를 보여준다. 버斯拉인으로는 길이가 L_w 이고 로드 커패시턴스 C_L 가진 메탈3 레이어 라인을 π 3 distributed RC 모델링하여 사용하였다. 모든 모의 실험에는 0.25um CMOS 공정 파라미터와 HPSICE 모델 그리고 VCC는 2.5V를 사용하였다.

버斯拉의 속도와 전력 소모에 대한 버斯拉인의 길이 L_w 와 로드 커패시턴스 C_L 의 효과는 그림10과 그림11에 나타나 있다. 표1은 각 CMOS 인버터를 사용한 버斯拉와 제안된 두 고속 저전압 온 칩 버스 DVTDSA와 SVTDSA의 성능 비교 결과를 보여준다.

시뮬레이션 결과는 표1에 정리되었다. DVTDSA와 SVTDSA는 60%와 40%의 속도 향상과 50%와 75%의 전력소모 감소를 이루었다. 버斯拉인 길이 또는 로드 커패시턴스가 증가할수록, 스윙 전압의 감소에 의한 속도 향상과 소모전력 감소가 더욱 증가할 것이다.

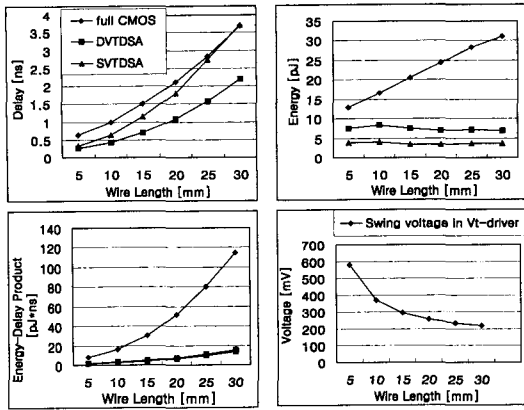
시뮬레이션 결과는 DVTDSA와 SVTDSA가 매우 빠르고 적은 전력을 소모하는 온 칩 버스 구조임을 보여

표 1. 성능 비교

Table 1. Performance Comparison.

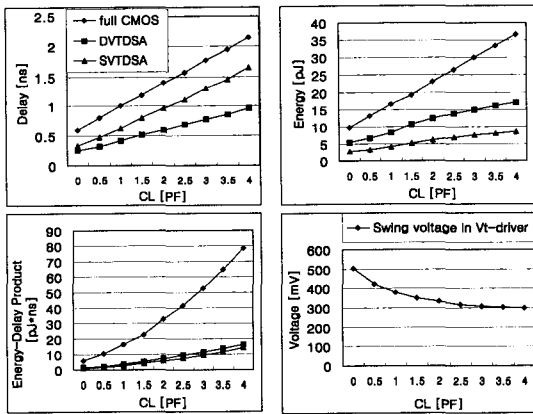
Schemes	Delay (ns)	Energy (pJ)	E · D (pJ · ns)	Number of Wires
Full CMOS	1.00	16.50	16.5	1
DVTDSA	0.42	8.34	3.50	2
SVTDSA	0.63	4.17	2.63	1

($LW=10\mu m$, $CL=1pF$, $VCC=2.5V$)



($R_{Wire}=65/mm$, $C_{Wire}=0.1pF/mm$, $C_{Load}=1pF$, $VCC=2.5V$)

그림 10. 버스라인의 길이 L_W 에 따른 딜레이, 에너지, 딜레이-에너지 곱, 그리고 스윙 전압
Fig. 10. Delay, energy, energy-delay product, and swing voltage vs. wire length L_W .



($L_{Wire}=10mm$, $R_{Wire}=65/mm$, $C_{Wire}=0.1pF/mm$, $VCC=2.5V$)

그림 11. 로드 커패시턴스 C_L 에 따른 딜레이, 에너지, 딜레이-에너지 곱, 그리고 스윙 전압
Fig. 11. Delay, energy, energy-delay product, and swing-voltage vs. capacitive load C_L .

준다. DVTDSA와 SVTDSA의 선택은 속도, 전력소모, 또는 칩 사용 면적에 의하여 선택될 수 있다. 그러나 전력소모와 칩 사용 면적이 크게 중요하지 않다면, 더 좋은 잡음 내성과 속도를 가지는 DVTDSA의 사용이 바람직하다.

VI. 결 론

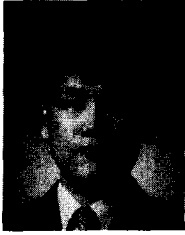
본 논문에서 Vt-driver와 DSA-receiver를 사용한 온

칩 버스구조를 제안하였다. 시뮬레이션 결과는 CMOS 인버터를 사용한 버스에 비하여 DVTDSA와 SVTDSA가 약 60%와 40%의 속도향상과 50%와 75%의 전력소모 감소를 얻었음을 보여주었다. 제안된 온 칩 버스구조는 SOC(system on a chip)이나 EML(embedded memory logic)과 같이 큰 커패시턴스를 가지는 버스에 더욱 효과적이다.

참 고 문 헌

- [1] H. B. Bakoglu, Circuits, Interconnections, and Packaging for VLSI, Addison-Wesley, 1990.
- [2] Payman Zarkesh-Ha and James D. Meindl, "Stochastic Net Length Distributions for Global Interconnects in a Heterogeneous System-on-a-Chip", SOVT Dig. Tech. Papers, pp44-45, 1998.
- [3] D. Liu and C. Svensson, "Power Consumption Estimation in CMOS VLSI chips", IEEE JSSC, pp.663-670, June 1994.
- [4] Hui Zhang and Jan Rabaey, "Low-Swing Interconnect Interface Circuits", ISLPED'98, pp. 161-166, August 1998.
- [5] Ho-Seok Lee, Bum-Sik Kim, Sun-Ho Chang, and Lee-Sup Kim, "A 250MHz Low Voltage Swing Bus Driver for Embedded Memory Logic", ESSCIRC'99, pp.424-427, 1999.
- [6] Byung-Do Yang, and Lee-Sup Kim, "High-Speed and Low-Swing On-Chip Bus Interface Using Threshold Voltage Swing Driver and Dual Sense Amplifier Receiver", ESSCIRC'2000, pp.144-147, 2000.

저 자 소 개



梁炳燾(學生會員)

1999년 2월 : 한국과학기술원 전자전산학과 전기 및 전자공학 전공 졸업(공학사). 2001년 2월 : 한국과학기술원 전자전산학과 전기 및 전자공학 전공 졸업(공학석사). 2001년 3월 ~ 현재 : 한국과학기술원 전자전산학과 전기 및 전자공학 전공 박사과정. <주관심분야> 저전력/고성능 VLSI 회로 설계



金利燮(正會員)

1982년 : 서울대학교 전자공학과 학사. 1986년 : Stanford University 전자공학과 석사. 1990년 : Stanford University 전자공학과 박사. 1990년~1993년 : Toshiba Corporation 연구원. 1993년~현재 : 한국과학기술원 전자전산학과 전기 및 전자공학 전공 부교수. <주관심분야> 멀티미디어 VLSI 설계, 저전력 설계, EML 설계, 3D Graphics