

論文2002-39SD-2-5

PDP 시스템의 EMI 예측을 위한 회로 모델링 및 실험적 검증

(Experimental Verification and Circuit Modeling for Electromagnetic Interference(EMI) Estimation in PDP System)

姜 鍾 九 * , 魚 瀛 善 * , 沈 鍾 寅 * , 鄭 周 榮 **

(Jongku Kang, Yungseon Eo, Jongin Sim, and Juyoung Jung)

요 약

본 논문에서는 PDP 시스템에서의 새로운 EMI(전자파) 예측 방법을 제시한다. AC PDP 시스템을 정확하게 기술할 수 있는 새로운 AC PDP 셀 회로 모델을 개발하였다. 개발한 모델과 Hertzian 다이폴 안테나 모델을 결합하여 PDP 시스템에서 방출되는 EMI를 정량적으로 계산하였다. 시뮬레이션 결과는 테스트 패널을 이용한 실험을 통하여 검증되었다. AC PDP 시스템은 CISPR 13에 준거하여 반 무반향실에서 30MHz~300MHz의 주파수 대역에서 측정하였다. 따라서 제시된 EMI 예측방법은 EMI와 관련한 PDP 시스템 설계에 유용하게 사용될 수 있다.

Abstract

A new EMI estimation technique concerned with a PDP system is presented. A physical circuit model is developed which can fairly well describe the AC-PDP system. EMIs of the PDP system are quantitatively determined by combining circuit model and Hertzian dipole antenna model. The simulation results are experimentally verified with the test panel. The AC PDP system was measured in the frequency range of 30MHz~300MHz in a semi-anechoic chamber, according to CISPR 13 code. Thereby, it is shown that the proposed technique can be usefully employed for EMI reduction.

I. 서 론

* 正會員, 漢陽大學校 電子컴퓨터工學部
(Dept. of Electrical and Computer Engineering,
Hanyang University, Ansan)

** 正會員, 水原大學校 電子工學科
(Dept. of Electronic Engineering, University of Suwon)

※ 이 연구는 대한민국 산업자원부 지원에 의하여 연구되었으며 연구에 필요한 CAD 툴은 IDEC의 지원을 받았음.

接受日字:2001年10月12日, 수정완료일:2002年1月24日

평판 디스플레이(Flat Panel Display, FPD)는 현재 사용되고 있는 CRT(Cathode Ray Tube)에 비해 화질, 해상도 면에서 많은 이점이 있다^[1-2]. 따라서 평판 디스플레이의 구동방식, 공정기술 등의 개선을 위하여 많은 연구가 진행되어왔다^[3-4]. 평판 디스플레이 중에서도 PDP(Plasma Display Panel)는 휘도, 시야각, 해상도 등이 뛰어나 대화면으로 구현하는데 있어서 가장 유리한 조건을 갖추고 있다^[5-6]. 그러나 PDP 시스템은 영상을 표시하기위해 기체 방전에 의해 형성되는 플라즈마를

이용하면서 고전압 구동회로를 사용하기 때문에 여타의 FPD에 비하여 많은 EMI(Electromagnetic Interference) 문제를 야기시키고 있다^[7-8]. 특히 PDP 시스템에서는 고전압 구동회로 뿐만 아니라 디스플레이 패널 자체만으로도 심각한 EMI 소스가 될 수 있다^[9-10]. 그럼에도 불구하고 디스플레이 패널에 대한 재료 및 제조기술에 비하여 PDP 시스템의 EMI 방출에 관한 이론적 연구는 거의 없었다.

본 연구에서는 AC-PDP 시스템의 EMI 문제를 설계 초기단계에서부터 반영할 수 있는 새로운 회로모델 및 시뮬레이션 방법을 제시한다. AC-PDP 시스템의 물리적 특성 및 동작에 근거한 디스플레이 패널의 셀에 대한 회로모델을 제시하였으며, 이로부터 AC-PDP 시스템의 EMI 방출 현상을 Hertzian Dipole Antenna로 모델하여 예측하였다. 또한 제시한 회로모델의 유용성을 검증하기 위해 시험용 PDP 시스템을 설계 제작하여 전자파 반무반사실에서 30MHz~300MHz영역에서 EMI를 측정하여 제시한 회로모델 및 시뮬레이션 결과가 측정 값과 일치함을 보인다.

II. PDP 셀의 회로 모델

PDP 시스템의 방전 메커니즘을 설명하기 위해 그림 1과 같은 개념도를 사용한다. 그림 1의 (a)와 같은 상태에서 디스플레이 패널에서의 전극(bus electrode) 양단 사이의 방전유지전압($V_{sustain}$)의 크기가 방전개시전압(V_i) 보다 작기 때문에 플라즈마 상태가 되지 못한다. 그림 1의 (b)와 같이 방전개시전압 보다 큰 전압이 인가되었을 때 셀 내에서의 기체 들은 방전되어 플라즈마 상태가 되며 벽간 전위에 의해 그림 1의 (c)와 같이 양전하는 음극쪽, 음전하는 양극쪽으로 이동하여 유전체 표면에 벽전하로 쌓이게 된다. 이 벽전하에 의한 전위는 전극간 전위와 반대로 생성이 되기 때문에 아직 플라즈마 상태가 되지 않은 기체에 작용하는 실효전압(V_{eff})이 시간에 따라 감소하게 되어 더 이상 방전이 일어나지 않게 된다. 이후 다시 양전극 사이에 이전의 인가 전압과 반대로 전압을 인가한 경우, 외부인가전압과 벽전압의 합, 즉 내부 기체에 작용하는 실효전압이 방전개시전압보다 크게 되면 그림 1의 (d)와 같이 방전개시전압 보다 낮은 방전유지전압만으로도 방전이 일어난다. 이와 같은 과정을 반복하여 화상을 표현하게 된다. 플라즈마의 소거는 그림 1의 (g)와 같이 벽전하가

형성되지 못하도록 충분히 작은 유지 방전 전압을 인가하거나 벽전압 형성시간을 짧게하여 실효전압이 방전개시전압보다 낮게 유지함으로써 이루어진다. 이와 같이 외부 인가 전압의 변화에 따른 플라즈마 방전은 진공자외선(VUV)을 방출하며 이때의 진공 자외선이 형광체에 흡수되었을 때 형광체로부터 가시광선이 발생한다. 따라서 AC-PDP 시스템의 셀 내부의 플라즈마 방전 메커니즘을 회로로 모델하면 셀 내부에 흐르는 전류를 결정할 수 있고 이 전류로부터 디스플레이 패널에서 방출되는 EMI를 예측할 수 있다. 또한 유사한 방법으로 디스플레이 패널로 전원을 공급하는 구동회로에서 방출되는 EMI도 예측할 수 있다.

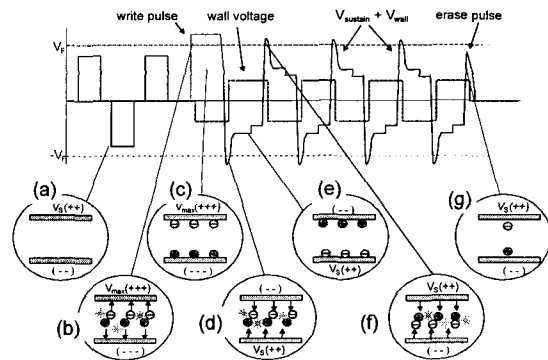


그림 1. 유지방전전압 및 벽 전압

Fig. 1. Sustain voltage and wall voltage.

AC-PDP 시스템의 셀 내에서 외부로부터 인가된 전계 E 와 질량 M , 전하량 q 인 전자의 변위 r 사이에는 다음과 같은 플라즈마 방정식

$$M \frac{d^2 r}{dt^2} + \frac{M}{\tau} \frac{dr}{dt} + M \omega_0^2 r = -qE \quad (1)$$

이 성립한다고 가정할 수 있다. 식 (1)에서 r 는 플라즈마 입자와 전자의 평균 충돌 시간이고 τ 는 플라즈마 고유 진동수이다. 플라즈마 방정식 (1)은 표 1과 같은 전기회로에 상응하는 모델식으로 표현할 수 있다. 따라서 이를 다시 회로로 표시하면 그림 2와 같이 나타낼 수 있다.

그림 2에서 V_{sus} 는 외부에서 셀에 인가되는 유지방전 전압 이고 종속전원 V_w 는 두 전극(electrode) 사이의 전압차에 의해 셀 내부에서 형성되는 벽전압을 나타낸다. C_p 는 셀의 정전용량으로 C_p 에 축적된 전압은 두 전극 사이의 전압과 더해져서 플라즈마가 실제 셀 내부

표 1. 전기회로 모델 파라미터
Table 1. Circuit model parameters corresponding to the plasma equation(1).

$\frac{1}{2}M\left(\frac{dr}{dt}\right)^2$	$\frac{1}{2}L\left(\frac{dQ}{dt}\right)^2$
$\frac{M}{\tau}\frac{dr}{dt}$	$R\frac{dQ}{dt}$
$\frac{1}{2}(M\omega_0^2)r^2$	$\frac{1}{2}\frac{Q^2}{C}$

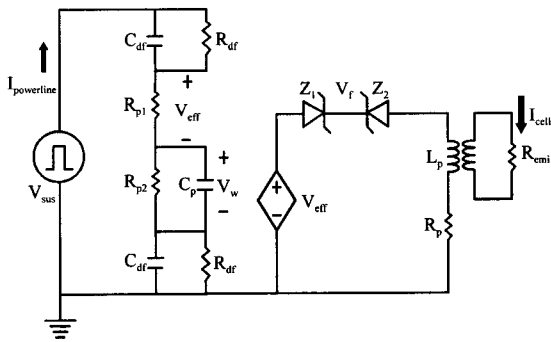


그림 2. 디스플레이 패널의 회로모델
Fig. 2. Circuit model of a PDP cell.

표 2. 회로 모델 파라미터
Table 2. Circuit model parameters.

param eters	R[Ω]					C [F]		L [H]	V [V]
	R _{p1}	R _{p2}	R _p	R _{df}	R _{emi}	C _p	C _{df}	L _p	V _{zk}
value	1M	2M	1M	500M	377	75f	10f	750n	500

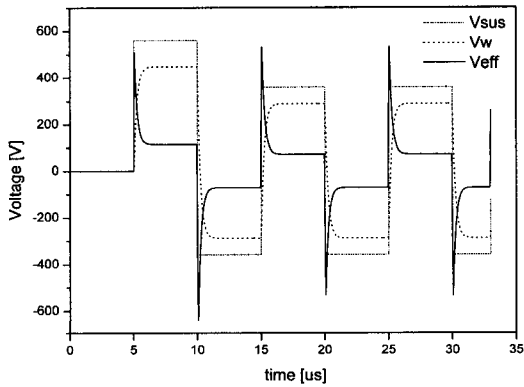
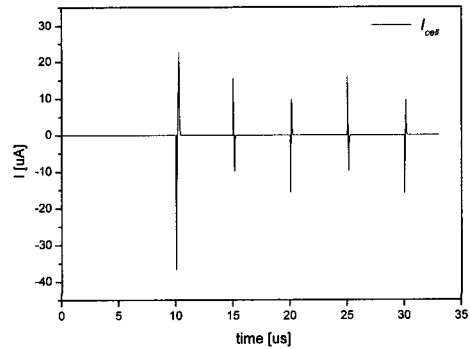
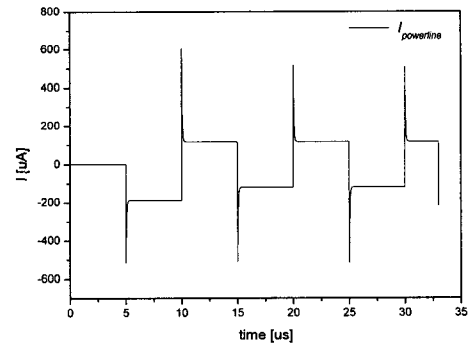


그림 3. 전압 시뮬레이션 결과
Fig. 3. Node voltage simulation results.

에서 느끼는 실효전압 V_{eff} 가 된다. 실효전압 V_{eff} 가 일정 방전임계전압 V_f 이상이 되었을 때 셀 내부에서 플라즈마가 발생하여 빛을 내게 되는 현상을 방전임계전압 크기의 항복전압을 갖는 제너다이오드를 사용하여 모델하였다. 셀에 외부전압이 인가되었을 때 벽전압 형성은 일정한 지연을 갖게 되는데 이러한 지연 현상을 $R_{p1}C_p$ 시정수로 조정하고 형성된 벽전압의 크기는 R_{p1} 과 R_{p2} 의 비로 조절하였다. C_{df} 와 R_{df} 는 각각 셀 내부 유전체의 커패시턴스와 저항이고 R_p 는 플라즈마 저항, R_{emi} 는 공기의 특성 임피던스이다. 상호 인덕턴스 L_p 는 셀에 흐르는 전류에 의해 대기중으로 방사되는 전자계를 모델하기 위해 도입하였다. 제시된 회로모델이 파라미터의 값을 표2에 나타내었다. 이로부터 회로 모델의 전압, 전류의 SPICE 시뮬레이션 결과는 그림 3과 그림 4와 같다. 일단 셀 내의 전류를 알 수 있다면 이는 EMI의 소스가 되기 때문에 셀로부터 방출되는 EMI를 예측할 수 있다. 이에 대해서는 다음 절에서 설명한다.



(a)



(b)

그림 4. 전류 시뮬레이션 결과 (a) 셀 전류 (b) 파워라인 전류
Fig. 4. Branch current simulation results. (a) cell current (b) powerline current.

III. EMI 예측을 위한 Hertzian Dipole Antenna 모델

PDP 시스템의 셀 및 부품 내에서는 외부 인가 전압에 대하여 충전과 방전을 반복하고 있으며 측정지점이 원거리임을 감안할 때 이러한 현상을 그림 5와 같이 Hertzian Dipole Antenna로 모델하여 해석 할 수 있다.

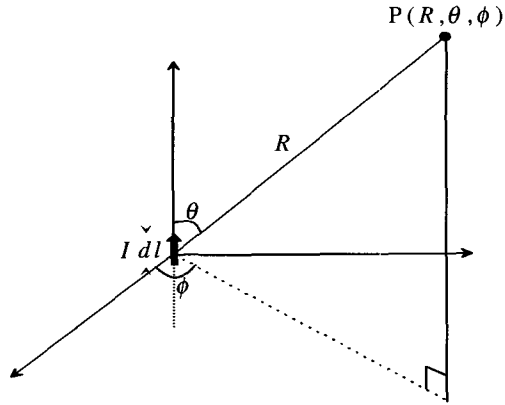


그림 5. 헤르제안 다이폴 안테나
Fig. 5. Hertzian dipole antenna.

그림 5와 같이 미소거리 에 흐르는 전류에 의해 거리 R인 지점에서의 E-field의 크기는 다음 식과 같다.

$$E_r = -\frac{I(k)dl e^{-jkR}}{j4\pi} \eta_0 k^2 \cos\theta \left[\frac{1}{(jkR)^2} + \frac{1}{(jkR)^3} \right] [\text{V/m}] \quad (2)$$

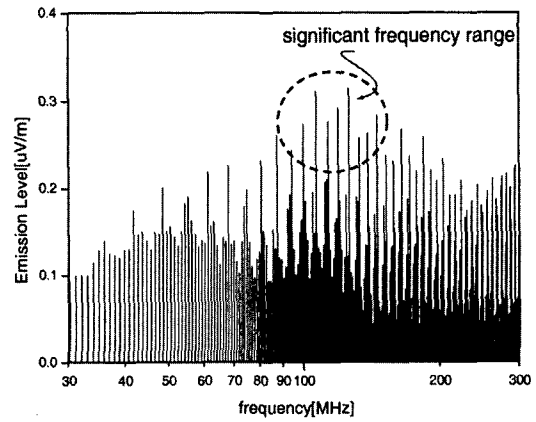
$$E_\theta = -\frac{I(k)dl e^{-jkR}}{j4\pi} \eta_0 k^2 \sin^2\theta \left[\frac{1}{jkR} + \frac{1}{(jkR)^2} + \frac{1}{(jkR)^3} \right] [\text{V/m}] \quad (3)$$

$$E_\phi = 0 \quad (4)$$

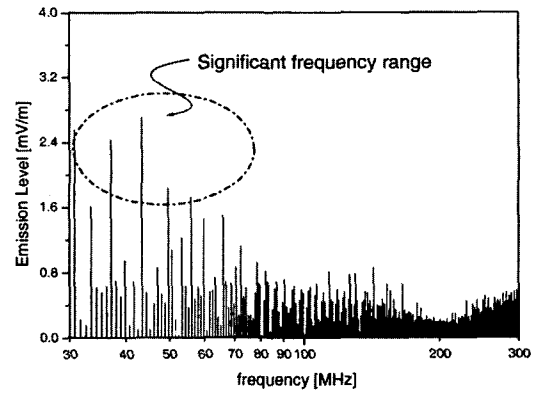
여기서 k 는 phase constant 이고, η_0 는 공기의 특성 임피던스를 의미한다. 식 (2), (3), (4)에서 전류원 로 $I(t)$ 부터 충분히 먼 거리 ($R \gg \lambda/2\pi$)에서, $1/(kR)$ 항에 비해 $1/(kR)^2$ 과 $1/(kR)^3$ 항의 크기는 무시할 수 있다. 이로부터 Hertzian Dipole Antenna 모델을 이용한 원 거리에서 전계의 세기는 근사적으로 다음과 같다.

$$E_\theta \approx -\frac{I(k)dl e^{-jkR}}{j4\pi R} \eta_0 k \sin\theta \quad [\text{V/m}] \quad (5)$$

Hertzian Dipole Antenna의 소스인 전류 $I(t)$ 는 AC-PDP 시스템의 셀의 회로 모델을 SPICE 시뮬레이션하여 쉽게 구할 수 있으며 이 전류를 푸리에 변환하여 phase constant k 와 그에 해당하는 전류의 주파수 성분 $I(k)$ 값을 식 (5)에 대입하여 디스플레이 패널과 파워라인의 EMI 방출 주파수 및 크기를 계산할 수 있다. 이와 같은 방법으로 디스플레이 패널과 파워라인에서



(a)



(b)

그림 6. 시뮬레이션 결과 (a) 셀에 의한 EMI($dl = 100\mu\text{m}, R = 3\text{m}, \theta = \pi/2$) (b) 파워라인에 의한 EMI($dl = 15\text{cm}, R = 3\text{m}, \theta = \pi/2$)

Fig. 6. Simulation results. (a) EMI due to cell ($dl = 100\mu\text{m}, R = 3\text{m}, \theta = \pi/2$) (b) EMI due to powerline($dl = 15\text{cm}, R = 3\text{m}, \theta = \pi/2$)

의 EMI 시뮬레이션 결과는 그림 6과 같다. 두 경우 모두 최대값을 갖도록 $\theta = \pi/2$ 로 설정한 후 시뮬레이션 하였다.

IV. 실험적 검증

디스플레이 패널 및 구동회로 부의 EMI 영향을 실험적으로 고찰하기 위하여 실험용 PDP 패널을 구동할 수 있는 구동회로를 설계한 다음 시스템을 제작하여 EMI측정을 수행하였다. 실험용 PDP 시스템은 그림 7과 같이 디지털 로직을 만들어 주는 디지털 회로 부분과 로직의 출력 신호를 증폭시켜주는 아날로그 회로 부분 그리고 디스플레이 패널, 그리고 디지털회로와 아날로그 회로를 연결하는 버스라인과 아날로그 회로와 디스플레이 패널을 연결하는 파워라인으로 구성되어 있으며 AC형 PDP의 ADS(Address Display Period Separated)방식에 따라 모든 셀의 어드레스가 끝나면 유지방전 구간이 시작되고 유지방전 기간이 끝나면 다시 어드레스 시간으로 들어간다 제작된 디스플레이 패널은 120mm×80mm 크기의 3전극 칼라 AC PDP이며 전극은 X,Y 그리고 Address전극 3개로 구성되어 있고 X,Y 전극에 의해서 유지방전된다.

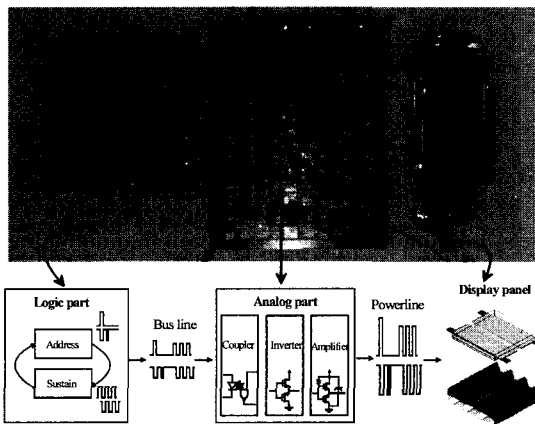


그림 7. PDP 시스템의 구조
Fig. 7. Structure of PDP system.

본 연구에서 실시한 PDP 시스템의 EMI는 전자파 반무반사실에서 스펙트럼 분석기를 사용하여 측정하였으며 전체적인 측정상황을 그림 8에 나타내었다. 그림 8에서 측정 안테나와 시험품(EUT : Equipment Under Test)과의 거리는 3m로 하였고, 턴테이블은 360도 회

전하고 측정 안테나는 수직, 수평으로 변화하면서 30MHz~300MHz사이의 각 주파수에서 측정 안테나 및 시험품의 위치에 따라 EMI 크기가 가장 클 때의 값을 검출하였다.

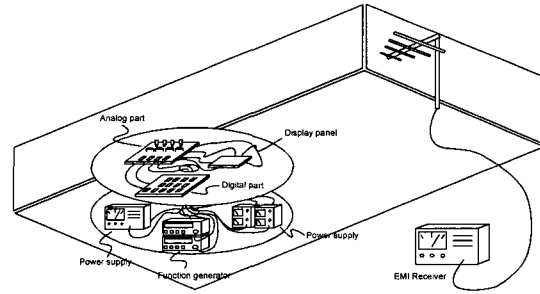


그림 8. EMI 측정 환경
Fig. 8. Set up of EMI measurement.

실험용 AC PDP 시스템의 모든 셀을 구동한 상태의 EMI 측정결과를 기준으로 구동 셀의 개수를 절반으로 줄인 경우에 변화된 EMI 측정결과로부터 디스플레이 패널의 EMI를 추론할 수 있다. 모든 셀을 구동한 상태의 EMI 측정결과와 구동 셀의 개수를 절반으로 줄인 경우의 EMI 측정결과를 그림 9의 (a)와 (b)에 나타내었다. 그림 9의 (a)와 (b)에서 보는 바와 같이 각각의 경우 방출 EMI 주파수 대역이 100MHz~140MHz에서 변화하고 있으며 이로부터 디스플레이 패널은 주로 100MHz~140MHz대역에서 EMI를 방출하고 있음을 알 수 있다. 유사한 방법으로 실험용 AC PDP 시스템을 구동한 상태의 측정결과를 기준으로 파워라인에 페라이트 비드를 부착한 경우에 변화된 EMI 측정결과로부터 파워라인의 EMI를 추론할 수 있다. 기준 EMI 측정결과와 페라이트를 부착한 경우의 EMI측정결과를 그림 9의 (c)에 나타내었다. 그림 9의 (a)와 (c)에서 보는 바와 같이 각각의 경우 방출 EMI주파수 대역이 30MHz~90MHz 대역에서 변화하고 있으며 이로부터 파워라인은 주로 30MHz~90MHz 대역에서 EMI를 방출하고 있음을 알 수 있다. 이는 그림 6에서 보는 바와 같이 디스플레이 패널의 EMI 시뮬레이션 결과는 EMI의 peak 값이 100MHz~140MHz 대역에서 나타나고 있으며 파워라인의 경우 EMI peak 값이 30MHz~90MHz 대역에서 나타나고 있다는 사실과 근사적으로 일치한다. 따라서 제시한 모델로부터 PDP 시스템의 EMI 원인을 정확히 알 수 있을 뿐만 아니라 실제 EMI의 크기는 시뮬레이션의 정규화 값을 측정 peak값에 일치시킴으로써

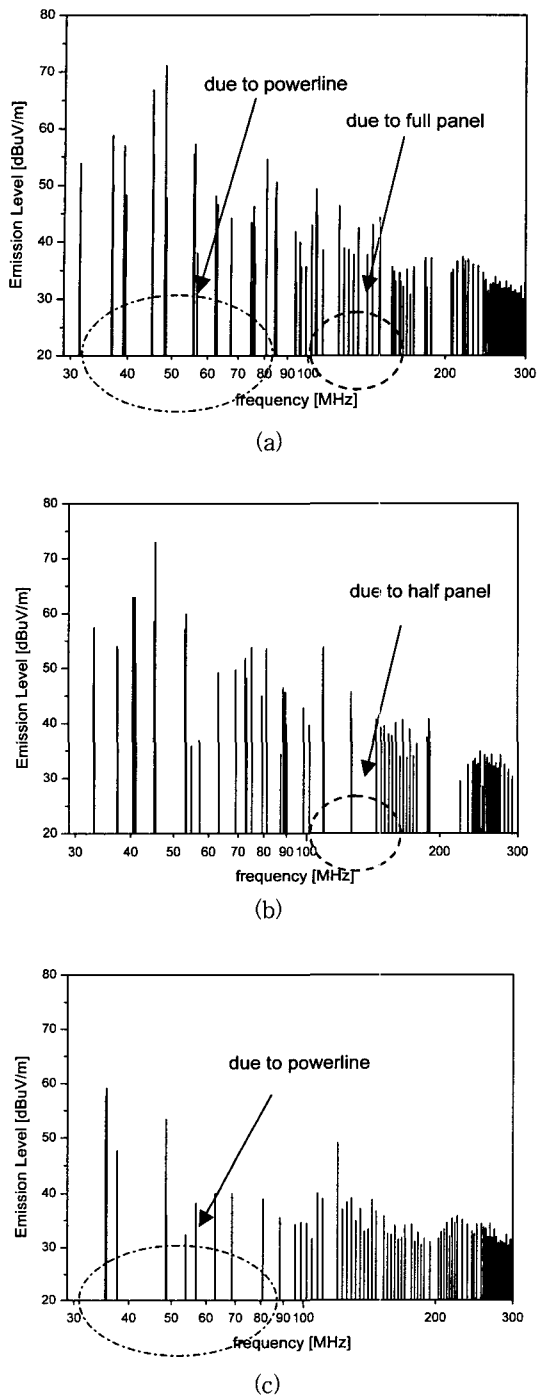


그림 9. EMI 측정 결과 (a) 기준 측정 결과 (b) 셀의 절반 점등 후 측정 (c) 파워라인에 ferrite bead 부착 후 측정

Fig. 9. Results of measurement. (a) Measured EMI due to PDP system. (b) Measured EMI due to half panel driving circuit (c) Measured EMI due to driving circuit with ferrite bead.

주파수에 따른 상대적인 크기를 예측할 수 있다.

V. 결 론

본 연구에서는 AC-PDP 시스템의 EMI 방출 현상을 시뮬레이션 할 수 있는 회로모델을 개발하여 회로모델로부터 계산한 전류와 Dipole Antenna Model을 결합하여 시스템의 EMI를 예측할 수 있는 새로운 EMI 예측 방법을 제시하였다. 제시한 모델의 유용성을 검증하기 위하여 간단한 실험용 AC PDP의 구동회로를 설계한 후 시스템을 제작하여 전자파 반무반향실에서 EMI 측정을 수행하였으며 측정된 데이터와 시뮬레이션 결과가 일치하다는 것을 보임으로써 제시한 회로모델의 유용성을 검증하였다.

참 고 문 헌

- [1] J. L. Deschamps, "Recent Developments and Results in Color-Plasma-Display Technology," SID Digest of Technical Papers, 1994, pp.315-318.
- [2] T. Yamamoto et al., "A 40-in diagonal HD TV DC plasma display", IEEE Trans. Electron Devices, vol. 42, pp. 847-855, May 1995.
- [3] P.S. Friedman, "Are plasma display panels a low-cost technology?", Inf. Displ., vol. 11, Oct. 1995.
- [4] K. Werner, "Plasma hits the ground running", Inf. Displ., vol. 12, no. 12, Dec. 1996.
- [5] T. Tsukada, "Amorphous silicon TFT's and flat panel displays", in Proc. Mater., RDs. Soc. Symp., vol. 424, 1997, pp. 3-8.
- [6] P.F. Van Kessel et al., "A MEMS-based projection display", Proc. IEEE, vol 86, pp. 1687- 1704, Aug. 1998.
- [7] C. R. Paul, "Introduction to electromagnetic Compatibility", John Wiley and Sons, INC, 1992.
- [8] H. W. Ott, "Noise Reduction Techniques in Electronic Systems", John Wiley and Sons, Interscience, 1998.
- [9] J'otonari et al, "Observation of Electromagnetic Noise from a Surface Discharge AC PDP",

EURODISPLAY'99, pp.301-305.
 [10] Yasuhiro Shiraki, Shinji Tanabe, "EMI Noise
 Analysis of Plasma Display Panels", Electro

magnetic Compatibility, International Symposi-
 um, 1999, pp.766-769.

저 자 소 개

姜 鍾 九(正會員)

2001년 2월 : 한양대학교 전자컴퓨터 공학부 졸업(공학
 사). 2002년 1월~현재 : 한양대학교 전기전자제어계측
 공학 대학원 석사과정. <주관심분야> 고속회로 설계

魚 瀛 善(正會員) 第36卷 第11號 參照

沈 鍾 寅(正會員) 第37卷 第9號 參照

鄭 周 榮(正會員) 第33卷 第10號 參照