

論文2002-39SD-1-11

부분 채널도핑된 GaAs계 이중이종접합 전력FET의 선형성 증가 (Linearity Enhancement of Partially Doped Channel GaAs-based Double Heterostructure Power FETs)

金友石*, 金相燮*, 丁潤夏*

(Woo Seok Kim, Sang Seob Kim, and Yoon Ha Jeong)

요약

HFET 소자의 선형성과 게이트-트레인 항복특성을 향상시키기 위해 부분채널 도핑된 $Al_{0.25}Ga_{0.75}As/In_{0.25}Ga_{0.75}As/Al_{0.25}Ga_{0.75}As$ 이중접합 구조를 갖는 FET를 제안하였다. 제안된 HFET는 게이트 전극 아래로 도핑되지 않은 AlGaAs 진성공급층을 두어 -20V의 높은 항복전압을 얻었다. 또한 소자의 InGaAs 채널에 부분 도핑을 실시하여, 균일 채널 도핑을 실시한 경우보다 향상된 선형성을 유도하였고, 2차원 전산 모사 결과와 제작 및 측정결과를 통해 선형성의 향상을 확인하였다. 본 실험에서 제안된 HFET소자는 DC 측정 결과와 고주파측정 결과 모두에서 기존의 FET소자들에 비해 향상된 선형성을 나타내었다.

Abstract

To increase the device linearities and the breakdown-voltages of FETs, $Al_{0.25}Ga_{0.75}As/In_{0.25}Ga_{0.75}As/Al_{0.25}Ga_{0.75}As$ partially doped channel FET(DCFET) structures are proposed. The metal-insulator-semiconductor(MIS) like structures show the high gate-drain breakdown voltage(-20 V) and high linearities. We propose a partially doped channel structure to enhance the device linearity to the homogeneously doped channel structure. The physics of partially doped channel structure is investigated with 2D device simulation. The devices showed the small ripple of the current cut-off frequency and the power cut-off frequency over the wide bias range.

I. 서론

전력용 HFET(hetero-structure field effect transistor) 소자는 대신호(large signal)를 다루어야 하므로 소신호(small signal) 증폭기용 소자 보다 좋은 선형성(linearity)과 큰 출력 전압범위(output voltage swing

range)을 가져야 한다. 이러한 요구 조건들을 만족하기 위해서는 소자의 선형성을 악화시키는 기생전도 현상(parasitic parallel conduction)을 최소화하고 소자의 출력전압범위를 증가시키기 위하여 높은 게이트-드레인 항복전압을 갖도록 해야한다.

종래의 변조(modulation) 도핑된 채널구조를 이용한 high electron mobility transistor(HEMT) 구조를 이용하여 우수한 잡음특성(noise characteristics)과 높은 전류 차단주파수 를 갖는 소자를 제작 할 수 있었다. 그러나 HEMT 구조에서는 게이트 전압이 증가함에 따라 게이트 누설전류(gate leakage current)의 증가와 도핑된 도너(donor) 공급층에서의 기생전도 현상 등에 의하여 선형성이 나빠지고 도핑된 공급층에 의한 항복

* 正會員, 浦港工科大学教 電子電氣工學科
(Pohang University of Science and Technology, Dept. of Electrical Engineering)

※ 본 논문은 2000년도 하계학술대회 우수논문임
接受日字:2000年11月1日, 수정완료일:2001年11月9日

전압의 저하의 단점이 발생하게된다. 이러한 단점 때문에 HEMT 구조를 고도의 선형성이 요구되는 고주파 전력 시스템에서 이용하기 위해서는 그 선형성 및 항복전압 특성을 개선할 필요성이 있다¹¹. 본 논문에서 제안한 전력용 doped channel field effect transistor (DCFET)는 일종의 '절연게이트(insulated gate) 구조로써 GaAs Cap층 과 도핑된 InGaAs 채널층사이의 도핑되지 않은 AlGaAs층이 절연체(insulator) 역할을 하게 되어 이 부분으로의 기생 전도 현상을 막음으로써 양의 게이트전압 부근에서의 선형성을 향상하고 게이트-드레인 항복전압특성을 향상하였다. 또한 채널에 부분도핑을 실시하여 전력소자로써의 기본요건인 전류레벨의 향상을 도모하면서 균일도핑에서 보다 향상된 선형성을 얻을 수 있었다.

일반적인 HEMT구조에서 기생전도 현상이란 게이트 전압이 증가하면서 AlGaAs층의 일부가 공핍층이 되지 않아 AlGaAs층에서도 전자의 전도(conduction)가 발생하여 변조효율(modulation efficiency)를 저하시키는 현상을 말한다. 변조효율 η (modulation efficiency)와 전달컨덕턴스 (transconductance) gm 및 전류차단주파수 f_T 와 는 다음과 같은 관계가 성립한다 5).

$$g_m = C_s \times v_{sat} \times \eta \quad (1)$$

$$f_T = \frac{v_{sat}}{2\pi L_g} \times \eta \quad (2)$$

C_s 는 2DEG(2-dimensional electron gas)층의 단위 면적당 정전용량(capacitance), v_{sat} 는 채널에서의 전자의 포화속도(saturation velocity), L_g 는 게이트길이(gate length)를 나타낸다. 이상적인 경우 모든 전자는 채널내에만 존재하며 채널내의 모든전자는 포화속도(saturation velocity)로 움직인다고 가정한다. 그러나 실제로는 게이트 전압이 증가하면서 전자들의 일부가 AlGaAs 장벽층(barrier layer)에 남아있게 되어 AlGaAs층에서도 기생전도현상이 발생하게 된다. 이처럼 채널층에서 이동하는 전자 이외의 전자들은 게이트전압에 의하여 변조(modulation)는 되지만 전자이동도(electron mobility)가 작은 AlGaAs 층을 통하여 움직이므로 전류의 크기는 작게 된다. 따라서 기생전도 현상이 발생하면 소스-드레인(source-drain) 전류밀도의 저하 및 전달 컨덕턴스의 감소현상이 발생한다. 변조효율이란 AlGaAs 장벽층 과 InGaAs 채널층 전체의 전자를 합한 것 중 InGaAs 채널 에서 포화속도로 움직이는 전자

의 비율을 표시하여 준다. 게이트 전압이 증가하면서 일부전자가 AlGaAs쪽에 남았게 되므로 변조효율(η)이 작아져 전달컨덕턴스 감소현상(gm reduction) 이 발생한다. 이러한 현상은 소자의 선형성을 악화시킬 뿐만 아니라 식 1 과 2에서 알 수 있듯이 소자의 DC 특성과 RF특성을 악화시킨다. DCFET구조의 소자에서는 AlGaAs층을 도핑하지 않음으로써 항상 AlGaAs층을 공핍된 상태로 유지시켜 기생전도 현상을 방지할 수 있다^{2,3}. 즉 HFET(Hetero-junction field effect transistor)의 전달컨덕턴스(gm)를 좌우하는 주된 요소는 게이트 전압의 변화에 따른 채널내의 전자밀도의 변화인데, 일반적인 HEMT의 경우 공급층내에 존재하는 전자량이 게이트전압에 따라 비선형적으로 변화하게되어 실질적으로 채널내로 전달되는 전위의 변화는 게이트 전압에 대해 비선형적으로 왜곡되게 된다. 따라서 채널내에 존재하는 전자량의 변화는 게이트전압에 대해 비선형적으로 변조되어 전달컨덕턴스의 비선형성을 초래하게 된다. 채널도핑을 하는 HFET의 경우에는 절연된 공급층에 존재하는 전자량이 HEMT에 비해 상대적으로 낮으므로 이로써 발생하는 채널인가 전위의 선형성이 개선되는 효과를 얻을 수 있다. 따라서 채널내의 전자량의 변화는 게이트 전압에 선형적인 특성을 갖게 되고, 전달컨덕턴스의 선형성이 개선될 수 있다. 특히 채널 중앙에의 부분도핑을 통해 선형성을 개선시킬 수 있는데, 같은 양의 도핑을 실시한다 하더라도 채널의 중앙부분에 집중시켜 게이트 전압에 따른 최대 전

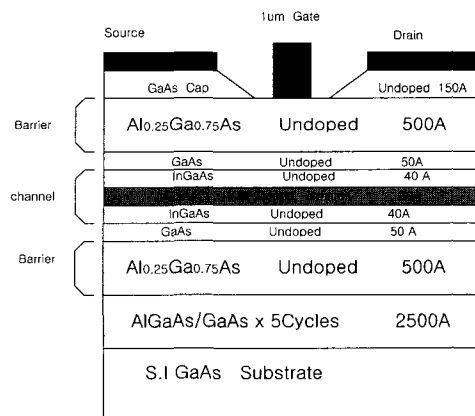


그림 1. 부분채널 도핑된 Al_{0.25}Ga_{0.75}As/In_{0.25}Ga_{0.75}As/Al_{0.25}Ga_{0.75}As HFET 구조

Fig. 1. Structure of the partially doped channel Al_{0.25}Ga_{0.75}As/In_{0.25}Ga_{0.75}As/Al_{0.25}Ga_{0.75}As HFET

자 분포점의 채널내 위치적 변화를 최소화시킴으로써 균일하게 도핑을 하는 경우보다 전달컨덕턴스의 선형성을 개선시킬 수 있다.

그림.1에서 볼 수 있듯이 InGaAs 채널의 중앙만 부분 도핑 되었다. 부분도핑채널 구조의 영향을 조사하기 위하여 이차원 모의실험(2D simulation)을 실시하였다. 그림.2 는 게이트전압 (gate voltage)을 -3 V 부터 1 V 까지 변화시키면서 게이트 전압의 변화에 따른 InGaAs 채널 내부의 전자량들의 변화를 나타내었다. 채널에 도핑된 농도는 중앙 부분 도핑의 경우 중앙 부근의 3nm 의 두께에 $1.0 \times 10^{19}/\text{cm}^3$ 의 레벨로 비교적 높게 설정되었고 균일도핑의 경우 중앙 부분 도핑의 경우와 같은 채널 도핑량을 갖게 하기 위해 11nm의 채널에 균일하게 $2.7 \times 10^{18}/\text{cm}^3$ 의 레벨로 설정되었다.

그림.2,3 에서 볼 수 있듯이 채널 부분 도핑되어 있는

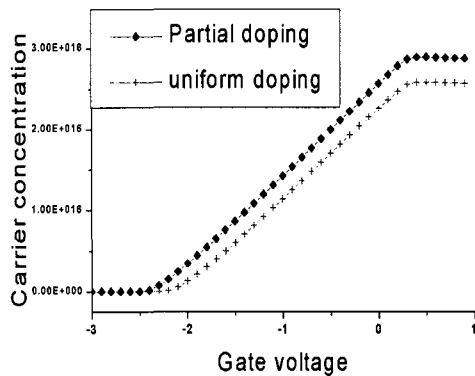


그림 2. 게이트전압 변화에 따른 채널내의 전자량
Fig. 2. Electron concentration in channel with gate bias.

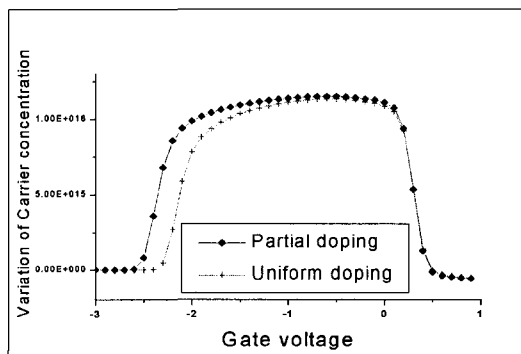


그림 3. 게이트전압 변화에 따른 채널내의 전자량의 변화율
Fig. 3. Variation rate of electron concentration in channel with gate bias.

경우에 균일 도핑되어 있는 경우보다 채널내 전자량의 게이트전압에 대한 변화율이 넓은 게이트 범위내에서 일정하게 유지되고 있는 것을 알 수 있다. 따라서 채널 내에 같은 양의 도핑을 행한 경우라도 채널 중앙에 부분 도핑되어 있는 구조가 균일 도핑이 되어있는 구조보다 전류 레벨 및 전달컨덕턴스의 선형성이 개선되고 있음을 알 수 있다.

본 연구에서는 이중이중접합(double heterostructure) $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As} / \text{In}_{0.25}\text{Ga}_{0.75}\text{As} / \text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 에 부분 Si 채널도핑(partially Sidoped channel) 양자우물(quantum well) 구조를 이용하여, FET 소자를 제작하고 그 선형성 및 항복전압 증가에 관하여 조사하였다.

II. 실험결과 및 논의

본 연구에서 제안한 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As} / \text{In}_{0.25}\text{Ga}_{0.75}\text{As} / \text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$ 이중이중접합(double heterostructure) 구조에 부분 Si 채널 도핑된 FET의 구조는 그림.1 과 같다. 에피 결정성장층은 MOVPE(metal organic vapor phase epitaxy) 법을 이용하여(100) GaAs 반절연성(semiinsulating) 기판 위에 성장시킨 것이다. 부분 Si-도핑된 110Å의 InGaAs채널의 아래위 양쪽으로 도핑되지 않은 AlGaAs/GaAs(500Å/50Å)층을 성장시켜 이중장벽(double barrier)구조를 형성하여 캐리어모음(carrier confinement)을 향상 시켰다. 좋은 오믹특성을 유지하기 위하여 도핑되지 않은 AlGaAs 층위에 금지대역폭(band gap)이 작은 GaAs 캡(cap) 층을 성장 시켰다. 항복 전압의 향상과 게이트 리세스(recess) 공정을 단순화하기 위하여 GaAs 캡(cap)층도 도핑 하지 않았다. FET소자의 제작공정은 먼저 $\text{H}_3\text{PO}_4 / \text{H}_2\text{O} / \text{H}_2\text{O}_2$ 용액을 이용하여 메사 패턴을 식각한 후, AuGe/Ni/Au를 증착하였다. 그 후 Furnace를 이용 질소 분위기에서 Alloying을 하여 Ohmic을 형성한다. $1\mu\text{m}$ 게이트 패턴을 만든 후 90 %까지 식각한 후 Ti/Au를 증착하여 FET소자를 완성하였다. 제작된 FET 소자의 DC측정은 HP4155A 반도체 파라미터 분석기를 사용하였고, 초고주파특성은 HP8510 Network Analyzer를 사용하여 바이어스 조건을 바꾸며 S-파라미터를 측정한 후 각각의 바이어스에 대한 차단 주파수를 계산하였다.

그림.4은 게이트 전압에 따른 오믹특성 곡선과 드레인 전류(I_{DS})-전달컨덕턴스(g_m)특성곡선을 보이고 있다. 제작된 FET 소자는 넓은 게이트 바이어스 전압 범위

에 대하여 일정한 전달컨덕턴스 값을 나타내고 있다. 게이트 전압-1.4 V에서 1.0 V까지의 게이트 전압범위에 대하여 최대값(110mS/mm)으로부터 10% 미만의 변화를 보였다. 기존의 HEMT구조에서의 드레인전류(I_{DS})-전달컨덕턴스(g_m)특성 곡선과 비교하여 향상된 선형성을 관찰할 수 있다.

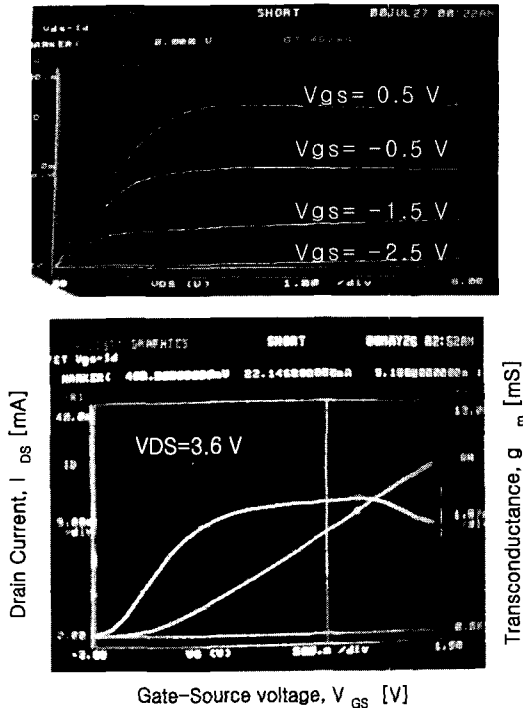


그림 4. 게이트전압(V_{GS}) 변화에 따른 소오스-드레인 (source-drain) 전류 및 전달컨덕턴스 값 ($1\mu\text{m}\times 85\mu\text{m}$ at 300K)
Fig. 4. Source-drain current and transconductance versus gate-source voltages. ($1\mu\text{m}\times 85\mu\text{m}$)

또한 다항근사(polynomial fitting)기술을 사용하여 소자의 선형성을 조사하였다. 드레인 전류(I_{DS})를 게이트 전압($V_{GS} : -2.5\sim -1.5\text{V}$)의 함수로 6차항 까지 나타내면 다음과 같이 쓸 수 있다.

$$I_{DS} = b_0 + b_1 \times V_{GS}^1 + b_2 \times V_{GS}^2 + b_3 \times V_{GS}^3 + b_4 \times V_{GS}^4 + b_5 \times V_{GS}^5 + b_6 \times V_{GS}^6 \quad (3)$$

식 3 에서 $b_n(n\geq 2)$ 가 영(zero)인 디바이스는 이상적인 선형소자 이며 2차이상의 계수가 작을수록 선형성은 좋아진다. 그림.5는 다항근사(polynomial fitting)기술을 이용하여 근사화된 $I_{DS}-V_{GS}$ 곡선이고, Table.1은 고차항

의 계수들의 크기를 보이고 있다. Table.1은 기존에 발표된 단일이종접합 균일채널도핑 구조의 FET^[2]와 본 논문에서 제작한 이중이종접합을 이용한 부분채널도핑구조의 FET의 다항근사(polynomial fitting) 결과를 비교 한 것이다.

표 1. 다항근사된 고주파 계수
Table 1. Harmonic distortion terms.

b_n/b_1	Sample #1 부분도핑 채널구조 <Our work>	Sample #2 균일도핑 채널구조 <Ref. 2>	Sample #3 변조도핑 채널구조 <Ref. 2>
b_2/b_1	-0.032	-0.014	-0.068
b_3/b_1	-0.00003	-0.001	-0.601
b_4/b_1	0.002	0.046	0.415
b_5/b_1	-0.008	-0.037	0.199
b_6/b_1	-0.001	-0.018	-0.247

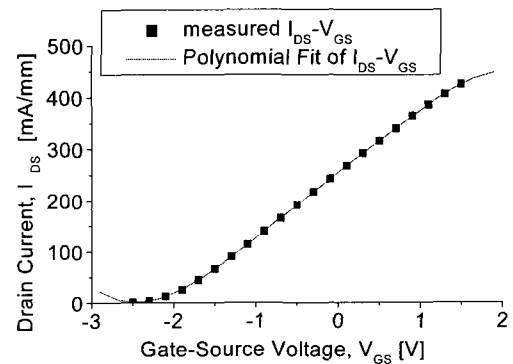


그림 5. 다항근사된 $I_{DS}-V_{GS}$ 특성곡선
Fig. 5. polynomial fitted $I_{DS}-V_{GS}$ curve.

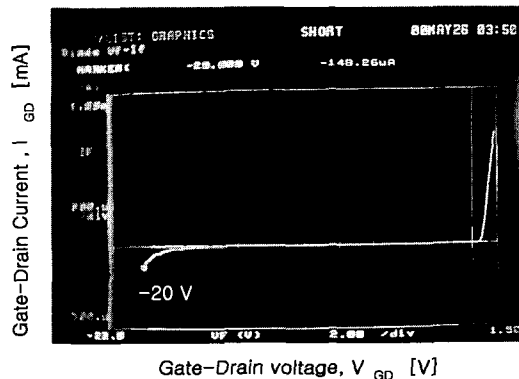


그림 6. 게이트-드레인(gate-drain) 항복특성 (항복전압 = -20 V)
Fig. 6. Gate-drain breakdown characteristics (BVgd = -20 V).

Table.1로부터 채널 도핑된 구조(sample #1, #2)는 변조도핑된 구조(sample #3)와 비교하여 탁월한 선형성을 보이고 있음을 관찰할 수 있다. Sample #1 과 #2의 1차계수(b1)와 3차계수(b3)의 비(b3/b1), 즉 3rd IMD항 (3-rd order inter-modulation term) 을 비교해본 결과 본 논문에서 제안된 부분채널 도핑된 소자(sample #1)가 1/30배 정도의 작은 값을 나타내었다. 이러한 결과로부터 본 실험에서 제안한 이중이종접합 부분도핑채널 구조를 이용할 경우 선형성을 향상시켜 제3고조파 상호변조현상(third harmonic inter-modulation) 을 크게 줄일 수 있음을 알 수 있다.

그림.6에서 보듯 제안된 FET 소자는 AlGaAs층 뿐만 아니라 GaAs 캡(Cap)층도 도핑하지 않음으로써 -20 V의 큰 항복전압을 얻었다.

향상된 항복 특성은 출력전압 동작 범위를 증가시켜 준다. 넓은 출력전압 동작 범위를 갖는 소자는 고전력 소자로서 동작 가능하다. FET소자는 드레인 전류-전압 특성을 측정 해본 결과 드레인 전압이 12 V까지 안정적인 동작 특성을 보였다. 이러한 항복 특성은 기존에 발표된 채널 도핑구조 소자와 비교해도 손색이 없는 값이다^[2].

그림.7 은 드레인 전압을 3.6 V로 고정시키고 게이트 전압을 -1.5 V부터 1.2 V까지 변화시키면서 각각의 게이트 바이어스 조건에 대한 f_T (전류차단주파수) 와 f_{MAX} (전력차단주파수) 값을 보이고 있다. 넓은 게이트 바이어스 변화에 대하여 작은 변화를 보여 선형적인 주파수 특성 보였다. 이동 단말기의 동작전압 3.6 V에서 주파수 특성을 측정 한 결과 최대 11 GHz의 전류 차단주파수(current cut-off frequency)와 32 GHz의 전력차단주파수(power cut-off frequency) 값을 보였다.

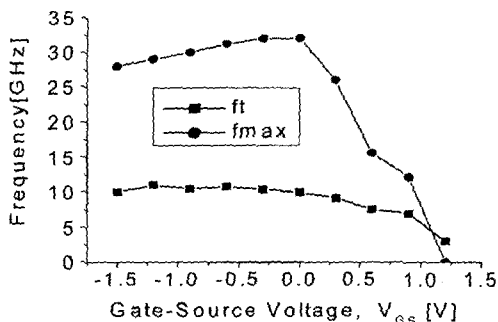


그림 7. 게이트 바이어스(Bias) 조건에 따른 주파수 특성. $V_{ds} = 3.6 V$

Fig. 7. RF characteristics with gate bias. ($V_{ds}=3.6V$)

III. 결 론

본 논문에서는 이중이종접합 $Al_{0.25}Ga_{0.75}As / In_{0.25}Ga_{0.75}As / Al_{0.25}Ga_{0.75}As$ 에 부분 Si 채널도핑된(partially Si-doped channel) FET 구조를 제안하였고, 이를 이용하여 전력용 GaAs계 FET를 제작하고, 그 특성을 분석하였다. 그 결과 제작된 FET소자는 -20 V의 큰 게이트-드레인 항복전압을 보였고 넓은 게이트 전압변동범위(-1.4 V~1.0 V)에 대하여 10% 미만의 작은 전달전덕턴스(g_m) 값의 변화를 보였다. 드레인전류(I_{DS})-게이트전압(VGS) 특성곡선을 다항근사(polynomial fitting) 기술을 이용하여 분석해본 결과, 본 연구에서 제안된 소자는 종래의 균일도핑된 채널구조를 갖는 단일이종접합 FET(uniformly doped channel single hetero-structure FET) 보다 우수한 선형성을 보였다.

참 고 문 헌

- [1] P. Roblin, L. Rice, S. B. Bibyk, and H. Morkoc, "Nonlinear parasitics in MODFET's and MODFET I-V Characteristics", IEEE Trans. Electron Devices, Vol. 35, p. 1207, 1988.
- [2] Y. J. Chan and M. T. Yang, "Device Linearity Improvement by AlGaAs/InGaAs Heterostructure Doped-Channel FET's", IEEE Electron Device Lett", Vol 16, No. 1, p. 33-35, January 1995.
- [3] M. T. Yang and Y. J. Chan, "Device Linearity Comparisons Between Doped Channel and Modulation Doped Design in Pseudomorphic AlGaAs/InGaAs Hetero structure", IEEE Trans. Electron Devices, Vol. 43, No. 8, p. 1174-1180, 1996.
- [4] J. Dickmann, C. Woelk, A Schurr, E. Kohn, and P. Narozny, "Determination of the optimum condition to Introduce the Doping in the Channel of High Speed Doped Channel AlGaAs/InGaAs HFET's", High Speed Semiconductor Devices and Circuits, 1991., Proceedings IEEE/Cornell Conference on Advanced Concepts , p. 208-217, 1991

저 자 소 개

金 友 石(正會員)

1999년 : 아주대학교 전자공학부를 졸업. 2001년 : 포항공대 전자전기공학부에서 석사. 2000년 : 전자공학회 하계 학술대회에서 부분채널도핑 구조의 HFET의 선형성 향상에 관한 연구로 우수논문상을 수상함. 현재 : 삼성 전자 SOC(System On a Chip)개발실 내의 Analog Core팀에서 CMOS 위상동기루프(PLL)설계에 관한 업무담당. <주요연구분야> GaAs 계열의 전력용 소자의 제작공정과 설계. 특히 HEMT, MISFET, Doped channel HFET등 GaAs계열의 FET소자를 연구함

金 相 燮(正會員)

2000년 2월 : 충남대학교 전파공학과를 졸업. 2001년~ 현재 : 포항공과 대학교 전기전자공학부 석사과정. <주요연구분야> RF Power device(HEMT, HFET등)의 설계, 제작 및 모델링

丁 潤 夏(正會員)

1974년 2월 : 경북대학교 전자공학과를 졸업(공학사). 1976년 2월 : 경북대학교 전자공학과를 졸업(공학석사). 1987년 2월 : Univ. of Tokyo 전자공학과를 졸업(공학박사). 1982년 3월~1987년 2월 : Univ. of Tokyo 연구원. 1987년 3월~현재 : 포항공과대학교, 조교수, 부교수, 교수에 재직 중. 1990년 1월~1991년 2월 : Bellcore에서 연구원. 1997년 7월~1998년 6월 : 워싱턴대학교에서 방문교수를 역임. 현재 : 산업자원부지정 나노기술 산업화 지원센터장 및 포항공대 나노기술 연구센터장. <주요연구분야> GaAs계열 RF-소자 개발, 측정, 모델링 및 회로 설계분야와 나노소자, 전산모사 및 회로개발 분야 등