

論文2002-39SD-1-10

전류 모드 다치 논리 CMOS 회로를 이용한 전가산기 설계

(Design of a Full-Adder Using Current-Mode Multiple-Valued Logic CMOS Circuits)

李龍燮*, 郭哲昊**, 金政範**

(Yong Sup Lee, Chol Ho Kwak, and Jeong Beom Kim)

요약

본 논문에서는 전류 모드 다치 논리 CMOS 회로를 이용하여 4치-2치 논리 복호기, 4치 논리 전류 버퍼, 4치 논리 전가산기를 제안하였다. 제안한 전가산기는 15개의 트랜지스터를 사용하여 기존의 2치 논리 CMOS 형태의 전가산기와 Current의 전가산기에 비하여 소자수가 각각 60.5%와 48.3% 감소되었으며, 이로 인해 면적 및 내부 노드수가 감소되었다. 본 논문의 회로들은 HSPICE를 사용하여 시뮬레이션 하였고 그 결과를 통하여 각각의 회로들이 정확하게 동작함을 확인하였다. 시뮬레이션 결과, 제안한 전가산기는 1.5ns의 전달 지연과 0.45mW의 전력소모 특성을 갖는다. 또한 전가산기는 본 논문에서 설계한 복호기 및 4치 논리 전류 버퍼를 사용하면 기존의 2치 논리에 쉽게 적용할 수 있다.

Abstract

This paper presents a quaternary-binary decoder, a quaternary logic current buffer, and a quaternary logic full-adder using current-mode multiple-valued logic CMOS circuits. Proposed full-adder requires only 15 MOSFET, 60.5% and 48.3% decrease of devices are achieved compared with conventional binary CMOS full-adder and Current's full-adder. Therefore, decrease of area and internal nodes are achieved. Designed circuits are simulated and verified by HSPICE. Proposed full-adder has 1.5 ns of propagation delay and 0.42mW of power consumption. Also, proposed full-adder can easily adapted to binary system by use of encoder, designed decoder and designed current buffer.

* 正會員, (주)하이닉스 반도체

(Hynix Semiconductor Inc.)

** 正會員, 江原大學校 電子工學科

(Dept. of Electronics Eng., Kangwon National University)

※ 본 논문은 BK21의 지원에 의해 이루어졌으며, 연구에 사용한 CAD S/W는 반도체설계교육센터(IDEC)의 지원에 의해 이루어졌음.

接受日字:2001年9月21日, 수정완료일:2001年12月18日

I. 서론

오늘날 반도체 집적 기술의 발달로 칩의 고성능화와 고집적화가 이루어지고 있다. 이러한 기술적인 발전으로 인하여 VLSI 시스템의 동작 게이트 및 트랜지스터, 내부 신호선 수가 급격히 증가하게 되었다. 설계자들은 단자수 제한 문제와 각각의 단자간 상호 연결 문제 그리고 보다 많은 정보량의 처리 문제 등의 제한성을 갖게 되었다. 이러한 문제를 해결하기 위해 지난 수십 년 동안 '1' 과 '0' 으로 표현되는 2치 논리가 아닌 3치 혹

은 그 이상의 논리 신호를 사용하는 다치 논리 회로(MVL: Multiple-Valued Logic)의 실현에 대한 많은 연구가 진행되어져 왔다^[1,2]. 다치 논리 회로는 2치 논리와 아날로그 신호 처리의 혼합된 형식으로 잡음에 강한 2치 논리의 이점은 유지하면서 보다 많은 정보를 처리할 수 있는 아날로그 신호의 장점을 사용한다. 현재 2치 논리를 사용하는 대부분의 VLSI 시스템은 각각의 신호선에 한 비트의 전송만이 가능하다. 만약 각각의 신호선에 동시에 두 비트 혹은 그 이상의 신호를 전송할 수 있다면 전체 신호선의 수는 절반 이상으로 감소 될 것이다. 따라서 다치 논리 회로의 사용은 전체 시스템의 상호 연결 단지수를 줄이고 동작 게이트와 트랜지스터 그리고 신호선의 수를 감소시킴으로써 시스템의 성능을 향상시켜 준다^[1]. 특히 4치 논리는 2치 논리와 변환 및 복원이 용이하여 현재 많은 다치 논리 시스템에 적용되고 있다.

다치 논리는 잡음 여유(noise margin)의 감소와 회로 구성 및 기능의 복잡성 증가 그리고 이로 인해 발생하는 스위칭 속도의 감소 등의 문제점을 가지고 있다. 이러한 문제점에도 불구하고 다치 논리가 많은 관심을 갖게 하는 이유는 전체 시스템 측면에서 손실에 비해 월등한 성능 개선의 효과 때문이다. 초기의 다치 논리 회로는 전압 모드 CMOS 회로에 의해 이루어졌다. 전압 모드 다치 논리 CMOS 회로는 그 구성이 복잡하고 전달 지연으로 인해 2치 논리 회로와 경쟁이 되지 못하다가 1983년에 전류 모드 다치 논리 CMOS 회로가 처음 소개되고 VLSI화에 대한 가능성이 입증되면서 이에 대한 관심이 높아졌다^[1,2]. 전류 모드 다치 논리 CMOS 회로는 전압 모드 회로가 갖는 결점을 보완하고 VLSI화의 요구 사항에 호환성을 가지며 낮은 공급 전압에서도 안정적으로 동작한다. 또한 전류의 가감을 활용한 연산 동작의 구성이 간편하다. 전류 모드 다치 논리 CMOS 회로는 디지털 신호 처리와 연산 회로 분야에 10년 이상 연구되어 왔고 이를 평가하기 위해 많은 VLSI 시스템에 적용되어 왔다^[1,4]. 특히 Current는 전류 모드 다치 논리 CMOS 회로를 사용한 비교기와 가산기 그리고 부호기 및 복호기, A/Q(Analog-to-Quaternary) 변환기 등 다양한 회로들을 실현하였다^[1]. 최근 국내에서도 전류 모드 다치 논리 CMOS 회로를 활용한 GF(Galois Field)상에서 가산 및 승산 알고리즘을 구현하는 등 활발한 연구가 계속되고 있다^[2].

본 논문에서 이러한 전류 모드 다치 논리 CMOS 회

로의 장점을 활용하여 미세 선폭 반도체 기술을 적용한 전류 모드 4치 논리 전가산기를 설계하였다. 전류 모드 4치 논리 CMOS 회로는 기존에 '0' 과 '1' 로 표현되는 2치 논리 신호를 00, 01, 10, 11로 표현되는 4치 논리 신호로 확장하고 4개의 전류 레벨로 변환하여 처리하는 CMOS 회로이다. 또한 제안한 4치 논리 전가산기를 기존의 2치 논리 회로에 적용하기 위하여 필요한 복호기와 전류 버퍼를 설계하였다. 본 논문에서는 4치 논리 신호의 표현을 위해 각각의 논리 레벨을 나타내는 단위 전류를 10 μ A로 하여 4치 논리 신호의 "00"은 전류 레벨의 0A, "01"은 10 μ A, "10"은 20 μ A, 그리고 "11"은 30 μ A로 나타낸다.

II. 전류 모드 4치 논리 전가산기의 설계

1. 전류 모드 2치- 4치 논리 변환 부호기^[1]

부호기(encoder)는 전압모드 2치 논리 신호를 전류 모드의 4치 논리 신호로 변환하는 회로이다. 그림 1은 Current^[1]가 설계한 부호기이다. 이 부호기의 PMOS인 M1과 NMOS인 M2는 임계 전류를 생성하며 생성된 임계 전류는 단위 전류 I를 복제하고 M4는 임계 전류의 두 배인 2I를 복제한다. 복제된 전류는 M5와 M6을 통해 출력에 전달되며 두 트랜지스터를 통과한 전류의 합이 출력 전류 I_o이다. M5와 M6은 2치 논리 입력 신호 2⁰과 2¹에 의해서 스위칭 동작을 하게 된다. 입력 신

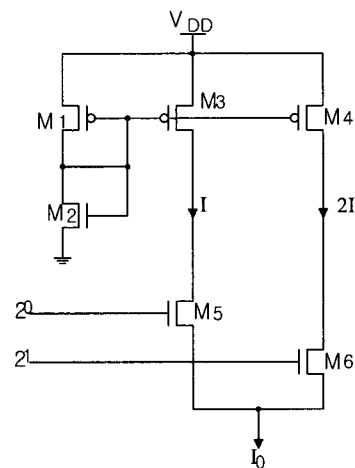


그림 1. Current가 설계한 전류 모드 2치-4치 논리 변환 부호기

Fig. 1. Current-mode binary to quaternary logic encoder by Current.

호에 대한 출력 전류 I_o 의 관계를 표 1에 보였다. 본 논문에서 설계한 4치 논리 전가산기를 2치 논리에 적용할 때에는 그림 1에 보인 Current^[1]가 설계한 부호기를 사용하면 된다.

표 1. 전압 모드 2치 논리 입력 신호에 대한 부호기의 출력 전류
Table 1. Output current of encoder for voltage-mode binary logic input current.

입력 신호		출력 신호(I_o)
2^1	2^0	
0	0	0
0	1	1 (10 μ A)
1	0	2I (20 μ A)
1	1	3I (30 μ A)

2. 전류 모드 4치-2치 논리 변환 부호기

부호기(decoder)는 전류 모드 4치 논리 신호를 2치 논리로 변화하여 주는 4치-2치 논리 변환 회로이다. 부호기는 전류 모드 4치 논리 회로의 출력단에 사용되며 전류 모드의 출력 신호를 2치 논리 시스템에서 사용할 수 있도록 한다. 그림 2에 보인 Current가 설계한 부호기^[1]는 전류 비교기 부분과 CMOS 논리 회로 부분으로 나누어지며 그 구성이 복잡하고 17개의 트랜지스터를 사용하고 있다. 그림 3은 본 논문에서 설계한 부호기이다. 본 논문에서 설계한 부호기는 Current의 회로와 같이 전류 비교기 형식을 취하고 있지만 CMOS

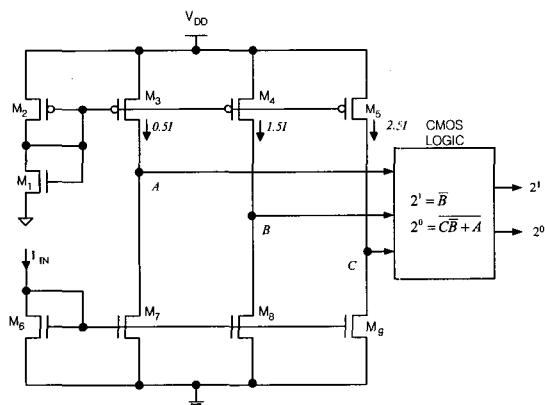


그림 2. Current가 설계한 전류 모드 4치-2치 논리 변환 부호기
Fig. 2. Current-mode quaternary to binary logic decoder by Current.

논리 회로를 제거하여 트랜지스터 수와 전달 지연을 감소시켰다. 부호기의 동작은 PMOS인 M2와 NMOS인 M1을 통해 단위 전류 I를 생성하고 M3, M4, M5에 의해 1.5I, 2I, 0.5I인 임계 전류를 각각 복제한다. M8, M9는 M7을 통해 입력된 입력 전류 I_{in} 을 그대로 복제하여 임계 전류와 비교한다. 임계 전류의 설정은 잡음 여유를 고려하여 0.5I, 2I, 1.5I로 각각 0.5I만큼의 여유를 두었다. 표 2에 부호기의 입력 전류에 대한 출력 신호를 나타낸다

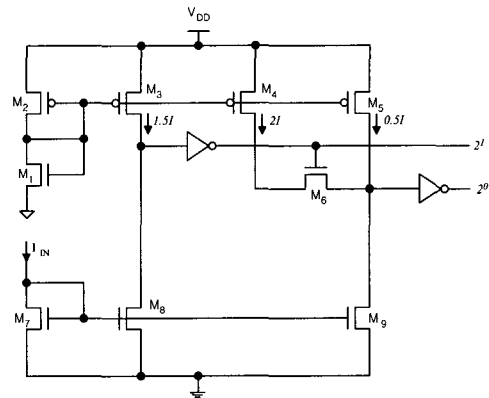


그림 3. 제안한 전류 모드 4치-2치 논리 변환 부호기
Fig. 3. Proposed current-mode quaternary to binary logic decoder.

표 2. 전류-모드 4치 논리 입력 전류에 대한 부호기의 출력 전류

Table 2. Output current of decoder for current-mode quaternary logic input current.

입력 전류(I_{in})	출력 신호	
	2^1	2^0
$I_{in} < 0.5I$	0	0
$0.5I \leq I_{in} < 1.5I$	0	1
$1.5I \leq I_{in} < 2.5I$	1	0
$2.5I \leq I_{in}$	1	1

3. 전류 모드 4치 논리 전가산기

전류 모드 4치 논리 CMOS 회로는 디지털 신호 처리와 연산을 보다 효율적으로 처리할 수 있다. 전류 모드 4치 논리 전가산기는 이러한 연산 회로 중 가장 기본적인 회로이다. 본 논문에서는 15개의 트랜지스터를 사용하여 전가산기를 구현하였다.

전류 모드 4치 논리 전가산기는 두 개의 4치 입력 신호 A와 B 그리고 캐리 입력 C_i 를 하나의 입력 단자

를 통해 입력 받고 입력 신호에 대한 연산 결과를 SUM과 CARRY의 두 출력 단자를 통해 출력한다. 입력 전류가 0에서 30 μ A 까지 일 때 출력 SUM은 입력 전류값과 같은 값을 출력한다. 그러나 입력 전류가 40 μ A 이상이 되면 4치 논리의 자리 올림수인 CARRY가 발생하게 된다. 입력 단자에 입력 될 수 있는 최대 전류는 4치 입력 신호 A와 B가 가질 수 있는 각각의 최대 전류 30 μ A와 전단의 자리 올림수인 캐리 신호 C가 존재할 때의 전류 값 10 μ A를 합하여 최대 70 μ A가 된다. 이 때의 출력은 40 μ A에서 발생하는 CARRY 신호 10 μ A와 SUM 신호 30 μ A가 출력된다.

본 논문에서 제안한 전류 모드 4치 논리 전가산기와 비교를 위해 Current의 전류 모드 4치 논리 전가산기^[1]를 그림 4에 보인다. 그림에서 보여지는 바와 같이 Current의 전가산기는 총 29개의 트랜지스터를 사용하며, 여러 가지 필요한 신호를 발생시키기 위하여 동일한 형태의 회로를 반복하여 사용하고 있다. 그림 5는 본 논문에서 제안한 전류 모드 4치 논리 전가산기이다. NMOS인 M1과 M3 그리고 M10은 전류 미러 회로로써 입력 전류 I_{in} 을 복제하고 M4와 M5는 전류원으로 단위 전류 $I(10\mu A)$ 를 생성한다. M2와 M8은 전류원을 통해 단위 전류의 4배인 4I의 전류를 복제하고 M6은 I를 복제한다. M2와 M3는 전류 비교기로 동작하여 입력 전류 I_{in} 과 M2의 임계 전류 4I를 서로 비교하여 M7과 M9의 스위칭 동작을 제어한다. M13은 M12에 흐르는 전류를 복제하여 연산 결과인 SUM을 출력한다. 전가산기의 동작을 보면 입력 전류 I_{in} 이 4I보다 작은 값 일 때 출력 CARRY는 0A가 되고, 입력 전류 I_{in} 이 SUM으로 출력된다. 입력 전류가 4I보다 큰 경우 CARRY에 출력되고 입력 전류에서 4I를 제외한 나머

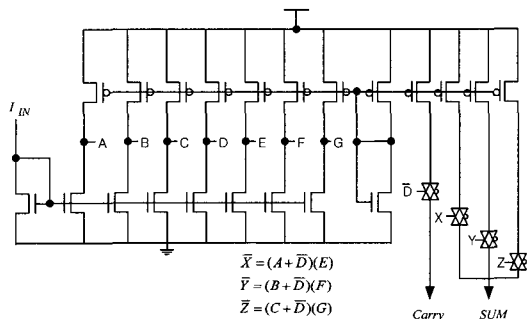


그림 4. Current가 설계한 전류 모드 4치 논리 전가산기
Fig. 4. Proposed current-mode quaternary logic full-adder by Current.

지 전류가 SUM이 된다. 즉 출력 전류 $SUM = I_{in} - 4I$ 가 된다. M11은 다이오드로써 역전류 방지와 M8과 M12 사이의 상호 전기적인 영향을 없애기 위한 완충 역할을 하게 된다. 따라서 Current의 전가산기와 동일한 동작을 하면서도 소자수와 면적면에서 우수한 성능을 보인다.

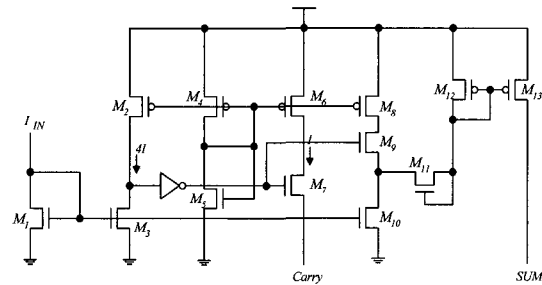


그림 5. 제안한 전류 모드 4치 논리 전가산기
Fig. 5. Proposed current-mode quaternary logic full adder.

4. 전류 모드 4치 논리 전류 버퍼

다치 논리 회로가 갖고 있는 문제점중의 하나는 잡음 여유의 감소이다. 저루 레벨의 경우 저루의 레벨을 4단계로 나누어 연산을 수행하게 됨으로써 2치에 비해 취약한 잡음 여유도를 갖게 된다. 따라서 보다 정확한 신호의 생성과 처리가 필요하다.

그림 6은 본 논문에서 제안한 전류 모드 4치 논리 전류 버퍼이다. 4치 논리 전류 버퍼는 회로의 동작 중에 변형된 전류 신호를 각각의 논리 레벨에 맞는 정확한 신호로 변환한다. 4치 논리 전류 버퍼의 동작은 입력 전류를 전류원을 통해 만들어진 임계 전류와 비교기를 통해 비교하여 각각의 논리 레벨을 측정하고 측정된 레벨을 4치 논리에 맞는 정확한 전류 레벨로 변환하여 출력한다. 정확한 전류 레벨을 생성하기 위해 4치 논리 전류 버퍼의 출력은 단위 전류를 생성하는 세 개의 전류원으로 구성되며 각각의 비교기 출력에 의해 버퍼의 출력 전류값을 결정한다. M2와 M11은 전류원으로 단위 전류 I값을 생성하고 NMOS인 M12, M13, M14는 임계 전류 2.5I와 1.5I, 0.5I를 생성한다. 각각의 임계 전류는 4치 논리 전류 레벨보다 0.5I의 차를 갖게 되는데 이것은 잡음 여유를 유지하기 위한 것이다. M9와 M10은 전류 미러로써 입력 전류를 복제하여 PMOS인 M1, M3, M4, M5를 통해 복제된 입력 전류 I_{in} 가 흐르게 한다. 각각의 입력 전류는 임계 전류와 비교되어

그 출력이 M15, M16, M17인 NMOS의 스위칭 동작을 제어하여 M6, M7, M8에서 각각 생성되는 단위 전류 I가 출력에 전달되도록 한다.

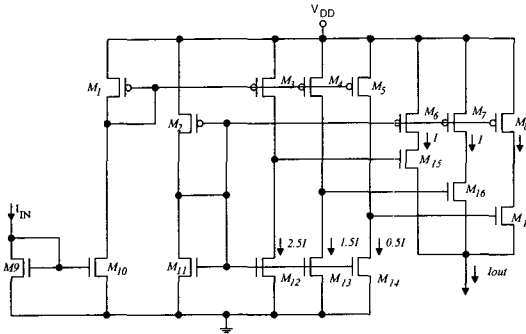


그림 6. 제안한 전류 모드 4치 논리 전류 버퍼
Fig. 6. Proposed current-mode quaternary logic current buffer.

III. 시뮬레이션 결과 및 비교

1. 모의실험 결과 및 배치설계

본 논문은 0.25 μ m CMOS 기술을 사용하여 HSPICE로 시뮬레이션 하였다. 시뮬레이션에 사용한 모델 파라미터는 Level 28 공정 파라미터를 사용하였고 공급 전원은 2.5V로 하였다. 시뮬레이션 결과를 얻기 위해 전류 출력에는 10k Ω 의 저항을, 전압 출력에는 300fF의 콘덴서를 연결하였다.

그림 7은 전류 모드 4치 논리 전가산기의 시뮬레이션 결과이다. 그림 7의 (a)는 전가산기의 입력 신호를 나타낸다. 입력 신호는 가산을 수행하기 위한 두 개의 입력 신호와 전단의 자리 올림수인 캐리 신호가 합하여 0에서 최대 70 μ A까지의 전류가 입력된다. 전가산기의 합(SUM) 출력은 입력 신호에 따라 0에서 30 μ A까지의 출력 전류 레벨을 갖게 되며 입력 전류가 40 μ A를 초과하게 되면 10 μ A의 캐리 신호가 발생하게 된다. 그림 7의 (b)와 (c)는 합 출력과 캐리 출력 신호를 나타낸다.

본 논문에서 제안한 전가산기 회로를 IC로 제작하기 위하여 Cadence의 Virtuoso를 사용하여 배치설계(layout) 하였다. 그림 8은 전류 모드 4치 논리 전가산기의 배치설계이다.

2. 비교 및 분석

Current에 의해 설계된 다치 논리 회로들과 본 논문

에서 설계한 회로들을 표 3에서 비교하였다. 본 논문에서 설계한 회로는 Current의 회로와 동일한 동작을 하면서도 복호기의 경우 23.5%, 전가산기의 경우 48.3%의 소지수 감소를 이루어 효율적임을 알 수 있다.

표 4는 본 논문의 전가산기와 2치 논리 전가산기의 비교 결과이다. 설계한 전가산기는 전압 모드 2치 논리 전가산기와 비교하여 전체 연결 노드 수가 56.5% 감소하였고 트랜지스터의 수는 60.5% 감소하여 전체 면적이 감소하였다. 제안한 전가산기는 낮은 공급 전원에서 안정적으로 동작하였고 사용되는 트랜지스터의 수와 연결노드의 수를 감소시킴으로써 전체 면적의 감소를 가져왔다 또한 전달 지연에 있어서도 1.5ns로 2치 논리 전가산기에 비하여 21.0% 감소된 특성을 나타내었다. 그러나 전력 소모는 2치 논리 전가산기에 비해 60.7% 큰 것을 알 수 있다. 이것은 4치 논리를 적용함으로써 발생하는 잡음 여유의 감소와 전류 모드 회로의 작은

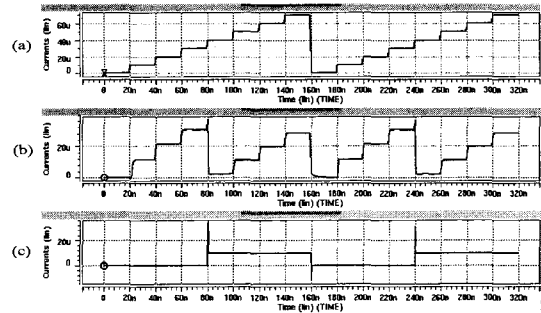


그림 7. 전류 모드 4치 논리 전가산기의 시뮬레이션 결과 (a) 입력신호 (b) 합(SUM) 출력 (c) 캐리(Carry) 출력
Fig. 7. Simulation results of current-mode quaternary logic full-adder (a) input (b) SUM output (c) Carry output.

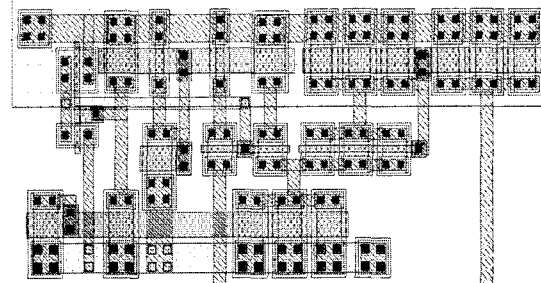


그림 8. 전류 모드 4치 논리 전가산기의 배치설계
Fig. 8. Mask layout of current-mode quaternary logic full-adder.

입계 전류를 생성하기 위해 커진 트랜지스터의 폭(W)과 길이(L)로 인해 발생하는 캐패시터 성분의 증가에 의한 것이다. 또한 전류 모드 회로에서 발생하는 고정 전류(static current)로 인해 전력 소모가 증가하였다. 따라서 전력 소모는 앞으로 전류 모드 CMOS 다치 논리 회로가 해결해야 할 가장 중요한 문제이다.

표 3. 4치 논리 회로 비교
Table 3. Comparisons of quaternary logic circuits.

	Current의 회로[1]	제안된 회로
복호기	Tr 9 + CMOS Block(Tr 8)	Tr 9 + Inv 2
전가산기	Tr 21 + Transmission gate 4	Tr 13 + Inv 1

표 4. 전가산기 비교
Table 4. Comparisons of full-adder.

	2치 논리 전가산기	제안된 전가산기
트랜지스터 수	38	15
연결 노드 수	23	10
평균전력소모(mW)	0.28	0.45
전파지연(ns)	1.9	1.5
CMOS 기술(μm)	0.25	0.25
공급전압(V)	2.5	2.5

IV. 결 론

본 논문에서는 전류 모드 다치 논리 CMOS 회로를 이용한 전가산기를 제안하였다. 또한 제안한 전가산기를 기존의 2치 논리 회로에 적용할 수 있도록 4치-2치 논리 변환 복호기와 4치 논리 전류 버퍼를 설계하였다. 각각의 회로들은 HSPICE 시뮬레이션을 통해 정확하게 동작함을 확인하였다. 제안한 전가산기는 15개의 트랜지스터를 사용하여 기존의 CMOS 형태의 전가산기와 Current의 전가산기^[1]에 비하여 소자수가 각각 60.5%와 48.4% 감소되어 면적과 내부 노드의 수가 감소되었다. 또한 시뮬레이션 결과, 제안한 전가산기는 1.5ns의 전달 지연과 0.42mW의 전력소모가 발생하여 전력 소모를 제외하고는 소자수, 연결 노드 수, 전달지연 등에서 2치 논리 전가산기와 비교하였을 때 우수한 것으로 확

인되었다.

본 논문에서 제안한 전가산기는 기존의 2치 논리를 적용한 VLSI 시스템과 호환성을 갖고 있으며 확장성을 갖는다. 전류 모드 4치 논리 전가산기는 현재 적용되고 있는 미세 선폭 기술인 0.25 μm 공정 기술에서 안정적으로 동작하므로 향후 VLSI화 실현에 적합할 것으로 기대된다. 그러나 전력소모가 커서 이동장치의 연산 부분 등에 적용이 어려운 문제점을 가지므로 향후 전력소모를 줄이는 연구가 필요할 것으로 생각된다.

참 고 문 헌

[1] K. Wayne Current, "Current-mode CMOS multiple-valued logic circuits," IEEE J. Solid-State Circuits, Vol.29, No.2, pp.95-107, Feb.1994.

[2] 성현경, 윤광섭, "전류 모드 CMOS에 의한 다치 연산기 구현에 관한 연구" 전자공학회회지, 제36권, 제8호, pp. 35-45, 1999년 8월.

[3] Neil Weste and Kamran Eshraghian, Principles of CMOS VLSI Design, Reading, MA: Addison-Wesley, 1993.

[4] Shoji Kawhito, Michitaka Kameyama, Tatsuo Higuchi, and Haruyasu Yamada, "A 32 32-bit Multiplier Using Multiple-Valued MOS Current-Mode Circuits" IEEE J. Solid-State Circuits, Vol.23, No.1, Feb. 1988.

[5] Jae-Yoon Sim, Yong-Soo Sohn, Seung-Chan Heo, Hong-June Park, and Soo-In cho, "A 1Gb/s Bidirectional I/O Buffer Using the Current-Mode Scheme" IEEE J. Solid-State Circuits, Vol.34, No.4, April. 1999.

[6] R.Jacob Baker, Harry W. Li David E. Boyce, CMOS Circuit Design, Layout, and Simulation, IEEE Press, 1998.

저 자 소 개



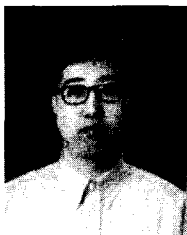
李龍燮(正會員)

1997년 2월 : 삼척대학교 전자공학과 졸업(학사). 1996년 12월~1998년 9월 : 미래통신연구소 연구원. 2001년 2월 : 강원대학교 대학원 전자공학과 졸업(공학석사). 현재 : Hynix 반도체 연구원.



金政範(正會員)

1985년 : 인하대 전자공학과(공학사). 1987년 : 인하대 전자공학과(공학석사). 1997년 : 포항공대 전자전기공학부 (공학박사). 1987~1992년 : 금성반도체(현 현대전자) 중앙연구소 선임연구원. 1994년~1997년 : 현대전자 시스템 IC 연구소 책임연구원. 1997년~1999년 : 충북대학교 전기전자공학부 교수. 현재 강원대학교 전기전자정보통신공학부 조교수.



郭哲昊(正會員)

1995년 : 강원대학교 재료공학과(공학사). 1997년 : 강원대학교 재료공학과(공학석사). 2002년 2월 : 강원대학교 전자공학과(공학박사). 1999년~2000년 : (주)Webnara 연구원. 현재 : 송호대학 정보산업계열 멀티

미디어전공 겸임교수