

論文2002-39SD-1-9

부분요소 등가회로를 이용한 시간영역에서의 인터커넥트 모델링 연구

(Modeling Interconnect Wiring using the Partial Element Equivalent Circuit Approach in Time Domain)

朴 泄 泉 *, 尹 錫 仁 *, 元 太 映 *

(Sechun Park, Sukin Yoon and Taeyoung Won)

요 약

본 논문에서는 대략적인 PEEC 방법에 대해 논의 하고, 도선에 대하여 PEEC 등가회로를 구성하였으며, 주어진 등가회로로부터 시스템의 행렬을 구하고 이 행렬을 수치 해석적인 방법을 이용한 시뮬레이션을 수행하여 노드에서의 전압과 전류를 구하였다. PEEC 등가 회로를 구성하기 위해서, PEEC 등가 회로를 구성하는 성분(R, L, C)을 유한 요소법(finite element method)을 이용한 시뮬레이터를 이용하여 추출하였으며, 생성된 등가 회로에 대한 과도 해석을 수행하였다.

Abstract

In this paper, we discuss the PEEC method and construct the PEEC equivalent circuit of the test structure and construct the system matrix, which was simulated by numerical analysis. And we got node voltages and currents. Constructing the equivalent circuit, we extracted the parasitic parameter(R, L, C)using the simulator, which is based on finite element method, hence we could simulate the transient analysis.

I. 서 론

최근 반도체 소자의 구조가 작아지고, 레이아웃 기술이 발달함에 따라 반도체 소자의 속도는 급격하게 증가하고, 소자에 의한 지연(delay)은 감소하고 있는 추세

이다. 따라서, 칩의 동작에 있어서 시간 지연 문제는 더 이상 반도체 소자에 의한 문제가 아니고, 회로 디자인에 기인한 배선 방식에 의해 많은 영향을 받게 되었다. 즉, 고성능 시스템에서 인터커넥트 라인(interconnect line)에 의한 시간 지연은 칩의 동작을 결정하는 중요한 문제라 할 수 있겠다.

* 正會員, 仁荷大學校 工科大学 電子電氣工學部

(School of Electrical Engineering, Inha University)

※ 본 연구는과학기술부와 산업자원부가 주관하는 시스템 집적회로 기반기술 개발사업(과제명: 다층 배선 고주파 모델링 소프트웨어 개발, 과제번호: 00-B4-FR-00-13-00-01)과 정보통신부가 주관하는 대학 정보통신 연구센터 육성 지원사업의 지원에 의하여 수행되었습니다.

接受日字:2001年6月4日, 수정완료일:2001年11月19日

현재까지 칩상의 배선(on-chip wire)은 단일 캐패시턴스(single capacitance)가 접지로 연결된 형태 또는 lumped RC circuit으로 모델링 되거나, 단일 전송선(single transmission line)으로 모델링되어 왔다. 그러나, 이런 간단한 모델들로는 더 이상 고속, 고집적, 고성능의 소자를 모델링하기에는 충분하지 못하다. 특히, 인터커넥트 모델링에서 중요한 요소는 이웃하는 배선간의 크로스-톡(cross-talk)현상에 의한 신호 왜곡인데,

이것은 단일 전송선 모델에서는 완전히 무시된다. 더욱이 단일 전송선 모델은 배선의 길이(line length)가 배선의 폭(line width) 또는, 배선 사이의 간격(spacing)보다 훨씬 큰 경우에는 잘 적용되지만, 고성능, 고집적의 반도체 소자에서는 잘 적용되지 않는 단점이 있다.

인터커넥트 라인의 해석을 위한 또 다른 방법으로써 MOM(method of moments)과 유한 차분법(finite difference method, FDM)에 의한 방법이 있다. MOM 방법은 주파수 영역(frequency domain)에서만 주로 쓰이는 반면에 시스템의 비선형(non-linear)부분을 쉽게 다룰 수 있고, SPICE와 같은 회로 시뮬레이터에서 공통적으로 사용되는 시간 영역(time domain)해석에서 사용되지 못하는 단점이 있으며, 시간 영역에서의 인터커넥트 라인의 해석을 위한 툴(tool)은 보고된 바가 없다. 또한, 유한 차분 방법을 이용한 FDTD(finite difference time domain)방법은 분석 시간이 너무 길고, 복잡한 형상에 대하여 시뮬레이션을 수행하기 어렵기 때문에 풀 칩 시뮬레이션(full chip simulation)에는 선행되어야 할 조건들이 너무 많고, 아직 현실적으로 불가능하다는 단점이 있다.

따라서, 최근 전술한 방법들의 단점을 보완할 수 있는 PEEC(partial element equivalent circuit) 방법이 제안되고 있다. PEEC 방법은 고속, 고집적, 고성능의 반도체 소자에서 인터커넥트 라인의 전기적인 특성을 모델링하기 위해 연구되어 왔다.^[1-6] PEEC 방법은 인터커넥트 라인에 대하여 맥스웰 방정식(Maxwell's equations)의 퀴지-스태틱 방법(quasi-static solution)으로부터 계산된 저항 성분(resistance)과 부분 인덕턴스(partial inductance) 및, 캐패시턴스(capacitance)로 이루어진 PEEC 등가 회로로 구성하고, 구성된 등가 회로에 대한 회로 방정식을 수립하여 해석하는 방법이다. PEEC 방법을 이용하여 인터커넥트 라인에 대한 해석을 수행하기 위해서는 PEEC 등가 회로를 구성하기 위한 기생 성분들(R, L, C)의 추출이 선행되어야 하며, 이러한 요구는 CAD tool의 발전으로 주어진 구조에서의 기생 성분들을 어렵지 않게 추출할 수 있어서 PEEC 방법에 적용되고 있다.

PEEC 방법은 다른 회로 모델들과의 결합이 용이하고, 시간 영역과, 주파수 영역에서도 잘 적용이 되며, 또한 인터커넥트를 자세하게 모델링 할 수 있는 장점이 있다. 따라서, 이 논문에서는 PEEC 방법을 이용한 시간 영역에서의 과도 해석을 수행하게 되었으며,

PEEC 모델링시 파장보다 가까운 위치에 인접한 도체가 있으므로 빛의 유한한 속도에 의한 지연 시간(retardation time)은 무시하였다.^[7]

후술하는 제 II장에서는 대략적인 PEEC 방법에 대해 논의하였고, 제 III장에서는 PEEC 방법을 적용하기 위한 구조의 생성과 기생성분의 추출에 대하여 설명하였고, PEEC 등가 회로로부터 회로 방정식 행렬을 구성하였고, 제 IV장에서는 추출한 기생성분들을 사용하여 PEEC 해석을 수행하였고, 시뮬레이션의 결과에 대해 설명하였다.

II. PEEC 방법

전계에 대한 적분식을 근간으로 하는 PEEC에 의한 도선의 등가모델은 임의의 도선을 인덕티브 셀(inductive cell)과 캐패시티브 셀(capacitive cell)로 정의함으로써 시작된다.

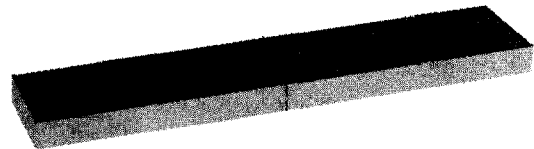


그림 1. 1개의 인덕티브 셀로 구성된 도선
Fig. 1. Metal line with one inductive cells.

그림 1과 같이 임의의 도선을 1개의 인덕티브 셀로 정의하고, 인덕티브 셀의 중간점(middle point)을 기점으로 2개의 캐패시티브 셀을 정의한다. 이렇게 정의한 구조로부터 도선에 대한 기생성분을 추출하게 된다. 하나의 인덕티브 셀로부터 1개의 직렬 저항성분과 셀프 인덕턴스 그리고 상호 인덕턴스성분을(mutual inductance) 추출하게 되고, 각각의 캐패시티브 셀로부터 셀프 캐패시턴스(self inductance)와 커플링 캐패시턴스(coupling capacitance) 성분을 추출하게 된다.

이렇게 추출된 셀프 인덕턴스와 상호 인덕턴스, 셀프 캐패시턴스와 커플링 캐패시턴스 그리고 직렬저항으로부터 그림 2와 같은 PEEC 등가 회로를 구성하게 된다.

PEEC 등가 회로는 그림 2와 같이 노턴 모델과 테브난 모델의 2가지 형태의 모델로 나타낼수 있다. 한개의 인덕티브 셀은 한개의 직렬저항과 셀프 인덕턴스로, 그리고 상호 인덕턴스가 종속전원의 형태로 구성이 되고, 인덕티브 셀의 절반을 나누어 2개의 캐패시티브 셀

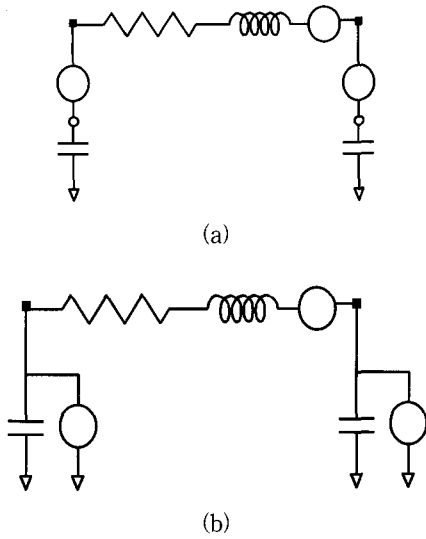


그림 2. 1개의 인덕티브 셀로 구성된 도체에 대한 등가회로 (a) 테브난(Thevenin)모델 (b)노턴(Norton) 모델
 Fig. 2. PEEC model. (a) Thevenin model (b) Norton model.

로 나타내는데, 각 캐패시티브 셀은 한개의 셀프 캐피시턴스와 상호 캐패시턴스가 종속전원의 형태로 변환되어 구성된다. 각 캐패시티브 셀에서의 전위와 전하량의 관계는 식(1)으로 나타내어지며

$$\sum_{j=1}^n c_{ij} \phi_j(t) = Q_i(t) \quad (1)$$

식 (1)의 캐패시턴스 행렬은 쿼지-스테틱 방법으로 구한 캐패시턴스로부터 식 (2)과 같은 방법으로 계산되어 만들어진다.

$$C'_{ij} = -C_{ij} \quad C'_{ii} = \sum_j C_{ij} \quad (2)$$

그리고 캐패시턴스 행렬의 역행렬로써 식 (3)과 같은 전위계수(coefficients of potential)행렬 [p]를 정의할 수 있다. 캐피시티브 셀에서의 셀프 캐패시턴스와 커플링 캐패시턴스에 의한 종속전원은 전위계수로써 표현이 된다.

$$\begin{bmatrix} p_{11} & p_{12} & p_{13} \\ p_{21} & p_{22} & p_{23} \\ p_{31} & p_{32} & p_{33} \end{bmatrix} \begin{bmatrix} q_1(t) \\ q_2(t) \\ q_3(t) \end{bmatrix} = \begin{bmatrix} \phi_1(t) \\ \phi_2(t) \\ \phi_3(t) \end{bmatrix} \quad (3)$$

지연시간은 식 (4)로 나타내어지는데, 각 셀사이의 중간지점 사이의 거리를 광속으로 나눈시간이 지연시간이 되는데, 그림 1에서는 파장보다 가까운 곳에 인접한

도체가 위치하기 때문에 지연시간은 무시해도 무리가 없다. 따라서, 이 논문에서는 지연시간을 무시하기로 하고 $t=t'$ 로 놓는다.

$$t' = t - \frac{|\vec{x} - \vec{x}'|}{c} \quad (4)$$

III. 도선의 기생성분 추출

그림 4(a)의 구조를 생성하기 위하여, 5개의 마스크를 사용하였으며, 그림 4(b),(c)는 도선을 형성하기 위한 마스크 정보이며, 1번, 3번, 5번 마스크는 $40.0 \times 40.0 \mu\text{m}^2$ 의 SiO_2 로 구성되어있다고, 각 마스크의 두께는 각 $4 \mu\text{m}$ 로 정의 되어있다.

그림 5은 그림 4의 도선의 기생성분을 추출하기위해 인덕티브 셀과, 캐패시티브 셀로 정의한 모습이다. 또한 이렇게 정의한 셀은 각각 등가회로로 대체된다. 그림 5(a)의 인덕티브 셀의 노드번호는 그림 10의 등가회로에서 전기적인 노드번호가 된다. 그림 5의 도선에대한 기생 성분은 본 연구에서 개발된 시뮬레이터를 이용하여 추출하였으며 시뮬레이터의 정확성을 검증하기위하여 테스트 구조에 대하여 상용 시뮬레이터의 결과와 비교하였다.

추출된 캐패시턴스 값의 결과를 검증하기 위하여 그림 6에 도시한 구조에 대하여 Ansoft사의 SPICELINK와 계산 결과를 비교하였다.

그림 6(a)에서 도시한 바와 같이 시뮬레이션 구조는 총 5개의 층으로 구성되어있으며, 평행한 두 라인이 x축과 y축을 따라 위치하며 상하로 교차된 구조이다. 각 층의 두께는 각각 $1 \mu\text{m}$ 이며, 내부 유전체 물질의 유

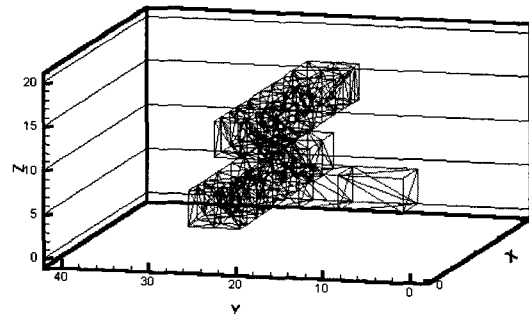


그림 3. R, L, C를 추출하기위한 구조 생성
 Fig. 3. Generation of structure for the extraction of R, L, C.

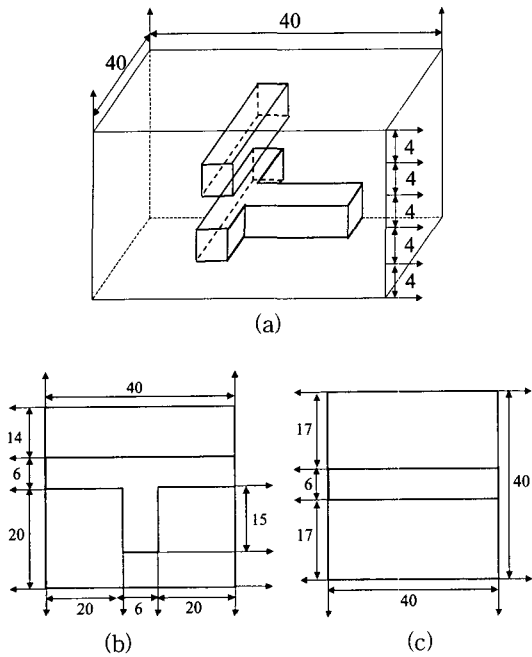


그림 4. (a) 시뮬레이션을 위한 생성구조(단위: μm). (b) 제2 마스크 정보. (c) 제4 마스크 정보
 Fig. 4. (a) Generated structure for simulation. (b) Data of the second mask. (d) Data of the fourth mask.

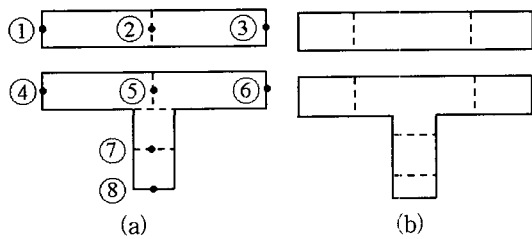


그림 5. 기생 성분을 추출하기 위한 도선의 분할 (a) 인덕티브셀. (b) 캐패시티브 셀
 Fig. 5. Fracturing for extraction of parasitic R,L,C. (a) Inductive cell (b) Capacitive cell.

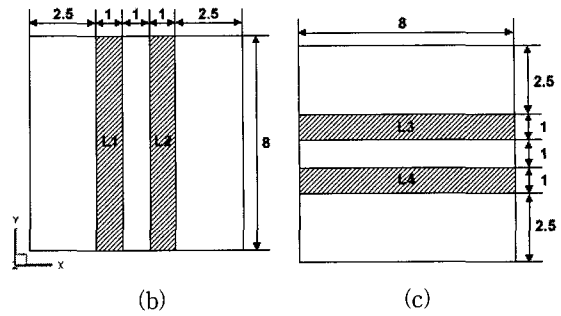
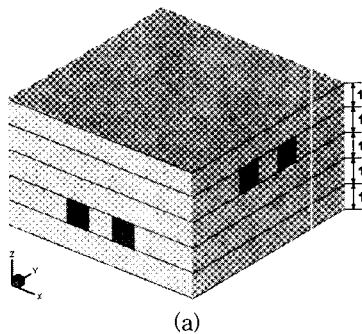


그림 6. 시뮬레이션 구조(단위: μm) (a) 각 층의 두께 정보 (b) 제1 마스크 데이터 (c) 제2 마스크 데이터
 Fig. 6. structure for simulation. (a) Data for the thickness of each layer (b) Data for the first mask. (c) Data for the second mask.

전 상수는 3.9를 사용하였다. 각 라인의 마스크 좌표는 그림 6(b), (c)에 도시하였다. 또한, 기생 캐패시턴스를 구하기 위해 구조의 윗면과 아래면은 그라운드(ground)로 가정하였다.

시뮬레이션 결과는 식 (5)와 같은 캐패시턴스 행렬로 표현될 수 있다.

$$C = \begin{bmatrix} \sum_{j=1}^N C_{1j} & -C_{12} & \cdots & -C_{1N} \\ -C_{12} & \sum_{j=1}^N C_{2j} & \cdots & -C_{2N} \\ \vdots & \vdots & \ddots & \vdots \\ -C_{M1} & -C_{N2} & \cdots & \sum_{j=1}^N C_{Nj} \end{bmatrix} \quad (5)$$

캐패시턴스 행렬의 ii 번째 주대각 요소는 i 번째 라인의 총 캐패시턴스이며, i 번째 라인과 그라운드 사이의 캐패시턴스(C_{ii})와 다른 라인간의 커플링 캐패시턴스 (coupling capacitance, $C_{ij}, j \neq i$)의 합으로 표현된다. ij 번째 요소는 i 번째 라인과 j 번째 라인 사이의 캐패시턴스 값의 음수로 표현된다.

전술한 구조에 대한 SPICELINK의 계산 결과는 식 (6)과 같으며, SUN SPARC 20 워크스테이션에 대해 계산에 소요된 CPU 시간은 881초이며, 58.551 메가바이트의 메모리를 사용하였다^[6].

$$C = \begin{bmatrix} 1.53 & -0.398 & -0.188 & -0.196 \\ -0.398 & 1.52 & -0.187 & -0.195 \\ -0.188 & -0.187 & 1.47 & -0.373 \\ -0.196 & -0.195 & -0.373 & 1.51 \end{bmatrix} \times 10^{-3} \text{ pF} \quad (6)$$

동일 구조에 대해 본 시뮬레이터의 계산 결과는 식(7)

와 같다.

$$C = \begin{bmatrix} 1.513 & -0.388 & -0.194 & -0.193 \\ -0.388 & 1.513 & -0.194 & -0.194 \\ -0.194 & -0.194 & 1.505 & -0.384 \\ -0.193 & -0.194 & -0.384 & 1.504 \end{bmatrix} \times 10^{-3} pF \quad (7)$$

저항값의 계산된 결과를 검증하기 위하여, 그림 7과 같은 구조에 대하여 해석적 방법과 상용 시뮬레이터인 Avant!사의 RAPHAEL과 비교하였다. 그림 7에서 도시한 구조는 $1.0 \times 1.0 \mu m^2$ 의 면적을 갖는 정사각형 구조가 서로 다른 형태로 연결되었을 때의 저항값을 계산하기 위한 것으로 시뮬레이션 구조의 높이는 $1.0 \mu m$ 으로 하였으며, 배선 라인의 도전율은 $4.17 \times 10^6 \Omega m^{-1}$ 로 하였다.

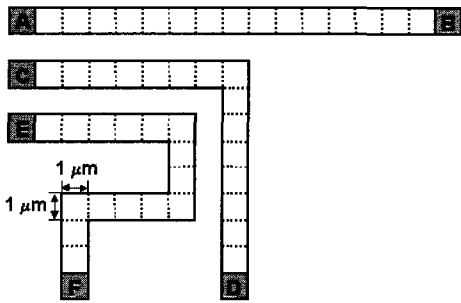


그림 7. 시뮬레이션 구조의 개략도
Fig. 7. Test structure for calculation of the resistance.

이때, 인가된 전압은 A, C, E 노드에 1 V, B, D, F 노드에 0 V이며, 계산된 저항 값은 RAPHAEL과 해석적 방법을 이용한 결과와 함께 표 1에 도시하였다.

표 1. 시뮬레이션 결과 비교(단위 : Ω)
Table 1. Comparison of simulation.

	RAB	RCD	REF
Analytic	3.59712	3.47722	3.23741
RAPHAEL	3.59712	3.43645	318679
this work	3.59712	3.47481	3.23712

표 1에 도시한 바와 같이 시뮬레이션 결과 값은 세 경우 모두 비교적 근사한 값을 보여 주고 있으며, 저항을 계산하는 구조가 직선일 경우, 해석적 모델을 사용

하여도 무방할 것으로 사료된다.

인덕턴스의 경우에는 상호 인덕턴스와 셀프인덕턴스에 대하여 구분하여 시뮬레이션 결과를 비교하였다. 먼저, 상호 인덕턴스 계산 검증을 위해 사용된 시뮬레이션 구조는 그림 8와 같은 평행선 도선체 구조로 시뮬레이션을 위해 사용된 물질 파라미터는 구리(Cu, $\mu = 1.0 \times 10^{-5} H/m$)와 유사한 값을 이용하였으며, 각 도선의 반경과 길이는 각각 0.2, 10 cm이며, 두 도선 사이의 중심 거리는 0.9 cm이다.

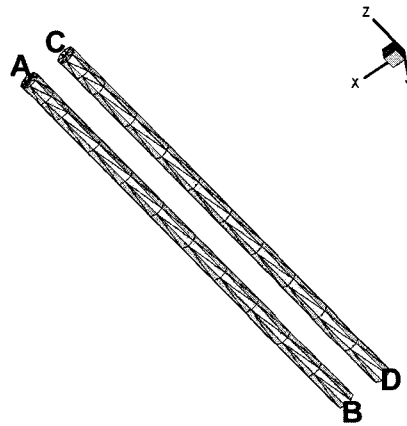
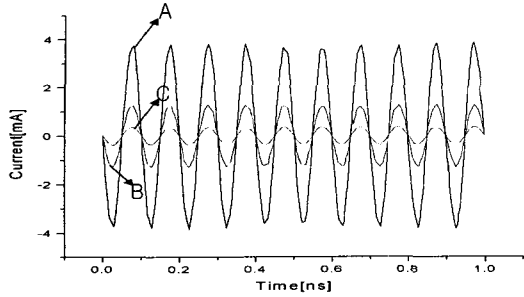


그림 8. 상호 인덕턴스 계산을 검증하기 위한 평행선 도선체의 사면체 구조물(반경과 길이는 각각 0.2, 10 cm, 중심 거리는 0.9 cm)
Fig. 8. Test structure for calculation of mutual inductance.

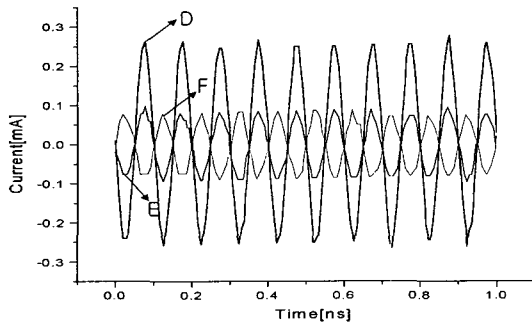
시뮬레이션을 위해 그림 8에서 도시한 시뮬레이션 구조의 A와 D에는 1 V를 인가하고, B와 C에 0 V를 인가하였으며, 이때의 전위 분포와 전류밀도 벡터를 유한요소법을 이용하여 계산하고, 계산된 전류밀도로부터 노히만 식을 계산하였다. 이때, 시뮬레이션에 소요된 시간은 27초로, 그로버식(Grover equation)^[8]을 이용한 해석적 인덕턴스 계산 결과는 10.7 nH이며, 유한요소법을 이용한 계산 결과는 10.9 nH로 근사한 값을 나타내는 것을 볼수 있었다.

셀프 인덕턴스 계산 결과의 검증을 위하여, 인덕턴스 구조로 잘 알려진 나선형 인덕터 구조에 대하여 인덕턴스 계산 시뮬레이션을 수행하였다. 사용된 시뮬레이션 구조는 그림 9와 같으며, 시뮬레이션을 위해 사용된 물질 파라미터는 상호 인덕턴스와 마찬가지로 구리(Cu, $\mu = 1.0 \times 10^{-5} H/m$)를 이용하였으며, 라인의 폭과 간격, 두께는 각각 18, 10, 2.7 μm 이다.

node의 전압값이고, B는 4,5,6,7,8 node의 전압값이다.



(a)



(b)

그림 11. 인덕티브 셀의 전류

Fig. 11. Current of the inductive cell.

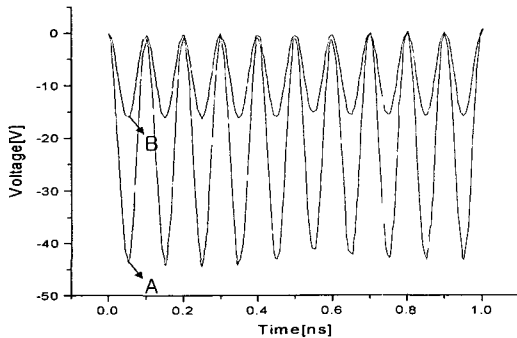


그림 12. 각 노드의 전압

Fig. 12. Voltage of the each node.

V. 결 론

반도체 설계 기술과 공정 기술이 발전함에 따라, 최소 선폭이 감소하고, 칩의 복잡도가 증가하였다. 칩의 복잡도가 증가할수록 활성 소자들을 연결하기 위해 사용되는 인터커넥트 라인이 복잡한 형태를 띠게 되고, 라

인의 경로 길이(path length)가 증가하게 된다. 따라서, 최소 선폭(minimum feature size)이 감소함에 따라 반도체내의 활성 소자들에 의한 신호 지연보다 인터커넥트된 라인에 의한 신호 지연이 더 심각해진다. 이러한 인터커넥트된 라인에서의 신호의 특성을 알기 위해서는 칩의 국부적인 해석보다는 칩 전체(full chip)에서의 해석이 더욱 의미가 있다.

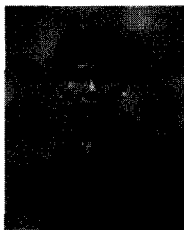
본 연구에서는 칩 전체의 해석에 쓰이는 PEEC 방법을 이용하여 간단한 도선에서의 해석을 행하였다. 대략적인 PEEC 방법에 대해 논의 하였고, 도선에 대하여 PEEC 등가회로를 구성하였으며, 주어진 등가회로로부터 구한 시스템 행렬을 수치 해석적인 방법을 이용하여 시뮬레이션을 수행하여 노드에서의 전압과 전류를 구하였다. 행렬의 해석은 오일러 해법과 예측자-수정자 해법을 사용하였고, 입력 전원에 따른 1ns 까지의 노드 전압과, 인덕티브 셀 에서의 전류를 구할 수 있었다. 시뮬레이션의 검증은 SPICE 시뮬레이터를 사용하였으며 동일한 결과를 얻을 수 있었다.

참 고 문 헌

- [1] Hansruedi Heeb and Albert E. Ruehli, "Three-Dimensional Interconnect Analysis Using Partial Element Equivalent Circuits," IEEE transactions on circuits and systems-1: Fundamental Theory and applications, volume. 39, NO. 11, PP. 974-982, 1992.
- [2] R. Sabelka, C. Harlander, and S. Selberherr, "The State of the Art in Interconnect Simulation," Simulation of Semiconductor Processes and Devices, 2000. SISPAD 2000. 2000 International Conference on, PP. 6-11, 2000.
- [3] Albert E. Ruehli, Jan E. Garrett, and Clayton R. Paul, "Circuit models for 3D structure with incident fields," In Proc. IEEE Int. Symp. on Electrom. Compat., PP. 28-31, 1993.
- [4] Jan E. Garrett, Albert E. Ruehli, and Clayton R. Paul, "Accuracy and Stability Improvements of Integral Equation Models Using the Partial Element Equivalent Circuit(PEEC) Approach," IEEE Transactions on antennas and propagation, vol. 46, PP. 1824-1832, 1998.

- [5] Hansruedi Heeb and Albert E. Ruehli, "Approximate Time-Domain Models of Three-Dimensional Interconnects," Computer Design : VLSI in Computers and Processors, 1990. ICCD 1990. Proceedings, 1990 IEEE International Conference on, PP. 201 -205, 1990.
- [6] Albert E. Ruehli, "Partial Element Equivalent Circuit(PEEC) Method and its Application in the Frequency and Time Domain," Electromagnetic Compatibility, 1996. Symposium Record. IEEE 1996 International Symposium on, PP. 128-133, 1996.
- [7] Albert E. Ruehli, William P. Pinello and Andreas C. Cangellaris., "Comparison of Differential and Common Mode Response for Short Transmission Line using PEEC Models," Electrical Performance of Electronic Packaging, 1996., IEEE 5th Topical Meeting, PP. 169-171, 1996.
- [8] F. Leferink, "Inductance Calculations : Methods and Equation," in Proc. IEEE International Symposium on Electromagnetic Compatibility, pp. 16-22, 1995.
- [9] C. Harlander, R. Sabelka, and S. Selberherr, "Inductance Calculation In Interconnect structures," in Proc. 3rd International Conference on Modeling and Simulation of Microsystems, pp. 416-419, 2000.

저 자 소 개



朴 泄 泉(學生會員)

2001년 : 인하대학교 전자전기공학부 컴퓨터공학부 반도체 전공(공학사). 2001년~현재 : 인하대학교 전자재료공학과 석사과정. <주관심분야> 반도체 소자 및 공정, 시뮬레이션, 인터커넥트 시뮬레이션 등임.



尹 錫 仁(學生會員)

1998년 : 인하대학교 전자재료공학과(공학사). 2000년 : 인하대학교 전자재료공학과(공학석사). 2000~현재 : 인하대학교 전자재료 공학과 박사과정. <주관심분야> 반도체 소자 및 공정, 인터커넥트 시뮬레이션, TCAD와 ECAD의 인터페이싱 등임.

元 太 映(正會員) 第35卷 D編 第5號 參照

1981년 : 서울대학교 전자공학과(공학사). 1983년 : 한국과학기술원 전기 및 전자공학과(공학석사). 1989년 : 미국 University of Illinois at Urbana Champaign 전자공학과(공학박사). 1989년~1990년 : 미국 State University of New York 조교수. 1990년~1991년 : 삼성전자(주) 수석 연구원. 1991년~현재 : 인하대학교 공과대학 전자전기컴퓨터공학부 교수. <주관심분야> 반도체 소자 및 공정, 시뮬레이션 등임.