論文2002-39SD-1-2

4H-SiC p^+n 접합의 해석적 항복 전압

(Analytical Breakdown Voltage for 4H-SiC p^+n Junction)

鄭 龍 成 *

(Yong Sung Chung)

요 약

본 논문에서는 전자와 정공의 이온화 계수로부터 4H-SiC를 위한 유효 이온화 계수를 $c \cdot E^m$의 형태로 추출하였고, 이 유효 이온화 계수를 이용하여 4H-SiC p^+n 접합에서의 항복시 임계 전계와 항복 전압을 위한 해석적 표현식을 유도하였다. 해석적 항복 전압 및 항복 전계 결과는 $10^{15}\ cm^{-3}$~$10^{18}\ cm^{-3}$의 농도 범위에서 실험 결과와 비교하여 오차 범위 10 % 이내로 잘 일치하였다.

Abstract

In this paper, an effective ionization coefficient for 4H-SiC is extracted in the form of $c \cdot E^m$ from ionization coefficients of electron and hole. Analytical expressions for critical electric field and breakdown voltage of 4H-SiC p^+n junction are derived by employing the effective ionization coefficient. The analytic results agree well with the experimental ones reported within 10 % in error for the doping concentration in the range of $10^{15}\ cm^{-3}$~$10^{18}\ cm^{-3}$.

Ⅰ. 서 론

현재 전자 제품의 전원(power supply) 회로에 사용되는 다이오드를 비롯하여 BJT(Bipolar Junction Transistor), IGBT(Insulated Gate Bipolar Transistor), 다이리스터(Thyristor) 등은 pn 접합으로 구성되며, 이러한 전력 소자에 있어서 항복 전압(breakdown voltage)은 높을수록, 순방향 전압 강하는 낮을수록 좋다. 높은 항복 전압 특성을 나타내는 다이오드로는 Si p^+n 접합 다이오드 및 쇼트키 다이오드(Schottky diode) 등이 이용되고 있고, SiC(Silicon Carbide)를 이용한 다이오드의 사용도 점차 늘어날 것으로 예상된다.

* 正會員, 徐羅伐大學 컴퓨터情報學部
(School of Computer & Information Technology, Sorabol College)

接受日字:2001年8月9日, 수정완료일:2001年11月16日

SiC는 $4\times10^6\ V/cm$의 높은 임계 전계, $2\times10^7\ cm/s$의 높은 드리프트 속도, 4.9 $W/cm\ °K$의 높은 열 전도율 등 고유한 전기적, 열적 특성을 갖고 있어 고전력, 고주파수, 고온 동작이 요구되는 새로운 소자에 적합한 반도체 물질로 인식되고 있다[1-5]. SiC는 3C, 6H, 4H-SiC 등 많은 crystal polytype 구조를 갖는데, 이들 중 6H와 4H-SiC에 많은 관심이 집중되고 있다. 두 polytype의 가장 중요한 차이점은 4H-SiC가 6H-SiC에 비해 실온에서의 경우 3.3 eV의 큰 밴드 갭을 가질 뿐 아니라 α-SiC 중 가장 높은 전자 이동도를 갖는다는 것이다[6-8].

최근에는 SCE(Step-Controlled Epitaxy) 기법을 이용하여 4H-SiC를 구현할 수 있게 되어[8], 고전력 소자로서 4H-SiC에 대한 관심이 점차 커져가고 있다. 이에, 전력 소자 중 Schottky 다이오드, UMOSFET, TIGBT, BJT, SITh 및 GTO 등을 4H-SiC로 구현한 결과가 다수 발표되었다[9-15].

4H-SiC 전력 소자의 최적 설계를 위해서는 주어진 항복 전압과 ON 저항을 만족시키면서 가능한 한 칩 면적을 작게 해야 하는데, 소자의 구조 및 농도가 주어질 경우, 그에 따른 항복 전압의 예측이 가능해야 한다. 이를 위해서 4H-SiC p^+n 접합의 농도에 따른 항복 전압에 대한 해석적인 식의 필요성이 증대되고 있다.

본 논문에서는 전자와 정공의 이온화 계수로부터 근사적 방법을 통해 4H-SiC의 유효 이온화 계수를 추출하여, 이것을 이온화 적분을 수행함으로써 항복시 임계 전계 및 항복 전압을 위한 해석적 표현식을 농도 함수로 유도하고자 한다. 해석적 항복 전압 결과를 기존의 실험 결과[9-14, 23]과 비교함으로써 해석 식의 타당성을 검증하였다.

Ⅱ. 항복 전압을 위한 해석적인 모형

아발란치 항복(Avalanche breakdown)은 그림 1의 공핍층(Depletion layer) 내에서 충돌 이온화가 무한대로 진행되는 과정에서 발생된다. 이때 반송자가 충돌 이온화를 통해 공핍층을 넘어 이동하는 동안 전자-정공 쌍이 발생되는데, 이 과정을 규정하기 위해서는 이온화 계수의 정의가 필요하다.

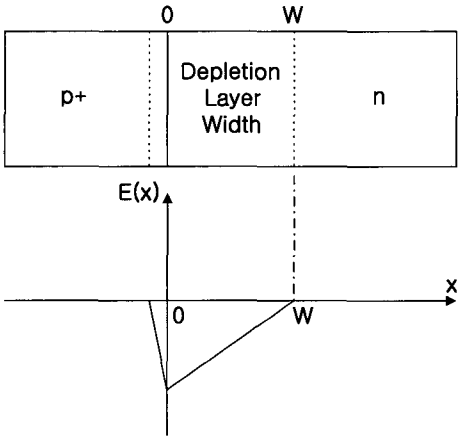


그림 1. 4H-SiC p^+n 접합의 전계 분포
Fig. 1. Electric field distribution of 4H-SiC p^+n junction.

일반적으로 충돌 이온화에 따른 전자-정공 쌍의 생성율은 Selberherr[16]에 의해 모형화되는데, 전계 함수의 전자와 정공의 이온화 계수, α_n 및 α_p를 Selberherr 모형으로 나타내면 다음 식 (1)과 같다.

$$\alpha_{n,p} = a_{n,p}\exp\left(-\frac{b_{n,p}}{|E|}\right) \tag{1}$$

4H-SiC의 경우, 아발란치 이온화 계수가 보고된 바가 없기 때문에 6H-SiC 충돌 이온화 계수[4]가 사용된다[15]. 즉, 전자와 정공의 이온화 계수, α_n과 α_p로서 다음 식 (2), (3)을 각각 이용한다.

$$\alpha_n = 1.66\times10^6\exp\left(-\frac{1.273\times10^7}{|E|}\right)\ cm^{-1} \tag{2}$$

$$\alpha_p = 5.18\times10^6\exp\left(-\frac{1.4\times10^7}{|E|}\right)\ cm^{-1} \tag{3}$$

식 (2), (3)에서 E는 전계 [V/cm]를 나타내며, p^+n 접합의 경우에는 전계가 다음 식 (4)와 같이 표현된다.

$$E(x) = \frac{qN_D}{\varepsilon_s}(W-x)\ V/cm \tag{4}$$

여기서, q는 전자 전하량, N_D는 기판의 농도, ε_s는 4H-SiC의 유전율(permittivity), W는 공핍층 폭을 나타낸다. 그림 1에 4H-SiC p^+n 접합의 전계 분포를 나타냈다.

아발란치 항복 전압을 구하기 위해서는 충돌 이온화가 무한히 유지되는 조건이 만족되어야 한다. 즉, 충돌 이온화에 따라 형성되는 전체 전자-정공 쌍의 수가 ∞로 갈 때, 다시 말해 식 (5)의 조건을 만족할 때 아발란치 항복이 발생되는데[4],

$$\int_0^W \alpha_p \exp\left[\int_0^x (\alpha_n-\alpha_p)dx\right]dx = 1 \tag{5}$$

계단 접합의 아발란치 항복 전압을 구하기 위한 수치계산은 측정된 전자와 정공의 이온화 계수, α_n과 α_p를 식 (5)에 대입함으로써 행해진다.

식 (2)와 (3)에서와 같이 이온화 계수는 전계와 깊은 관계가 있으므로, 아발란치 항복을 식 (5)의 수치적분 방법을 이용하여 해석할 때 아발란치 증배 계산은 가장 높은 전계를 포함하는 소자 구조에서 경로를 선택함으로서 이루어진다. 이 경우, 마감 방법에 따라 다양한 아발란치 증배 경로를 분석해야 하는 단점이 있다.

한편, 전자와 정공의 이온화 계수, α_n과 α_p를 $\alpha_n \approx \alpha_p \approx \alpha_{eff}$로 근사화시킨 유효 이온화 계수 α_{eff}를 이용하여 항복 전압을 구하더라도 Si[17], InP[18], GaAs[19]의 경우 큰 오차가 발생하지 않고 상당히 정확한 결과를 얻을 수 있다고 알려져 있다. 이에, 본 논문에서는

전자와 정공의 이온화 계수로부터 $\alpha_{eff}=cE^m$의 형태로 근사화시킨 4H-SiC 유효 이온화 계수, α_{eff}를 식 (6)과 같이 추출하였다.

$$\alpha_{eff}=7.94\times10^{-28}E^5\ cm^{-1} \tag{6}$$

이 식은 계단형 접합의 아발란치 항복 전압에 대한 closed-form의 해석 식을 구하는데 유용하게 쓰이게 된다. 이와 같이, 식 (2)와 (3)으로부터 근사적으로 추출한 4H-SiC의 유효 이온화 계수, α_{eff}는 경험적 방법을 통해 구한 것으로서, 이 함수에 대한 확실한 이론적인 배경은 없다[17].

따라서, 근사화시킨 유효 이온화 계수, α_{eff}를 사용하면 식 (5)의 항복 조건은 다음 식 (7)과 같이 간단해진다[20].

$$\int_0^W \alpha_{eff}\,dx=1 \tag{7}$$

또한, 식 (6)에 식 (4)를 대입하면 유효 이온화 계수는 식 (8)이 되므로,

$$\begin{aligned}\alpha_{eff} &=7.94\times10^{-28}\left\{\frac{qN_D}{\varepsilon_s}(W-x)\right\}^5\\ &=7.94\times10^{-28}\{1.87\times10^{-7}N_D(W-x)\}^5\end{aligned} \tag{8}$$

식 (8)을 식 (7)에 대입하여 풀면 항복시 공핍층 폭, WB는 식 (9)와 같이 구해진다.

$$W_B=1.80\times10^{10}\ N_D^{-0.833} \tag{9}$$

또한, 아발란치 항복시 임계 전계, E_B는 확산 깊이가 x=0인 경우, 식 (10)이 되고, 식 (10)에 식 (9)를 대입하면 식 (11)이 구해진다.

$$\begin{aligned}E_B &=\frac{qN_DW_B}{\varepsilon_s}\\ &=1.87\times10^{-7}N_D\cdot W_B\end{aligned} \tag{10}$$

$$E_B=3.36\times10^3\ N_D^{0.167} \tag{11}$$

그림 2에는 항복시 임계 전계 식 (11)의 결과를 실험 결과[11]와 비교하여 나타냈다. 일반적으로 실온에서는 그림 2의 실험 결과와 같이 도핑 농도를 $3\times10^{15}\ cm^{-3}$ ~$3\times10^{18}\ cm^{-3}$로 할 때, 임계 전계가 약 $1\times10^6\ V/cm$ ~$5\times10^6\ V/cm$를 나타내게 되는데, 대부분 SiC는 약 $10^{17}\ cm^{-3}$의 농도에서 이용되므로, 이에 따른 전계는 약 $2\times10^6\ V/cm$ ~$3\times10^6\ V/cm$가 되어, 유효 이온화 계수를 $\alpha_n\approx\alpha_p\approx\alpha_{eff}$로 근사화시켜 나타나는 낮은 전계

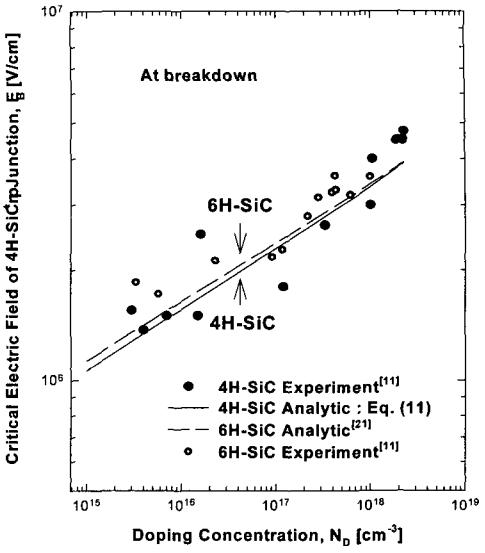


그림 2. 도핑 농도에 따른 4H-SiC p⁺n 접합의 항복시 임계 전계

Fig. 2. Critical electric field as a function of doping concentration for 4H-SiC p⁺n junction at breakdown.

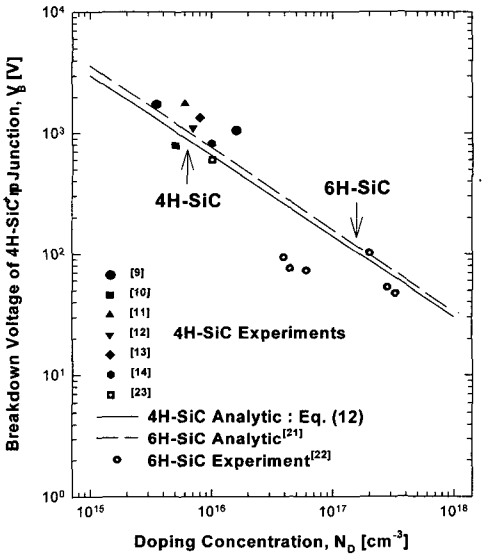


그림 3. 도핑 농도에 따른 4H-SiC p⁺n 접합의 항복 전압

Fig. 3. Breakdown voltage as a function of doping concentration for 4H-SiC p⁺n junction.

(1×10^6 V/cm)와 높은 전계(5×10^6 V/cm)에서의 전자와 정공의 이온화 계수와 유효 이온화 계수와의 사이에 생기는 차이는 실제 이용되는 항복 전압을 해석적으로 구하는 문제에는 크게 영향을 주지 않는다.

한편, 4H-SiC p^+n 접합의 해석적인 항복 전압은 식 $V_B = qN_D \cdot W_B^2/(2\varepsilon_s)$에 식 (9)를 대입하면 다음 식 (12)가 된다.

$$V_B = 3.01\times10^{13} \cdot N_D^{-0.667} \tag{12}$$

그림 3에는 항복 전압을 위한 해석 식 (12)의 결과를 실험 결과[9-14, 23]와 비교하여 나타냈다.

Ⅲ. 결과 및 고찰

본 논문에서 제시한 4H-SiC p^+n 접합의 항복 전압을 위한 해석 식을 이용하여 도핑 농도 $10^{15}cm^{-3}$~$10^{18}cm^{-3}$의 범위에서 항복 전압을 구하였고, 그 결과를 그림 3에 실험 결과[9-14, 23]과 비교하여 나타냈다. 실선 (—)은 식 (12)에 의한 4H-SiC의 해석적 항복 전압 결과를 나타내고, 기호 ●[9], ■[10], ▲[11], ▼[12], ◆[13], ●[14], ✚[23]은 각각 실험 결과를 나타낸다. 4H-SiC의 해석적 결과는 약 $3\times10^{15}cm^{-3}$~$3\times10^{16}cm^{-3}$의 농도 범위에서 실험 결과와 비교하여 약 10 % 이내의 오차를 나타냈는데, 이와 같은 오차는 해석 식을 구하기 위해 유효 이온화 계수를 근사적으로 추출하여 생긴 오차로 판단된다.

또한, 그림 3에는 4H-SiC p^+n 접합의 해석적 항복 전압을 6H-SiC p^+n 접합의 해석적 항복 전압[21] 및 실험 결과[22]와 비교하여 나타냈는데, 4H-SiC의 해석적 결과는 실선(—)으로, 6H-SiC의 해석적 결과는 점선 (- -)[21]으로, 실험 결과는 기호, ✪[22]로 나타냈다. 그림 3에서와 같이 4H-SiC p^+n 접합의 해석적 항복 전압은 6H-SiC p^+n 접합의 해석적 항복 전압과 비교하여, 10^{15} cm^{-3}의 농도에서는 약 16.6 %, 10^{16} cm^{-3}의 농도에서는 약 14.1 %, 10^{17} cm^{-3}의 농도에서는 약 12 %, 10^{18} cm^{-3}의 농도에서는 약 9 % 적게 나타났다. 4H-SiC와 6H-SiC의 해석적 항복 전압을 비교한 결과, 4H-SiC p+n 접합의 해석적 항복 전압이 6H-SiC p^+n 접합의 해석적 항복 전압보다 평균 12.93 % 적게 나타났고, 농도가 커짐에 따라 감소율이 점차 줄어들었다. 이 결과는 항복시 임계 전계의 경우에 이미 발표된 수치적 결과[11, 23]와 같이 4H-SiC가 6H-SiC보다 적게 나타난 것과 같은 맥락의 결과로서, 4H-SiC와 6H-SiC의 항복 전압이 모두 농도에 따라 같은 비율로 반비례하기 때문에 나온 결과이다.

그림 2에는 약 $10^{15}cm^{-3}$~$3\times10^{18}cm^{-3}$의 농도 범위에서 본 논문에서 제시한 해석적 모형을 이용하여 구한 4H-SiC p^+n 접합의 항복시 해석적 임계 전계와 실험 결과[11]를 나타냈다. 해석적 항복 전계 식 (11)의 결과는 실선(—)으로 나타내고, 실험 결과는 기호 ●[11]로 나타냈는데, 해석적 임계 전계는 실험 결과와 비교적 잘 일치하였다.

한편, 그림 2에는 4H-SiC p^+n 접합의 항복시 해석적 임계 전계와 6H-SiC p^+n 접합의 해석적 항복 전계[21] 및 실험 결과[11]를 비교하여 나타냈는데, 4H-SiC의 해석적 임계 전계는 실선(—)으로, 6H-SiC의 해석적 항복 전계는 점선(- -)[21]으로, 실험 결과는 기호, ✪[11]로 나타냈다. 4H-SiC p^+n 접합의 해석적 항복 전계는 6H-SiC p^+n 접합의 해석적 결과와 비교하여, 10^{15} cm^{-3}의 농도에서는 약 6 %, 10^{16} cm^{-3}의 농도에서는 약 4.9 %, 10^{17} cm^{-3}의 농도에서는 약 3.4 %, 10^{18} cm^{-3}의 농도에서는 약 1.8 % 적게 나타났다. 4H-SiC와 6H-SiC의 항복 전계를 비교한 결과, 이미 발표된 수치적 결과[11, 23]과 같이 4H-SiC p^+n 접합의 항복 전계가 6H-SiC p^+n 접합의 항복 전계보다 평균 4.03 % 적게 나타났으며, 농도가 커짐에 따라 감소율이 점차 줄어드는 결과를 나타냈다.

Ⅳ. 결 론

본 논문에서는 4H-SiC의 유효 이온화 계수를 근사적인 방법을 이용하여 $c \cdot E^m$의 형태로 추출하여 4H-SiC p^+n 접합의 항복시 임계 전계와 아발란치 항복 전압을 위한 해석적인 표현식을 유도하였다. 항복 전압 및 항복시 임계 전계를 위한 해석 식의 결과는 실험 결과와 비교하여 $10^{15}cm^{-3}$~$10^{18}cm^{-3}$의 농도 범위에서 약 10 % 이내의 오차로 잘 일치하였다. 유도된 4H-SiC p^+n 접합의 항복시 임계 전계 및 항복 전압을 위한 해석적인 식은 4H-SiC 전력 소자 설계시 매우 유용하게 쓰여질 것으로 기대된다.

참 고 문 헌

[1] B. J. Baliga, "Power semiconductor devices for variable-frequency drivers," Proc. IEEE, Vol. 82, pp. 1112-1122, 1994.

[2] H. Morkoç, S. Strite, G. B. Gao, M. E. Lin, B. Sverdlov, and M. Burns, "Large-band-gap SiC, III-V nitride, and II-VI ZnSe-based semiconductor device technologies," J. Appl. Phys., Vol. 76, pp. 1363-1398, 1994.

[3] M. Bhatnagar and B. J. Baliga, "Comparison of 6H-SiC, 3C-SiC, and Si for power devices," IEEE Trans. Electron Devices, Vol. 40, No. 3, pp. 645-655, 1993.

[4] M. Ruff, H. Mitlehner, and R. Helbig, "SiC devices : physics and numerical simulation," IEEE Trans. Electron Devices, Vol. 41, pp. 1040-1054, 1994.

[5] M. W. Shin, G. L. Bilbro, and R. J. Trew, "High temperature operation of N-type 6H-SiC and P-type diamond MESFET's," in IEEE/Cornell Conf., Ithaca, NY, 1993, pp. 421-430.

[6] D. L. Barrett and R. B. Campbell, "Electron mobility measurements in SiC polytypes," J. Appl. Phys., Vol. 38, pp. 53-55, 1967.

[7] W. J. Schaffer, G. H. Negley, K. G. Irvine, and J. W. Palmour, "Conductivity anisotropy in epitaxial 6H and 4H-SiC," in Proc. Mat. Res. Soc. Symp., Vol. 339, pp. 595-600, 1994.

[8] A. Itoh, H. Akita, T. Kimoto, and H. Matsunami, "High-quality 4H-SiC homoepitaxial layers grown by step-controlled epitaxy," Appl. Phys. Lett., Vol. 65, pp. 1400-1402, 1994.

[9] K. J. Schoen, J. M. Woodall, J. A. Cooper, Jr., and M. R. Melloch, "Design considerations and experimental analysis of high-voltage SiC Schottky barrier rectifiers," IEEE Trans. Electron Devices, Vol. 45, pp. 1595-1604, 1995.

[10] A. Itoh, T. Kimoto, and H. Matsunami, "High performance of high-voltage 4H-SiC Schottky barrier diodes," IEEE Electron Device Letters, Vol. 16, pp. 280-282, 1995.

[11] H. Matsunami, "Progress of semiconductor silicon carbide(SiC)," Electronics and Communications in Japan, Part 2, Vol. 81, pp. 38-44, 1998.

[12] A. Itoh, T. Kimoto, and H. Matsunami, "Excellent reverse blocking characteristics of high-voltage 4H-SiC Schottky rectifiers with boron-implanted edge termination," IEEE Electron Device Letters, Vol. 17, pp. 139-141, 1996.

[13] D. Alok, R. Raghunathan, and B. J. Baliga, "Planar edge termination for 4H-silicon carbide devices," IEEE Trans. Electron Devices, Vol. 43, pp. 1315-1317, 1996.

[14] R. Raghunathan, D. Alok, and B. J. Baliga, "High voltage 4H-SiC Schottky barrier diodes," IEEE Electron Device Letters, Vol. 16, pp. 226-227, 1995.

[15] J. Wang and B. W. Williams, "Evaluation of high-voltage 4H-SiC switching devices," IEEE Trans. Electron Devices, Vol. 46, pp. 589-597, 1999.

[16] S. Selberherr, Analysis and Simulation of Semiconductor Devices, Wien, Austria : Springer-Verlag, 1984.

[17] W. Fulop, "Calculation of avalanche breakdown of silicon p-n junctions," Solid State Electronics, Vol. 10, pp. 39-43, 1967.

[18] T. H. Moon, Y. I. Choi, and S. K. Chung, "Calculation of avalanche breakdown voltage of the InP p^+-n junction," Solid State Electronics, Vol. 37, pp. 187-188, 1994.

[19] Y. S. Chung, S. Y. Han, Y. I. Choi, and S. K. Chung, "Closed-form analytical expressions for the breakdown voltage of GaAs parallel-plane p^+n junction in <100>, <110>, and <111> orientations," Solid State Electronics, Vol. 39, pp. 1678-1680, 1996.

[20] B. J. Baliga, Modern Power Devices, Wiley, New York, pp. 62-92, 1987.

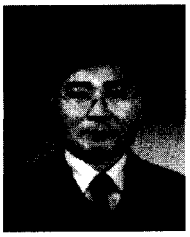
[21] 정용성, "6H-SiC p^+n 접합의 항복 전압을 위한

해석적 모형," 전자공학회논문지, 제 38권, SD편, 제 6호, pp. 398-403, 2001

[22] J. W. Palmour, Cree Research, Triangle Park, NC, private communication.

[23] R. Raghunathan, B. J. Baliga, "P-type 4H and 6H-SiC high voltage Schottky barrier diodes," IEEE Electron Device Letters, Vol. 19, pp. 71-73, 1998.

저 자 소 개



鄭 龍 成(正會員)

1978년 2월 : 아주대학교 전자공학과 졸업. 1988년 2월 : 한양대학교 대학원 전자공학전공(공학석사). 1999년 2월 : 아주대학교 대학원 전자공학전공(공학박사). 1988년 8월~1995년 12월 : 서일대학 전자계산과/전자통신과 강사. 1996년 3월~현재 : 서라벌대학 컴퓨터정보학부 조교수. <주관심분야> 반도체·재료 및 부품, 소자 특성 시뮬레이션