

구내용 고속무선LAN설비를 위한 저전력형 OFDM LSI구현에 관한 연구

(The implementation of a low-power-consumptive OFDM LSI
for the high speed indoor wireless LAN)

차재상* · 김성권

(Jae - Sang Cha · Seong - Kweon Kim)

요 약

OFDM(Orthogonal Frequency Division Multiplexing) 변조방식은 데이터를 다수의 반송파를 이용해서 주파수상에서 분산해서 전송하는 디지털 변조방식의 일종으로, 멀티패스 간섭에 강한 이점 등으로 인해 디지털 음성방송이나 지상파 디지털 TV 방송 등에 적용되고 있으며, 1997년부터는 5[GHz]대역의 구내용 초고속무선LAN설비로서 IEEE 802.11 TG(task group)a에서 규격작업이 이뤄짐에 따라, 관련된 연구들이 활발하게 진행되어지고 있다. OFDM방식의 초고속무선LAN설비를 구현하기 위한 송수신부의 핵심소자로서는 IFFT 및 FFT모듈이 있다. 본 논문은 IFFT 및 FFT 모듈을 행렬 원소의 라운딩기법을 기반으로 한 전류모드회로를 이용해서 설계 및 구현함으로써 저소비전력화와 고속처리동작이 가능하도록 하였다. 또한 제안한 IFFT 및 FFT모듈을 IEEE 802.11a규격에 근거한 송수신부 모델에 적용한 경우에 대한 BER특성을 모의실험을 통해 확인함으로써, 제안한 IFFT 및 FFT모듈을 이용한 송수신 시스템 설비가 AWGN채널 환경에서 유용하게 동작함을 입증하였다.

Abstract

OFDM(Orthogonal Frequency Division Multiplexing) is a one of the most promising digital modulation techniques adapted for Digital audio broadcasting or Digital TV since it is very robust against multipath fading channels. From 1997, since the OFDM technique was considered as the physical layer standard for the high data rate wireless LAN systems in the 5GHz band, related studies have been studied actively. The key elements to implement high data rate wireless LAN system using OFDM technique are IFFT and FFT modules. In this paper, new IFFT and FFT module are designed and implemented using current cut circuit based on the matrix-rounding process for the low-power consumptive operation and high-speed data processing. In addition to, we certify the available operation of the rounded IFFT/FFT module in the AWGN channel by using the BER performance simulation of IEEE 802.11TGa based OFDM modem with rounded IFFT/FFT module.

Key Words : OFDM, IFFT, FFT, rounding, IEEE 802.11TGa, LAN,

* 주저자 : 서경대학교 정보통신공학과 전임강사
Tel, Fax : 02-940-7468
E-mail : chajs@skuniv.ac.kr

접수일자 : 2002년 7월 9일
1차심사 : 2002년 7월 12일
심사완료 : 2002년 8월 10일

1. 서론

최근에는 무선LAN으로 대표되는 구내통신설비용 무선데이터통신시스템에서는 2[GHz]대역과 5[GHz]대역에서 OFDM(orthogonal frequency division multiplexing)기반의 초고속무선LAN(Local Area Network)설비에 관한 연구가 활발히 진행되고있다. OFDM기술은 종래의 주파수분할다중화(FDM)방식에 비하여 직교성을 갖는 부반송파신호들(sub-carrier signals)을 최대한 밀착시켜서 전송함으로써 주파수대역을 효율적으로 활용함과 동시에 대용량의 데이터전송을 가능하게 하는 변조 및 다중화방식이다.

이러한 OFDM기술의 응용분야를 살펴보면 다음과 같다. 우선 방송분야에서는 유럽형의 디지털 오디오 방송(DAB) 및 지상파 디지털TV방송(DTV)기술로서 이용되고 있으며, 구내용 무선통신분야에서는 IEEE802.11a 및 IEEE802.11g의 작업그룹에 의하여 5[GHz]대역 및 2[GHz]대역에서 고속데이터전송을 위한 무선LAN의 표준기술로 확정되어있다[1, 2]. 특히, OFDM기반의 IEEE802.11a방식의 초고속무선LAN기술은 데이터전송속도가 최대 54Mbit/s까지 가능하므로, 약 2Mbit/s의 전송속도를 지향해온 CDMA기반의 3세대이동통신방식에 비해서 월등한 데이터 전송속도를 가지고 있다. 따라서 현재 OFDM기반의 공중 무선 LAN 서비스(Public Wireless LAN Service)에 관한 열기가 높으며, 2010년경을 목표로 연구중인 4세대형 이동통신의 유력한 핵심기술로도 많은 각광을 받고 있는 상태이다. 이러한 OFDM의 개념의 제안은 1950년대부터 이뤄졌으나 초창기에는 다수의 서브캐리어(sub-carrier)신호의 발생 및 처리가 어렵다는 실용화상의 문제점을 안고있었다. 하지만 1970년대초에 수신부에서 다수의 서브캐리어신호를 DFT(Discrete Fourier Transform; 이산푸리에변환)로 처리 가능하다는 제안이 나온 이래, 연구는 크게 활기를 띠기 시작했다. 즉, OFDM기술의 실용화를 앞당긴 송수신기모듈의 주요한 핵심부품은 DFT라고 할 수 있다. 최근에는 DFT와 연산결과는 동일하면서도 처리속도를 향상시킨 FFT(Fast Fourier Transform)알고리즘을 기반으로 송신부에는 IFFT

를, 수신부에는 FFT를 적용하여 OFDM시스템을 구현하고 있다. 지금까지 이러한 FFT의 기술개발은 주로 디지털신호처리(DSP)기술에 기반을 둔 LSI(large-scaled integration)로서 실현되어왔다. 그러나 평균 20[Mbps]이상의 데이터 전송속도를 지향하는 초고속 무선 LAN용 FFT소자로서 DSP LSI를 이용할 경우에는 소비전력이 100[mW] 이상이 되며[3], 이러한 DSP기반의 FFT LSI의 100[mW] 이상의 전력소비량은 휴대가 용이하면서도 저소비전력을 필요로 하는 무선통신단말기에는 커다란 장애요소로 작용한다. 따라서, 본 논문에서는 DSP기반의 FFT LSI의 비효율적인 전력소비의 문제점을 개선하기 위한 방법으로 라운딩기법에 의한 전류모드회로(current mode circuits)를 이용하는 FFT LSI의 구현알고리즘을 제시하고, 제시된 FFT LSI의 라운딩환경에 따른 고속 무선LAN의 송수신 시스템의 BER성능을 평가함으로써 그 유용성을 명확히 한다.

2. 고속무선LAN의 송수신부 신호 처리

그림 1의 블록도는 OFDM기반의 IEEE802.11a 규격에 근거한 고속무선LAN설비의 물리계층(Physical Layer)상의 송수신기의 구성을 나타낸다[1, 2].

5[GHz]대역에서 운용되는 IEEE802.11a 규격에 의한 고속무선LAN설비는 채널간 간격 20[MHz]대역에서 채널당 16.6[MHz]의 점유대역폭을 갖으며, 1차변조방식에 따라 최대 54[Mbps]의 데이터전송속도를 갖는다. 우선 송신측의 입력데이터는 스크램블링된 후 부호화율 1/2의 길쌈부호기(Convolutional Encoder)에 의해 부호화가 진행되며, 경우에 따라서는 부호화율을 평치링에 의해 2/3나 3/4로 변경할 수 있다. 길쌈부호기에 의해 부호화된 신호는 심볼내에서 인터리빙되고난 뒤 그 출력신호는 1차변조기에 의해 각 서브캐리어(sub-carrier)용 위상평면상에서 QPSK또는 QAM등으로 매핑된다. 서브캐리어는 총 52개의 서브캐리어가 매핑이 되며 이중 4개의 서브캐리어는 수신측에서의 동기검파를 용이하게 하기 위한 파일럿신호이며, 나머지 48개는 데이터신호로 구성된다. 또한 사용하지 않은 널(null)캐리어는 나머지

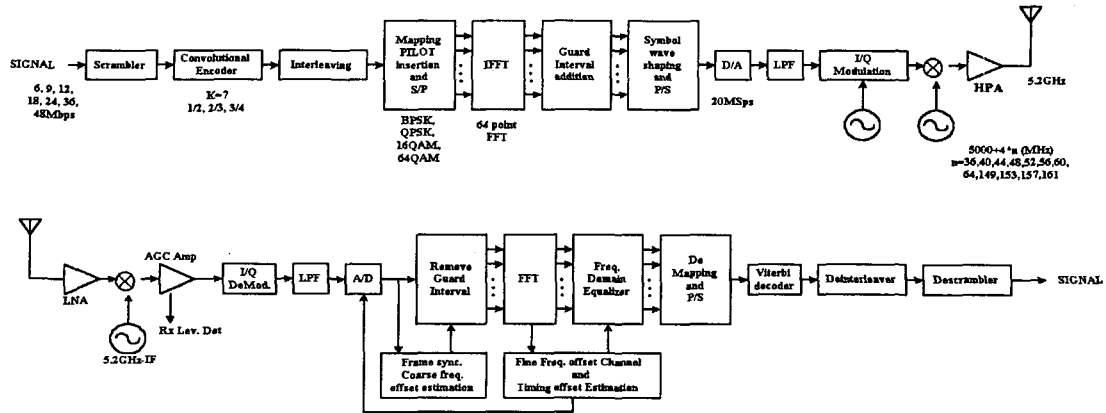


그림 1. IEEE 802.11a LAN의 물리계층의 구성도
Fig. 1. Block diagram of IEEE 802.11a LAN

12개로서 이들중 하나는 중앙의 DC성분부근의 서브 캐리어로, 직교변조기등의 회로의 불완전성에 의한 영향이 큰 이유로 사용하지 않으며, 나머지는 인접 채널간의 간섭방지를 위해 사용하지 않는다. 송신부의 IFFT는 총 64의 입출력 포인트수를 가지므로 IFFT LSI를 구현시에는 약 20[MHz]의 기준 클록rate에서 입출력 포인트수가 64개가 되도록 설계할 필요가 있다. 64개의 서브캐리어중에서 널캐리어를 제외한 52개의 서브캐리어들은 IFFT(Inverser Fast Fourier Transform)에 의해 신호의 파형들이 합쳐져서, IFFT 출력으로부터 각 OFDM심볼마다 Guard Interval이 부가되어서 멀티패스페이딩에 강한 신호로서 무선주파수대역으로 변환되어 전력증폭기(HPA)에 의해 증폭된후 안테나로부터 송신된다. 한편, 수신측에서는 송신측에 대응한 처리가 행해진다. 수신측에서는 우선 패킷신호의 수신레벨을 감시하고 패킷신호가 도착시에 프리앰블부분을 이용해서 무선주파수추정과 심볼타이밍에 대한 추정을 행한다. 심볼타이밍추정에 의해 패킷의 워드동기를 확립하면 프리앰블뒤에 나오는 신호를 정확히 수신가능하게 된다.

위와 같이 심볼동기가 확립되면, 수신신호를 FFT 회로에 입력시켜, 합성파형을 분파시킨 후 서브캐리어별로 동기검파를 실시한다. 데이터부분을 동기검파 하면서 시간과 함께 드리프트(drift)하는 수신위상을 정확하게 트래킹(tracking)하기 위한 4개의 파일럿신

호를 이용해서 채널보상을 행한다. 동기검파된 신호는 디인터리빙된후 비터비복호기에 입력되어 복호된다. 복호된 신호는 물리계층보다 상위의 계층으로 넘겨진다.

3. FFT행렬및 저소비전력형 FFT LSI 알고리즘

2절의 송수신기구조에서 알 수 있듯이 고속무선 LAN의 OFDM신호처리의 핵심소지는 송신부의 IFFT와 수신부의 FFT라고 할수있다. 그림 2(a)는 IFFT및 FFT의 기본연산이 되는 DFT행렬을 8x8의 크기인 경우를 예로 표현했다. DFT행렬의 경우에는 행렬의 사이즈가 커질수록 연산량증대에 의한 처리속도가 문제가 되므로 DFT행렬을 LSI로 구현할경우에는 DFT행렬을 그대로 사용하지않고 연산처리속도를 향상시켜주는 FFT(Fast Fourier Transform) 알고리즘을 이용한다.

그러므로 그림 2(b)에 나타낸 크기가 8x8인 DFT행렬은 그림 2(c)에 나타낸 FFT행렬로 변환시킬수 있으며, FFT행렬의 원소는 실수인 a와 b로 구성된 복소수 $a+jb$ 로 표현할 수 있다. 이 경우 FFT행렬의 원소들 중에서 일부분은 $b=0$ 가된다. FFT행렬의 각 원소를 그대로 FFT LSI를 이용하여 구현할 경우, 행렬 원소 중에서 소수점이하 셋째자리이상의 복소수값을

갖는 원소들의 경우는 구현회로를 복잡하게 하며 LSI의 소비전력을 증가시키는 요인이 된다.

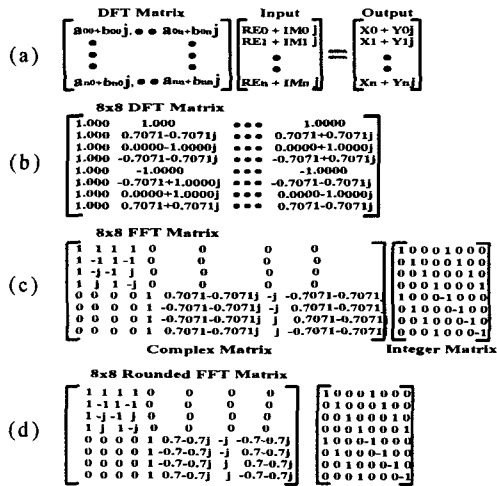


그림 2. (a) DFT행렬 (b) 8x8 DFT 행렬 (c) 8x8 FFT 행렬 (d) Rounded FFT 행렬

Fig. 2. (a) Typical DFT matrix (b) 8x8 DFT matrix (c) FFT matrix converted from 8x8 DFT matrix (d) Rounded FFT matrix

본 논문에서는 FFT LSI를 구현시에 간단한 회로 구조를 갖는 것과 동시에 저소비전력으로 구현하기 위한 방법을 제시하였다. 그 방법으로서 송수신 시스템의 BER(Bit Error Rate)성능 허용범위내에서 FFT행렬의 원소들을 단계별로 라운딩(rounding)시켜서 전류모드회로를 이용하여 구현시키는 방법을 제시하였다. 본 논문에서 제시되는 라운딩기법은 행렬의 원소들을 단순화된 형태로 변경시켜주며, 결과적으로 게이트폭(Gate width)에 비례하는 전류미러(Current Mirror)의 크기를 줄여주어서 소비전력을 감소시키는 역할을 한다. 예를 들면, FFT행렬의 한 원소인 $0.707+j0.707$ 은 그림2(d)에 보인 0.1의 라운딩 범위를 적용할 경우 $0.7+j0.7$ 로 라운딩된다. 이 예에서, "0.1" 라운딩범위를 이용함으로써 게이트폭에 비례하는 전류미러의 크기가 라운딩을 적용하지 않은 경우에 비해 1/100배로 줄어드는 효과가 생긴다. 본

논문에서는 라운딩을 적용한 FFT행렬을 간단히 "Rounded FFT행렬"로 표현하기로 한다.

4. 전류모드형 Rounded FFT LSI의 구현

그림 3은 본 논문에서 제시한 FFT LSI의 시스템블록을 보여 주고 있다.

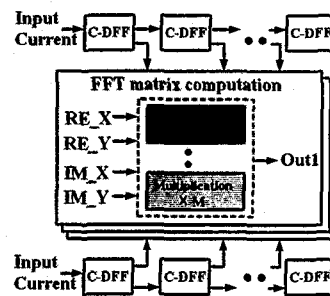


그림 3. OFDM용 FFT LSI의 시스템블록
Fig. 3. Entire system block of FFT LSI for OFDM

FFT LSI는 C-DFF(current delay flip-flop)블록 [4]과 FFT연산블록으로 구성된다. C-DFF은 FFT LSI에 입력되는 병렬데이터를 생성하기 위해 직렬의 전류데이터를 병렬의 전류데이터로 변환시키는 기능을 한다. FFT연산블록은 Rounded FFT 행렬을 연산하기 위해 이용된다.

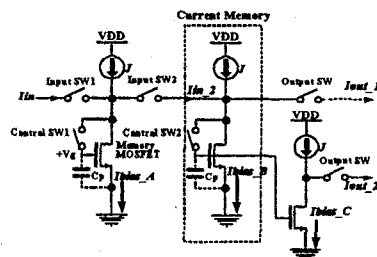


그림 4. C-DFF의 회로구조
Fig. 4. Conventional C-DFF.

그림 4에서는 C-DFF의 회로구조를 나타내고 있다. 하나의 입력노드와 2개의 출력노드를 갖는 C-DFF은 3개의 CM(Current Memory; 전류메모리)

회로로 구성되며[4], 각 CM은 전류원(Current Source), CM MOSFET (Metal Oxide Semiconductor Field Effect Transistor), 입출력 및 제어 스위치로 구성된다[4, 5].

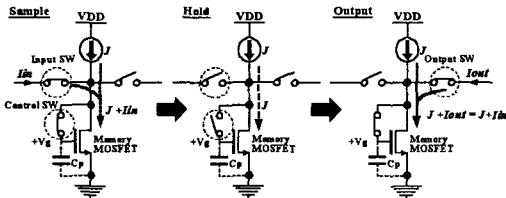


그림 5. 전류메모리(CM)의 동작도
Fig. 5. The schematic diagrams of current memory operation.

CM의 동작은 그림 5에 나타낸바와 같이 크게 3가지 모드인 “Sample”, “Hold”, “Output”로 분류되며, Sample모드에서는 입력 및 제어스위치가 연결되고, Hold모드에서는 모든 스위치들의 연결이 해제되며, Output모드에서는 출력스위치가 연결된다. 입력전류는 CM MOSFET의 Gate전압에서 기억되며, Sample 및 Hold의 스위칭동작에 의해 또다른 CM으로 전달된다. 또한 기본적인 CM 셀(cell)의 전류에러를 줄이기 위한 방편으로서는 Dummy MOSFET를 사용하였다[6]. 한편 그림 6은 SPICE를 이용한 모의실험결과로서 제어스위치 MOSFET의 Gate폭의 변화에 대한 입출력전류의 특성을 보여준다. 컴퓨터 시뮬레이션에의 가능한 표본화주기는 5[ns]이하이며, C-DFP들은 100[MHz]이상의 동작주파수를 갖는다.

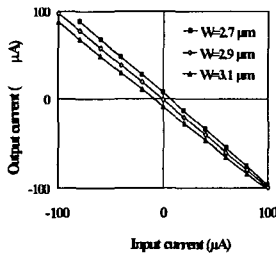


그림 6. 제어스위치 MOSFET의 게이트폭에 의한 입출력 전류특성
Fig. 6. The input/output current characteristics by the gate width of the control switch MOSFET

시뮬레이션 결과 제어스위치 MOSFET의 Gate폭이 2.9[µm]가 될 때, 입출력전류의 선형성 및 요구되는 성능이 충분히 확보될 수 있다는 것을 확인했다.

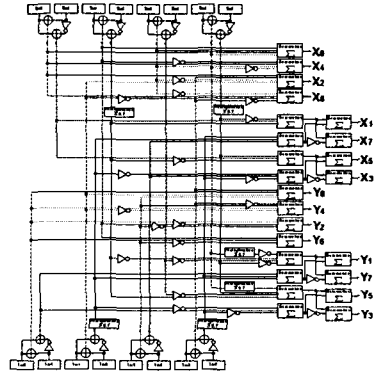


그림 7. FFT 연산블록도
Fig. 7. Detailed block diagram of the FFT computation block.

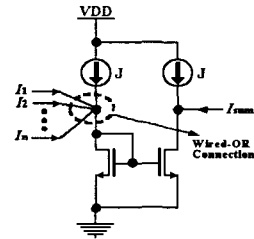


그림 8. Wired-OR회로에 의한 가산기구현도
Fig. 8. The summation block realized with a Wired-OR circuit structure

그림 7은 FFT 연산블록을 상세하게 보여 주고있다. 전류모드회로로서 구현하기 위해서 FFT 연산블록은 인버터와 가산기 및 0.7의 계수를 갖는 승산기로 설계되었다. FFT 연산블록의 인버터는 전류의 방향을 반전시키는 단일 전류미러회로(single current mirror circuit)를 이용하여 구현하고, 가산기는 그림 8에서 보이는 바와 같은 Wired-OR 회로로서 구현하였다. 가산기를 전류모드회로의 Wired-OR구조를 이용해 구현함으로써 디지털회로에 의한 가산기실현에 비해 많은 장점들을 얻을 수 있다. 또한 0.7의 계수를 갖는 승산기는 Gate폭의 비율로 조절되는 전류미러로서 실현된다. 그림 9는 FFT행렬의 계수값들의 연

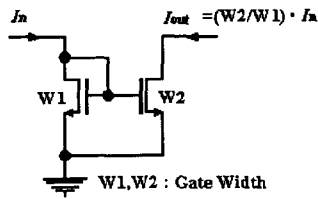
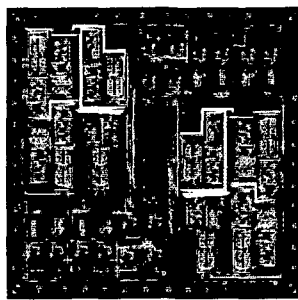


그림 9. 게이트폭의 비율로 조절되는 전류미러회로 기본셀
Fig. 9. The basic cell of gate-width-ratioed current mirror circuit



(Chip size: 7mm x 7mm)

그림 10. 설계된 8-포인트 FFT LSI의 레이아웃
Fig. 10. Layout pattern of designed 8-point FFT LSI

산에 이용되는 Gate폭의 비율로 조절되는 전류미러회로의 기본셀을 보여주고 있다. W1과 W2의 Gate폭은 승산기의 계수인 FFT행렬의 원소값에 의해 결정된다. 예를들어, 원소값이 0.7이면 Gate폭의 비율은 W1:W2=10:7로 계산된다. 그림 10은 본 논문에서 0.8mm CMOS (complementary metal-oxide silicon) 기술을 이용해 구현한 8-point FFT LSI의 레이아웃 패턴을 보여준다. 우리는 칩 설계후 생성된 FFT LSI 칩의 레이아웃을 기반으로 한 실제구동LSI의 제작을 CMP (Circuits Multi-Projets, France)와 AMS (Austria Mikro Systeme)사의 협력으로 완성하였다. 그림 11은 FFT LSI의 연산의 산술적인 결과치를 보여주고 있다. FFT연산 결과의 출력데이터는 OFDM 신호에 대한 복조신호로서 경판정(Hard Decision)되기 직전의 값으로서 FFT LSI의 입력 데이터 값에 따라 수시로 변한다. 그림 12는 그림 11과 동일한 입력 데이터를 본 논문에서 구현한 FFT LSI에 인가한 후의 출력을 추출하는 회로시뮬레이션의 결과를 보여

주고있다. 그 결과, 본 논문에서 제작한 그림 12의 FFT LSI가 OFDM수신부의 복조기의 일부로서 산술적인 FFT의 연산결과에 부합되게 동작함을 확인할 수 있었다.

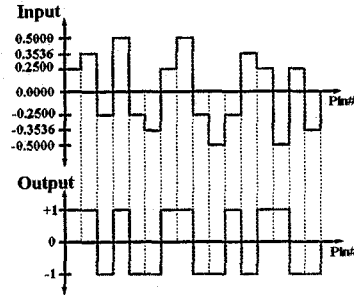


그림 11. 산술적인 FFT연산의 결과 그래프
Fig. 11. Graph based on the mathematical FFT computation

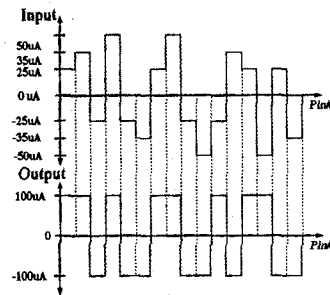


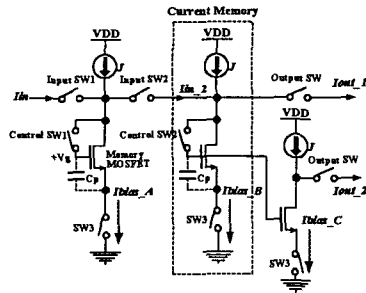
그림 12. FFT LSI의 회로시뮬레이션 결과 그래프
Fig. 12. Graph based on the circuit simulation of the 8-point FFT LSI.

5. 구현한 FFT LSI칩의 전력소비량의 추산

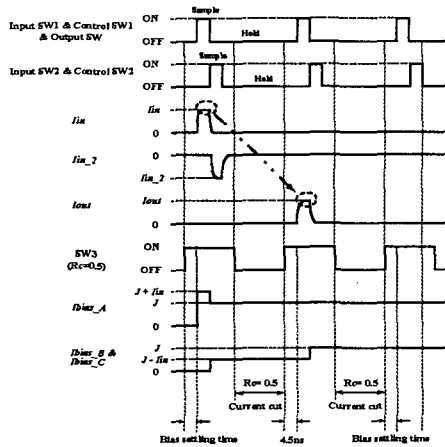
LSI의 전력소비량을 결정하는 주 요소는 바이어스 전류(bias current)이며 전류의 소비량은 동작주파수와는 무관하다. CC(Current-Cut) 동작[5]은 전류원(current source)의 On-Off동작에 의해서 수행된다. 그림 13(a)는 CC동작회로를 보여주고 있다.

전류원은 "Sample"과 "Output" 모드에서 동작하며 SW3의 스위치동작에 의해 "Hold" 모드동안에는 정지된다. 그림 13(b)에서는 CC동작의 타임차트(time

-chart)를 나타내고 있다. 불필요한 전류동작이 발생 시에는 저소비전력화를 위해 외부스위치 SW3를 통해 전류동작을 제거시킬 수 있다.



(a) CC의 동작회로



(b) CC동작의 타임차트

그림 13. CC(Current-Cut)의 동작구조
Fig. 13. Operation schemes of CC(Current-Cut)

이들 CC동작을 이용함으로써, FFT LSI의 전력소비는 현저하게 감소되며, CC동작하의 총 전력소비는, Pcc는 다음 식과 같이 표현된다.

$$P_{cc} = P_{total} \times R_c$$

여기서 Ptotal은 CC가 없는 상태에서의 총전력소비가량이며, Rc는 바이어스전류가 흐르는 시간주기에 대한 1사이클주기의 비율이다. 본문에서 제시한 8포인트 FFT LSI의 경우는 CC가 없는 상태에서는 구

동전류의 소비량이 4.48[mA]가 되며, FFT LSI에 0.5의 Rc를 이용하는 경우에는 2.24[mA]로 낮아진다. 본 연구에서 시험제작한 8포인트FFT LSI의 경우, 1.1[V]의 구동전압과 0.5의 Rc를 적용한 결과, 전력소비는 2.46[mW]가 되었다. 본 연구에서 제작된 8포인트FFT LSI의 실측결과를 토대로 고속무선LAN을 위한 64포인트 FFT LSI의 전력소비를 산정해보면, 전력소비는 0.5의 Rc를 이용할 경우는 19.71[mW]가 되며, 0.25의 Rc를 적용할 경우[5]에는 9.86[mW]가 되어 저소비전력화가 달성되는 것을 알 수 있다.

6. Rounded IFFT/FFT가 고속무선LAN의 BER성능에 미치는 영향분석

본 연구에서는 Rounded IFFT/FFT가 고속무선LAN의 BER성능에 미치는 영향을 분석하기 위해 다음과 같은 조건을 가정하고 시뮬레이션을 행했다. 시뮬레이션의 조건은 각 사례별로 구분하여 실행하였으며 각 사례별 특징 및 모든 사례에 대해 공통적으로 적용되는 조건은 표1에 기재된 내용과 같다.

표 1. 사례별 시뮬레이션 조건

구분	내용	
	송신단	수신단
사례 1	Normal IFFT	Normal FFT
사례 2	Rounded IFFT	Normal FFT
사례 3	Normal IFFT	Rounded FFT
사례 4	Rounded IFFT	Rounded FFT
공통사항	1차변조 : QPSK - 64point IFFT/FFT이용 라운딩범위 : 0.1-1.0 전송채널 : AWGN 채널코딩 및 인터리빙은 생략	

(1) 시뮬레이션결과 및 고찰

사례 1은 송신단과 수신단의 IFFT 및 FFT에 라운딩을 적용하지 않은 경우로서 시스템의 BER성능곡선은 그림 14(a)에 나타낸바와 같이 AWGN채널 환경에서 QPSK의 이론커브와 동일한 결과가 됨을 확인할 수 있었다. 사례 2는 송신단의 IFFT만을 라운딩시

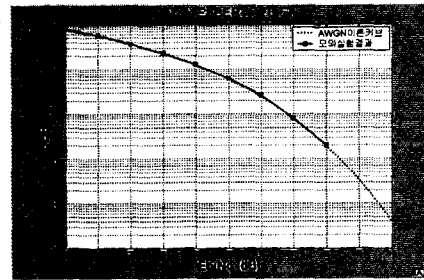
킨것으로서 라운딩범위는 0.1스텝, 0.2스텝, 0.5스텝, 1.0스텝으로 구분하여 라운딩을 시켰다. 사례 2에 대한 시뮬레이션결과는 그림 14(b)에서 나타낸바와 같이 0.1스텝인 경우만이 BER성능이 수렴하는 경향을 나타내고, 0.2스텝이상에서는 수렴하지 못하는 경향을 나타냈다. 즉 0.1스텝의 경우만이, BER이 0.001인 경우 E_b/N_0 가 AWGN의 이론커브에 비해 5.5[dB] 정도 열화되지만 BER커브는 수렴하는 것을 알 수 있다.

사례 2의 결과를 토대로 알 수 있듯이, 송신부의 IFFT만을 라운딩시켜서 이용할 경우는 라운딩범위는 0.1스텝이하로 설계할 필요성이 있으며, 이 경우 시스템의 BER성능은 5.5[dB] 열화하나 전력효율측면을 고려할 때는 시스템에 적용 가능하리라 생각된다.

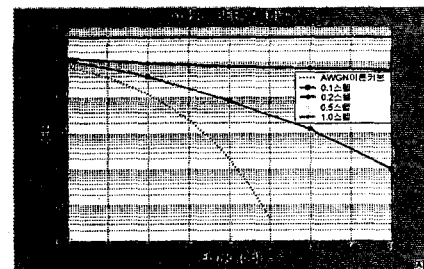
사례 3은 수신단의 FFT만을 라운딩시킨 경우로서, 그림 14(c)에서 보이는바와 같이, 라운딩범위가 0.2스텝이내인 경우는 라운딩을 적용하지 않은 사례1에 비하여 BER성능의 열화가 거의 없는 것을 알 수 있다. 사례 3이 사례 2에 비하여 전체적으로 BER성능이 양호한 이유는 다음과 같이 고찰해 볼 수 있다.

FFT의 경우는 그 출력데이터가 BER관정을 위해서 경판정(Hard Decision)될 경우 임계 범위 내에서는 라운딩오차를 흡수하는 역할을 하므로 출력신호가 멀티캐리어(multi-carrier)신호로 바로 이용되는 IFFT에 비해서 라운딩에 의한 오차의 영향을 덜 받는다고 볼 수 있다. 그러므로 사례 3의 경우가 사례 2의 경우보다는 시스템의 성능개선 및 전력 효율면에서 더 유용하다고 볼 수 있다. 사례 4는 송수신부의 IFFT 및 FFT에 공히 라운딩을 적용한 경우로서, 사례 2와 3에서의 결과를 바탕으로 IFFT가 0.1스텝, FFT가 0.2스텝인 경우에 대하여 시뮬레이션을 실시하였다. 그 결과 그림 14(d)에서 알 수 있듯이 BER이 0.001인 경우, E_b/N_0 는 12[dB]로서, 사례 1에 비하여 5[dB] 열화하였다. 사례 4의 결과, 주어진 라운딩범위 한계이내에서 IFFT와 FFT를 모두 라운딩시켜서 전류모드형 IFFT/FFT LSI로 구현할 경우 BER성능은 5[dB] 희생되므로 BER성능과 LSI의 소비전력간에는 트레이드오프(trade-off)관계가 성립됨을 알수있었다.

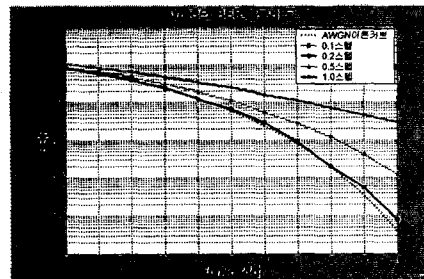
이상의 여러 사례를 통해서 확인한 사항은, FFT수신기만을 라운딩시켜서 사용하는 사례 3의 경우가



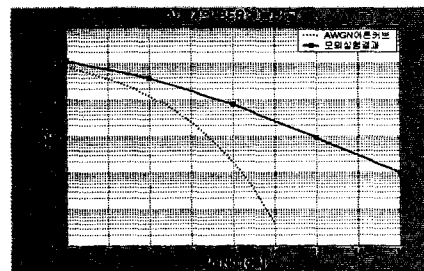
(a) 라운딩을 하지 않은 경우 (사례1)



(b) Rounded IFFT를 이용한 경우 (사례2)



(c) Rounded FFT를 이용한 경우 (사례3)



(d) Rounded IFFT/FFT를 이용한 경우 (사례4)

그림 14. 사례별 시뮬레이션결과에 의한 BER커브
Fig. 14. BER curves by simulation results

BER성능면에서 가장 우수하며, 라운딩오차에 의한 영향도 적으면서 전류모드회로에 의한 저소비전력구현까지 가능하게 해주므로 가장 유용한 방법이라고 할 수 있다.

7. 결 론

본 논문에서 우리는 라운딩기법을 바탕으로 전류 모드회로를 이용하는 고속무선LAN을 위한 OFDM 시스템용 FFT LSI를 제시하였다. 제시된 FFT LSI는 FFT행렬을 구성하는 각 원소들을 라운딩시킨 후 라운딩된 원소들을 전류모드회로로 구현하므로, 종래의 디지털회로에 의해 구현되는 FFT LSI에 비해 한층 단순한 회로구조와 저소비전력화를 실현하였다. 또한 제시한 FFT LSI의 알고리즘을 0.8[mm] CMOS 기술을 이용하여 64포인트FFT LSI의 기본이 되는 8포인트FFT LSI로 설계/제작 및 성능 분석한 결과, CC를 이용한 OFDM시스템용 64포인트FFT LSI의 전력소비량이 10[mW]이하의 저소비전력이 되는 것을 확인하였다. 본 논문의 연구결과, 본 논문에서 제시한 전류모드회로기반의 FFT LSI는 고속무선LAN 시스템설비의 무선송수신단말기에 전력효율적인 면에서 우수한 특성을 갖고 유용하게 이용될 수 있으리라 확신한다.

References

- [1] IEEE802.11 TCa Standards.
- [2] M. Morikura, and H.Matsue, "Trends of IEEE802.11 based Wireless LAN", IECE Journal B, Vol.184-B, No.11, pp.1918-1927, Nov.2001.
- [3] B.M. Baas, "A low-power, high-performance, 1024-point FFT processor", IEEE Journal of Solid-State Circuits, Vol.34, pp. 380-387, Mar., 1999.
- [4] K. Togura, K. Kubota, H. Nakase, K. Masu and K. Tsubouchi, "Novel low-power switched current matched filter for direct-sequence code-division-multiple-access wireless communication", Jpn. J. Appl. Phys. 39 Part 1, No. 4B, 2000.
- [5] K. Togura, H. Nakase, K. Kubota, K. Masu, and K. Tsubouchi, "Low Power Current-Cut Switched-Current Matched Filter for CDMA", IECE Trans., Electron, Vol. E84-C, No.2, pp. 212-219, Feb., 2001.
- [6] M. Song, Y. Lee and W. Kim, "A clock feedthrough reduction circuit for switched-current systems", IEEE Journal of Solid-State Circuits, Vol.28, pp. 133-137, Feb., 1993.

◇ 저자소개 ◇

차 재 상 (車載祥)

1968년 1월 11일생. 1991년 성균관대학교 공과대학 전기공학과 졸업(학사). 1997년 성균관대학교 대학원 전기공학과 졸업(석사). 2000년 일본 東北대학교 대학원 전자공학과 졸업(박사), 2000~2002년 한국전자통신연구원 이동통신연구소 선임연구원, 2002년 3월~현재 서경대학교 정보통신공학과 전임강사.

김 성 권 (金成權)

1968년 3월 18일생. 1996년 인하대학교 공과대학 전자재료공학과 졸업(학사). 1996~1999년 삼성전자 시스템 LSI사업부 연구원, 2002년 9월 일본 東北대학교 대학원 전자공학과 졸업예정(박사).