

Growth of epitaxial silicon by hot-wall chemical vapor deposition (CVD) technique and its thermochemical analysis

Deoksun Yoon, Wookhyun Koh, Seokki Yeo, Hong H. Lee* and Chinho Park†

School of Chemical Engineering & Technology, Yeungnam University, Gyeongsan 712-749, Korea

*School of Chemical Engineering, Seoul National University, Seoul 151-742, Korea

(Received July 9, 2002)

(Accepted July 29, 2002)

Abstract Epitaxial Si layers were deposited on (100) Si substrates by hot-wall chemical vapor deposition (CVD) technique using the $\text{SiH}_2\text{Cl}_2/\text{H}_2$ chemistry. Thermochemical calculations of the Si-H-Cl system were carried out to predict the window of actual Si deposition process and to investigate the effects of process variables (i.e., deposition temperature, reactor pressure, and input gas molar ratio ($\text{H}_2/\text{SiH}_2\text{Cl}_2$)) on the epitaxial growth. The calculated results were in good agreement with the experiment. Optimum process conditions were found to be the deposition temperature of 850~950°C, the reactor pressure of 2~5 Torr, and the input gas molar ratio ($\text{H}_2/\text{SiH}_2\text{Cl}_2$) of 30~70, providing device-quality epitaxial layers.

Key words Chemical Vapor Deposition (CVD), Epitaxy, Hot-wall reactor, Thermochemical analysis

고온벽 화학기상증착법을 이용한 에피 실리콘 증착과 열화학적 해석

윤덕선, 고육현, 여석기, 이흥희*, 박진호†

영남대학교 응용화학공학부, 경산, 712-749

*서울대학교 응용화학부, 서울, 151-742

(2002년 7월 9일 접수)

(2002년 7월 29일 심사완료)

요 약 $\text{SiH}_2\text{Cl}_2/\text{H}_2$ 기체혼합물을 원료로 사용하여 (100) Si 기판 위에 고온벽 화학기상증착법(hot-wall CVD)으로 에피 실리콘을 증착시켰다. 공정변수(증착온도, 반응기 압력, 입력 기체의 조성비($\text{H}_2/\text{SiH}_2\text{Cl}_2$) 등)가 실리콘 증착에 미치는 영향을 조사하기 위해 열화학적 전산모사를 수행하였으며, 전산모사를 통해 얻은 공정조건의 범위를 바탕으로 실험한 결과, 전산모사의 결과와 실험이 잘 일치함을 알 수 있었다. 실험을 통해 얻은 최적 증착 조건은 증착온도가 850~950°C, 반응기 압력은 2~5 Torr, $\text{H}_2/\text{SiH}_2\text{Cl}_2$ 비는 30~70 정도임을 알 수 있었고, 증착된 에피 실리콘은 두께 및 비저항의 균일도가 우수하고 불순물 함량이 낮은 양질의 박막임을 확인할 수 있었다.

1. 서 론

실리콘을 사용한 반도체 소자의 집적도가 증가하고 소자 구성 요소들의 최소 크기가 축소됨에 따라 결정 결함이 매우 작은(1~10 defects/cm²) 기판에 대한 수요가 크게 증가하고 있다. 또한 이러한 요구를 충족시키기 위한 양질의 epitaxial Si 기판의 수요도 증가하고 있는 추세로, 이는 에피 Si 기판을 사용함으로써 CMOS transistor의 gate 특성 향상과 소자 집적도의 증대가 가능하기 때

문이다[1]. 즉, heavily doped 기판 위에 lightly doped 에피층을 형성함으로써 기생 저항을 감소시킬 수 있고 이는 CMOS transistor들을 보다 촘촘하게 구성하는 것을 가능하게 해준다. 또한 selective 에피 성장 기술은 보다 정밀한 device isolation도 가능하게 하고 있다.

Epitaxial Si 박막층을 단결정 Si 기판 위에 성장시키는 기술로는 현재 화학기상증착법(CVD법)이 주로 사용되고 있다. CVD법을 이용한 증착 반응기들 중 상업용 증착 반응기들은 대부분 기판만이 가열되고 반응기의 벽은 냉각된 상태로 유지되는 cold-wall 반응기 구조를 채택하고 있는데, 이러한 cold-wall 에피 반응기들은 일반적으로 에피층의 막특성과 공정 재현성이 우수하다는 장점을 가지고 있으나 생산성이 낮아 비용이 높다는 단점

†Corresponding author

Tel: +82-53-810-2522

Fax: +82-53-814-8790

E-mail: chpark@yu.ac.kr

을 가지고 있다. 따라서 보다 경제적인 에피 실리콘 증착 기술이 요구되고 있고 또한 selective epitaxy에의 응용을 위한 저온 증착 기술도 요구되고 있다. 기존의 poly-Si 박막이나 Si_3N_4 박막의 증착에 주로 사용되고 있는 고생산성(100~200 wafers/batch) LPCVD(low-pressure CVD) 반응기를 에피 Si 증착에 응용하는 기술이 여러 연구진들에 의해 개발되고 있는 것도 보다 경제적인 에피 Si 증착 기술을 구현하려는 시도의 하나라 하겠다[2-5].

이들 LPCVD 반응기들은 반응기의 벽이 가열되는 hot-wall 반응기 구조를 채택하고 있으며 막의 증착 속도가 빨라 생산성이 높다는 장점을 가지고 있다. 그러나 일반적으로 이러한 빠른 증착속도 때문에 양질의 Si 에피층을 얻기는 어렵다는 단점이 있기 때문에 이의 적용에 있어 증착 공정에 대한 이해와 연구가 보다 세밀히 요구되는 기술이라 하겠다.

에피 실리콘 증착 기술에 관한 연구는 증착 공정의 열역학적 해석, 반응기의 이동현상적 해석, 그리고 실제 증착 실험을 통한 증착 공정 연구와 막 특성분석 등을 통해 종합적으로 이루어져야 한다. 따라서 본 연구에서는 증착 실험에 앞서 우선 Si 에피층을 증착할 수 있는 공정조건의 범위를 찾기 위하여 증착 공정의 열화학적 전산모사를 수행하였고 이를 통해 process window를 예측하였으며, 또한 반응기 내의 평형 기상 조성을 공정 변수의 함수로 조사해 봄으로써 에피 Si 증착에 있어 공정 parameter들이 미치는 영향을 미리 예측하여 보았다. 이어 실제 증착 실험을 수행하였고, 에피층의 특성 향상을 위한 증착 공정 연구와 증착전 세정 공정 연구 등을 통해 결정 결함이 낮고 막특성이 매우 우수한 Si 에피층을 얻을 수 있었다.

2. 열화학적 전산모사

CVD 공정의 열화학적 해석은 화학반응을 수반하는 다성분 다상 혼합물의 평형 조성 계산을 통해 이루어진다. 실제 반응기 내부에서는 매우 복잡한 화학반응이 일어나고 증착 공정은 일반적으로 비평형 상태에서 진행된다. 하지만 반응기의 유형이 hot-wall 반응기이고 전체적인 기체 흐름이 정상상태에서 진행되는 경우 증착반응은 평형 상태에 근접하게 되고 안정된 고체 박막을 형성하는 조건들도 열화학적 평형상태의 조건들과 근접하게 된다[6-7]. 따라서 증착공정의 열화학적 전산모사는 hot-wall CVD법의 경우 여러 가지 유용한 정보를 도출해 낼 수 있다고 하겠다.

에피 실리콘 증착 반응의 화학계는 일반적으로 Si-H-Cl의 3성분계로서 기상과 액상 그리고 고상을 모두 포함

하는 열역학계이다. 본 연구에서는 SiH_2Cl_2 와 H_2 의 혼합 기체를 원료로 사용하였다. 우선 평형 조성의 계산에 앞서 Si-H-Cl 3성분계로부터 구성될 수 있는 모든 화학종들을 조사하였고, 광범위한 문헌조사를 통해 주로 실험적으로 검증된 열역학 data가 있는 화학종들을 우선적으로 선택하였다. 이렇게 선택된 화학종들은 모두 22종으로서 이중 기상종들은 모두 20종이고 액상과 고상종은 각각 Si(l)과 Si(s)이다[7-14].

본 연구에서는 양론적(stoichiometric) algorithm을 사용하여 Si-H-Cl의 3성분계의 평형 조성을 계산하였다. 평형 조성의 계산에 필요한 열역학 data는 각 화학종들의 표준 생성 엔탈피(ΔH_f° , 298 K), 표준 생성 엔트로피(ΔS_f° , 298 K) 그리고 정압 열용량(C_p°) 관계식들이다. ΔH_f° 값은 문헌의 값을 그대로 사용하였고, ΔS_f° 값은 문헌으로부터 얻은 표준상태 엔트로피(S° , 298 K) 값을 계산처리하여 얻었으며, C_p° 관계식은 온도에 따른 정압 열용량의 실험 data를 주어진 정압 열용량 관계식으로 curve fitting하여 이로부터 관계식의 계수들을 도출하는 방법으로 구하였다[7]. 열화학적 전산모사는 400~1600°C의 온도 범위, 0.001~760 Torr의 압력 범위, 그리고 10~100의 $\text{H}_2/\text{SiH}_2\text{Cl}_2$ 비 범위에서 각각의 변수를 변화시키는 방식으로 수행되었다. 한편 CVD 상평형도의 계산에 있어서는 온도를 10 K 간격으로 그리고 입력 기체의 조성비는 0.01 내지 0.02 간격으로 변화시켰다.

3. 증착 실험

Fig. 1은 본 연구에 사용된 Si epitaxy 장치에 대한 개략도를 나타내고 있다. 본 연구에서 사용한 hot-wall LPCVD 반응기는 크게 세부분 즉, main chamber, loading chamber 그리고 load-lock chamber로 구성되어 있다. Load-lock chamber는 main chamber를 외부로부터 차단하는 역할을 하며, main chamber는 반응기 내부의 thermal uniformity를 확보하기 위하여 세 점에서 온도를 각각 감지하고 조절이 가능한 resistant radiant heater를 사용하여 반응기를 1000°C 정도까지 가열 가능하도록 설계하였다. Si 증착 공정에 요구되는 진공도를 얻기 위해 pumping 장치(turbomolecular pump, booster pump, rotary pump)를 사용하였으며, 또한 반응기가 hot-wall type이기 때문에 main chamber 이외의 부분이 열전도에 의해 가열될 수 있으므로 냉각수를 흘려주어 main chamber 외부로 냉각시켰다.

한편 반응기체가 반응기 내부로 주입되는 동안 cracking 온도 이상으로 가열되면 homogeneous 기상 반응이 가속되어 기상에서 Si particle을 형성할 수 있으므로, 이를 방지하기 위해 반응기체 주입관을 이중벽으로 제작

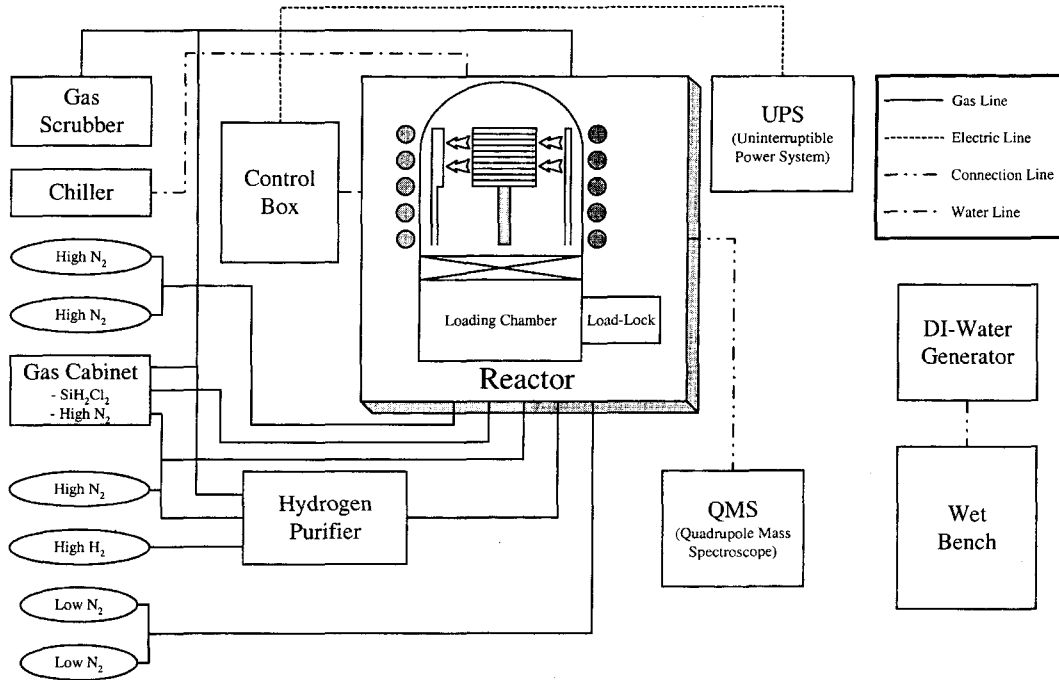


Fig. 1. Schematic of the Si epitaxy system.

하였고 그 외관에 coolant N₂를 주입하였다. 그리고 main chamber가 loading chamber와 직접 연결되어 있기 때문에 반응기 내부로 들어간 반응기체의 loading chamber로의 down-flow가 심해질 수 있으므로 이를 방지하기 위해 loading chamber에 H₂ curtain flow를 흘려줌으로써 main chamber와 동일한 압력이 유지되도록 하였다. 이것은 반응기체가 loading chamber로 흘러 들어가는 것을 방지하고 반응기 내부의 gas flow를 laminar flow가 되도록 지향함으로써 layer-by-layer 형태의 2-D(two-dimensional) growth로 epitaxy 공정이 진행되도록 하는 역할을 한다.

본 연구에서 사용한 기판은 (001) Si이었으며 증착에 앞서 습식 세정이 이루어졌다. 습식 세정공정은 전형적인 RCA 공정을 기초로 하여 구성되었으며[15], Fig. 2는 본 연구에서 사용한 습식 세정공정의 공정흐름을 보여 주고 있다. TCE(trichloro ethylene)와 methanol을 사용하여 ultrasonic 하에서 각각 5분간 세정하여 기판 위의 유기 오염물들을 제거하여 기판의 wettability를 향상시켰으며, 16~18 MΩ-cm의 초순수를 사용하여 5분간 세정하였고, 이후 H₂SO₄와 H₂O₂를 4:1로 섞은 용액에 1분간 dipping하여 이온 유기물을 제거하여 주었다. 다시 초순수로 세정한 후 마지막 단계로 0.5% dilute HF에 99초 동안 dipping하여 기판 위의 자연 산화막을 제거하고 표면을 안정화시킨 후 역시 초순수로 세정하였다.

세정공정이 끝난 기판은 증착공정을 위해 load-lock chamber로 이송되었으며, load-lock chamber에 loading

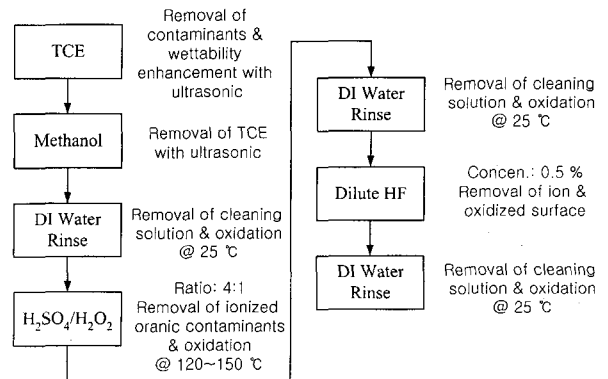


Fig. 2. Wet cleaning procedure used for Si epitaxy.

시 내부에서 N₂ 기체를 불어 주어 외부의 공기가 load-lock chamber로 유입되는 것을 방지하였다. Load-lock chamber에서는 rotary pump와 turbomolecular pump를 사용하여 약 10⁻⁶ Torr 정도까지 진공을 잡아줌으로써 main chamber의 공기에 의한 오염을 최소화하였다.

Si epitaxy에 사용된 원료 기체는 SiH₂Cl₂이고 carrier gas로는 H₂를 사용하였으며, 이때 H₂는 hydrogen purifier를 통해 정제하여 용존 산소의 양이 수십 ppb 이하가 되도록 하였고, loading chamber의 curtain flow로도 사용하였다. Purge와 분위기 기체로는 질소(N₂)와 아르곤(Ar)을 각각 사용하였다.

Load-lock chamber에 옮겨진 기판은 load-lock bar에 의해 미리 booster pump와 rotary pump에 의해 진공이

잡혀 있고 500°C까지 예열되어 있는 loading chamber로 옮겨지며 이후 loading chamber는 turbomolecular pump에 의해 base pressure를 $3.0 \times 10^{-8} \sim 5.0 \times 10^{-7}$ Torr 정도로 유지시켰다. 그 후 prebaking을 하기 위한 온도까지 반응기를 가열시켰고, 기판은 13 rpm으로 회전시켰으며, main chamber에 수소기체를 유입하였다. 이때 loading chamber에도 H₂ curtain flow를 흘려줌으로써 main chamber내의 H₂ gas가 loading chamber로 흐르는 것을 방지한 채 기판을 main chamber로 이송하였다. 기판의 온도가 prebaking을 위한 온도(925~950°C)에 이르면 수소기체를 30분간 흘려주어 습식세정 후 이송시에 생긴 native 및 chemical oxide를 제거하였다. 기판의 prebaking이 끝나면 반응기 온도를 증착온도(875~925°C)까지 냉각시켰으며, 온도가 안정화되면 반응기 압력 및 입력 기체비(H₂/SiH₂Cl₂)를 각각 1~10 Torr와 10~100의 범위에서 변화시켜가면서 30분간 증착하였다. 증착시 기판은 13 rpm으로 회전시켜 주었으며, 증착이 끝나면 수소기체와 curtain flow를 제외한 모든 gas flow를 닫고 반응기의 온도를 하강시켰으며, 온도가 600°C 이하로 내려가면 모든 gas flow를 닫고 turbomolecular pump를 가동하여 진공을 잡은 후 unloading하였다.

증착된 Si 에피층은 XRD와 SEM을 사용하여 그 결정성과 morphology를 측정하였으며, 에피 실리콘을 증크롬산으로 식각한 후의 광학현미경 관찰을 통해 증착된 Si 에피층의 etch-pit density를 측정하였다. 증착층의 두께와 비저항은 SRP(Spreading Resistance Profiler)와 Four-Point Probe mapping을 사용하여 측정하였고, 측정값의 variation은 식(1)로 정의된 uniformity로 나타내었다.

Uniformity

$$= \frac{\text{Maximum value} - \text{Minimum value}}{\text{Maximum value} + \text{Minimum value}} \times 100 (\pm \%) \quad (1)$$

4. 결과 및 토의

Fig. 3은 열화학적 계산을 통해 얻은 SiH₂Cl₂-H₂ system의 CVD phase diagram을 나타내고 있다. 그림에서 나타난 바와 같이 400~1414°C의 온도 범위와 0.001~100 Torr의 압력 범위의 광범위한 영역에서 고상 실리콘이 생성됨을 알 수 있다. 액상 실리콘의 경우 1414~2000°C의 온도 범위와 0.001~100 Torr의 압력 범위에서 생성됨을 알 수 있으며, 기상 실리콘은 2000°C 이상의 온도 범위와 0.001~100 Torr의 압력 범위에서 생성됨을 알 수 있다.

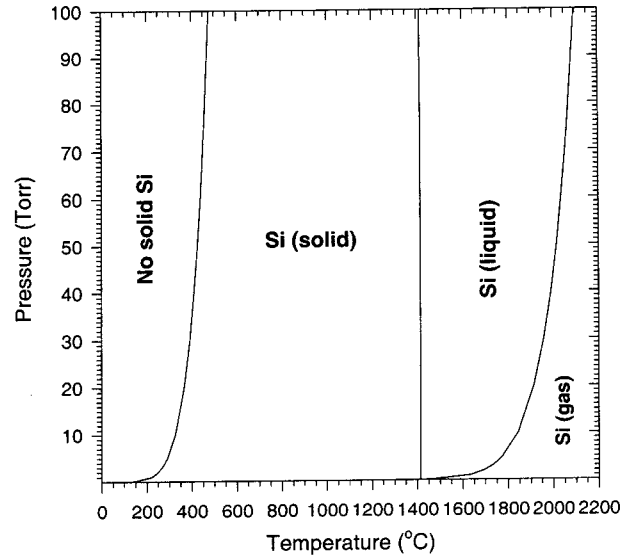


Fig. 3. CVD phase diagram of the SiH₂Cl₂/H₂ system.

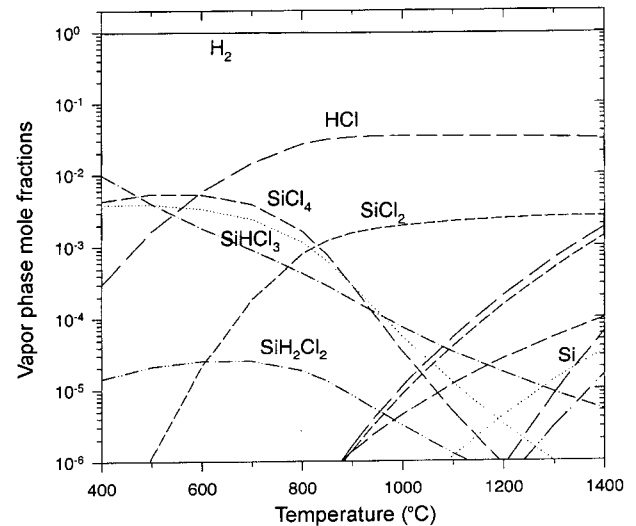


Fig. 4. Equilibrium vapor phase mole fractions of the SiH₂Cl₂/H₂ system (P = 5 Torr, H₂/SiH₂Cl₂ = 10; X_{H₂} = 0.909).

Fig. 4와 5는 평형상태의 기상 조성을 온도와 압력의 변화에 따라 각각 나타낸 그림이다. 반응물인 SiH₂Cl₂는 반응기 압력이 5 Torr일 때 700°C 이상부터 분해되기 시작하여 1100°C 부근에서 완전히 분해됨을 알 수 있다. 압력의 변화에 따른 SiH₂Cl₂의 변화를 살펴보면 반응기의 온도가 900°C일 때 0.6 Torr 부근에서 생성되기 시작하여 1000 Torr 범위까지 증가함을 알 수 있다. H₂, HCl, SiCl₂, SiHCl₃, SiCl₄, SiH₂Cl₂를 대표적인 기상종으로 하여 주된 중간체인 SiCl₂가 온도 900~1400°C, 압력 10 Torr 이하에서 기상 중간체로 안정화됨을 알 수 있다. 또한 고상 Si의 증착수율을 온도와 압력에 따라 계산한 결과는 Fig. 6에 나타나 있다. 증착수율(Si mole yield)은 식(2)에 따른다.

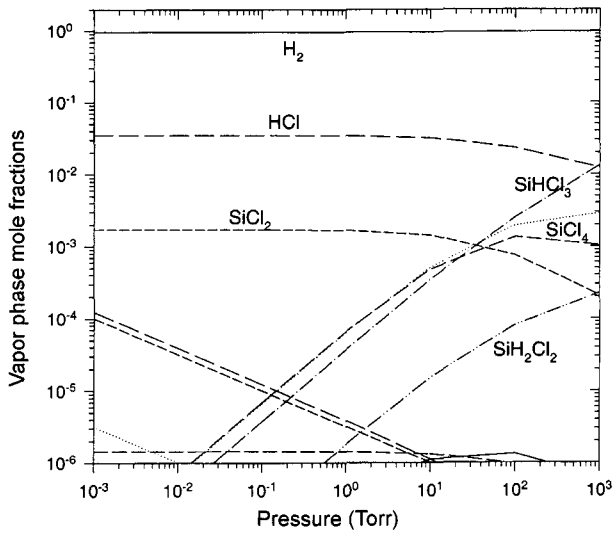


Fig. 5. Equilibrium vapor phase mole fractions of the $\text{SiH}_2\text{Cl}_2/\text{H}_2$ system ($T = 900^\circ\text{C}$, $\text{H}_2/\text{SiH}_2\text{Cl}_2 = 100$; $X_{\text{H}_2} = 0.990$).

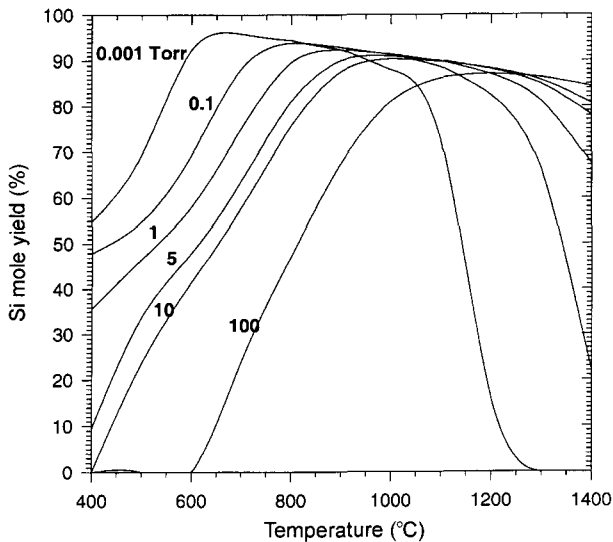


Fig. 6. Si mole yield of the $\text{SiH}_2\text{Cl}_2/\text{H}_2$ system ($\text{H}_2/\text{SiH}_2\text{Cl}_2 = 50$; $X_{\text{H}_2} = 0.98$).

$$\text{Si mole yield} = \frac{\text{Output solid Si mole number}}{\text{Input Si mole number}} \times 100(\%) \quad (2)$$

Fig. 6에 나타났듯이 증착 온도가 800~1100°C, 반응기 압력이 0.1~10 Torr에서 90 % 정도의 안정된 증착수율이 얻어짐을 알 수 있다. 이러한 열화학적 계산을 통해 우수한 Si 에피층을 증착하기 위해서는 800~1100°C의 온도 범위와 0.1~10 Torr 범위의 반응기 압력, 그리고 10~100 범위의 입력 기체 조성비($\text{H}_2/\text{SiH}_2\text{Cl}_2$)가 적절한 공정조건이라는 것을 알 수 있다.

Fig. 7은 SEM을 통해 관찰한 Si 에피층의 cross-section을 촬영한 사진이다. 그림에서 보는 것과 같이 Si

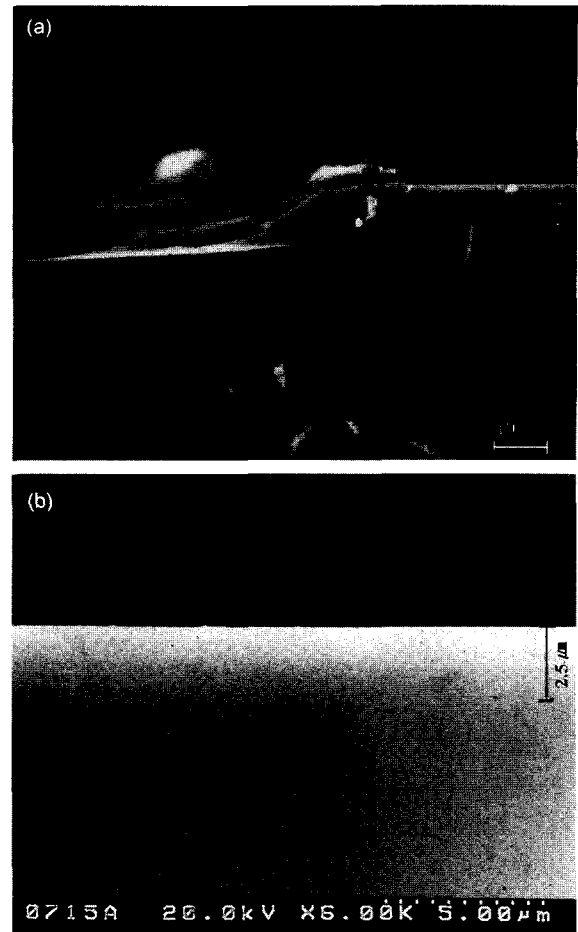


Fig. 7. Cross-sectional SEM images of epitaxial Si layers (a) $T = 925^\circ\text{C}$; $P = 1$ Torr; $\text{H}_2/\text{SiH}_2\text{Cl}_2 = 15$, (b) $T = 925^\circ\text{C}$; $P = 2.7$ Torr; $\text{H}_2/\text{SiH}_2\text{Cl}_2 = 10$.

epi layer와 substrate 사이에 interface를 거의 구분할 수 없을 정도로 계면 결함이 없는 Si 에피층이 깨끗하게 증착되었음을 확인할 수 있었고 XRD로 확인한 결과 (001) Si 단결정이 성장되었음을 확인할 수 있었다.

증착된 기판의 표면 결함 분석을 위해, 중크롬산 칼륨 ($\text{K}_2\text{Cr}_2\text{O}_7$)과 불산(HF)을 혼합한 용액을 사용하여 증착된 박막을 식각하였으며 광학 현미경을 통해 etch-pit를 관찰하였다. Fig. 8은 식각 후 Si 표면의 광학 현미경 관찰 결과이다. 그림에서 나타났듯이 etch-pit의 발견이 거의 없는 기판 표면을 얻었으며 이는 표면 결함이 10 defects/cm² 이하인 Si 에피층이 증착되었음을 반증하는 결과이다.

또한, SRP를 통해 증착속도를 측정해 본 결과, 약 0.035 μm/min 정도의 증착속도를 가짐을 확인할 수 있었으며, 두께와 비저항의 uniformity를 SRP와 Four-Point Probe를 통해 측정해 본 결과, wafer내의 uniformity는 10.1 % 이내 그리고 wafer간의 uniformity는 2.9 % 이하임을 확인할 수 있었다.

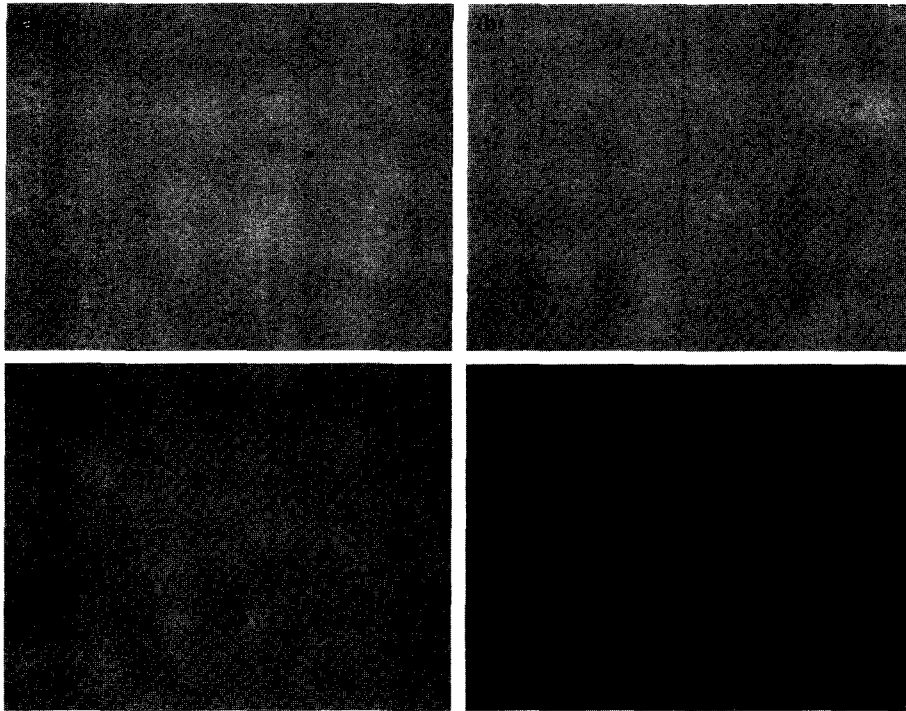


Fig. 8. Optical microscopic surface images of epitaxial Si layer (a) $T = 850^{\circ}\text{C}$; $P = 8$ Torr; $\text{H}_2/\text{SiH}_2\text{Cl}_2 = 30$, (b) $T = 900^{\circ}\text{C}$; $P = 2.5$ Torr; $\text{H}_2/\text{SiH}_2\text{Cl}_2 = 12$, (c) $T = 850^{\circ}\text{C}$; $P = 8$ Torr; $\text{H}_2/\text{SiH}_2\text{Cl}_2 = 30$, (d) $T = 900^{\circ}\text{C}$; $P = 2.5$ Torr; $\text{H}_2/\text{SiH}_2\text{Cl}_2 = 12$.

5. 결 론

본 연구에서는 Si epi-layer를 증착하기 위한 장치개발 및 공정개발을 목적으로, 열역학 전산모사와 증착실험을 수행하였으며 그 결과 양질의 Si epi-wafer를 얻을 수 있었다. 열역학 전산모사를 통해 실험할 조건들의 범위를 축소하였으며 공정 parameter들이 증착공정에 미치는 영향을 파악하였다. 전산모사를 통해 제한된 공정조건을 바탕으로 한 증착실험을 통해 얻은 양산성 있는 Si 에피층의 증착공정 조건은 증착온도 $850\sim 950^{\circ}\text{C}$, 반응기 압력 $2\sim 5$ Torr 그리고 입력기체의 조성비($\text{H}_2/\text{SiH}_2\text{Cl}_2$) $30\sim 70$ 임을 알 수 있었으며, 이러한 조건에서 소자 품격의 Si 에피층을 증착할 수 있었다.

본 연구의 지금까지의 결과는 상용화되어 있는 Si 에피 반응기의 증착속도와 uniformity에는 미치지 못하지만 장치와 공정의 최적화를 통해서 상용성있는 대용량 Si 에피 반응기의 구현이 가능하리라 본다.

감사의 글

본 논문은 일부 (주)LG실트론의 연구비에 의해 수행되었으며 이에 감사드립니다.

참 고 문 헌

- [1] M.L. Hitchman and K.F. Jensen, "Chemical Vapor Deposition: Principles and Applications" (Academic press, San Diego, 1990) 220.
- [2] J. Bloem, Y.S. Oei, H.H.C. de Moor, J.H.L. Hanssen and L.J. Giling, "Near Equilibrium Growth of Silicon by Silicon by CVD: I. the Si-Cl-H system", J. of Crystal Growth 65 (1983) 399.
- [3] B.S. Meyerson, E. Ganin, D.A. Smith and T.N. Nguyen, "Low Temperature Silicon Epitaxy by Hot Wall Ultra-high Vacuum/Low Pressure CVD Techniques: Surface Optimization", J. Electrochem. Soc. 133 (1986) 1232.
- [4] T.N. Nguyen, D.L. Harame, J.M.C. Stork, F.K. Legoues and B.S. Melyerson, "Characterization of IC devices Fabricated in Low Temperature (550°C) Epitaxy by UHV/CVD Technique", Tech. Dig. Intl. Elect. Dev. Mtng. (1986) 304.
- [5] D.L. Harame, J.M.C. Stork, B.S. Meyerson, T.N. Nguyen and G.J. Scilla, "Epitaxial-Base Transistors with UHV/CVD Epitaxy: Enhanced Profile Control for Greater Flexibility in Device Design", IEEE Elect. Dev. Lett. 10 (1989) 156.
- [6] C.S. Herrick and R.A. Sanchez-Martinez, "Equilibrium Calculations for the Si-H-Cl System from 300 to 3000 K", J. Electrochem. Soc. 131 (1984) 455.
- [7] J. Lee, H. Shin, Y. Kim and C. Park, "Thermodynamic analysis of the deposition process of SiC/C functionally gradient materials by CVD technique", J. Kor. Crystal Growth & Crystal Tech. 12 (2002) 101.

- [8] JANAF Thermochemical Tables, J. Phys. Chem. Ref. Data 3 (1974) 311.
- [9] JANAF Thermochemical Tables, "National Standard Reference Data Series", 37, U.S. Bureau of Standards, Washington, D.C. (1971).
- [10] F. Defoort, Ph.D. Thesis, Metallurgie, "Insitute of National Polytechnique of Grenoble" (1986).
- [11] F. Sauert, E.S. Rhonhof and W.S. Sheng, "Thermochemical data of pure substances", Ihsan Barin (1993).
- [12] L.C. Keizer, X. Tang, R.Z.C. Van Meerten and L.J. Giling, "Doping of Gallium Arsenide in MOCVD: Equilibrium Calculations", J. Crystal Growth 102 (1990) 667.
- [13] M. Farber and R.D. Srivastava, "Mass Spectrometric Determination of the Heats of Formation of the Silicon Subchlorides $\text{SiCl}(\text{g})$, $\text{SiCl}_2(\text{g})$ and $\text{SiCl}_3(\text{g})$ ", J. Chem. Soc., Faraday Trans. 1, 73 (1977) 1672.
- [14] M. Farber and R.D. Srivastava, "Enthalpies of Formation of the Silane Chlorides", J. Chem. Thermodynamics 11 (1979) 939.
- [15] W. Kern, "Handbook of Semiconductor Wafer Cleaning Technology: Science, Technology and Applications" (Noyes publications, New Jersey, 1993) p. 120.