

Crystallization of amorphous silicon films below 450°C by FALC

Kyoung-Wan Park[†], Jeong-Eun You and Duck-Kyun Choi

Department of Ceramic Engineering, Hanyang University, Seoul, 133-791, Korea

(Received June 5, 2002)

(Accepted July 16, 2002)

Abstract The crystallization behavior of amorphous silicon (a-Si) film was investigated by using Cu-field aided lateral crystallization (Cu-FALC) process below 450°C. The lateral crystallization was induced from the Cu deposited region outside of pattern toward the Cu-free region inside of the pattern by applying an electric field during heat treatment. As expected, the lateral crystallization toward Cu-free region proceeded from negative toward positive electrode side. The occurrence of Cu-FALC phenomenon was interpreted in terms of dominant diffusing species in the reaction between Cu and Si. Even at the annealing temperature of 350°C, the large dendrite-shaped branches were formed in the crystallized region and the polarity in the lateral crystallization was clearly observed. Consequently, we could successfully crystallize the a-Si at the temperature as low as 350°C by an electric field of 30 V/cm with fast crystallization velocity of 12 μm/h.

Key words Cu-field aided lateral crystallization, Dominant diffusing species, Low temperature, Dendrite-shaped branches, Poly-Si, Mobility

450°C 이하에서 FALC 공정에 의한 비정질 실리콘의 결정화

박경완[†], 유정은, 최덕균

한양대학 세라믹공학과, 서울, 133-791

(2002년 6월 5일 접수)

(2002년 7월 16일 심사완료)

요 약 450°C 이하에서 Cu를 이용한 전계 유도 방향성 결정화 공정을 통해 비정질 실리콘의 결정화 거동을 고찰하였다. 열처리와 동시에 전계를 인가하여 Cu가 증착된 패턴의 외부에서 Cu가 존재하지 않는 비정질 실리콘의 영역으로 측면 결정화를 유도하였다. 특히, Cu가 존재하지 않는 영역의 측면결정화는 (-) 전극 쪽에서 (+) 전극 쪽으로 방향성을 가지고 결정화가 진행되었다. 이러한 현상은 Cu와 Si가 반응 할 때, 주화산 종이 금속(Cu)이기 때문에 가능하다고 판단되었다. 또한, FALC 공정을 이용한 350°C의 온도에서 결정화된 영역 내에 커다란 dendrites 형태의 가지가 형성되었고 전계 방향에 따른 측면 결정화가 진행되었음을 확인하였다. 결론적으로 350°C의 매우 낮은 온도에서 30 V/cm의 전계 인가를 통해 12 μm/h의 결정화 속도로 결정화가 가능함을 확인하였다.

1. 서 론

박막 트랜지스터 액정표시소자(thin film transistor : TFT-LCD)는 그 표시특성이 우수하여 전체 LCD 시장의 70 % 이상을 점유하고 있으며, 최근 Note PC 시장에 이어 모니터, 휴대 전화기, 디지털 카메라 시장에서도 급성장 하고 있는 추세이다. 이미 상용화 되어 있는 비정질 실리콘 TFT의 경우 off 상태에서 누설전류가 매우 낮아 액정 디스플레이 소자로서 적합하지만, 후광 조사 시 off 전류가 높고 전계 효과 이동도가 일반적으로 낮

아 주변회로의 일체화 및 동화상의 전달에 문제가 있다. 이에 비해 다결정 실리콘은 높은 전계 효과 이동도를 가지고 있어 주변회로의 일체화 및 소자의 크기를 감소할 수 있고 빠른 응답 속도를 가지며 고해상도 구현이 가능하다[1]. 최근에 이런 다결정 실리콘을 상업적으로 이용하기 위해서 유리 기판상에 poly-Si TFT 구현을 위한 저온 결정화 기술 연구가 활발히 진행되고 있다. 비정질 실리콘 TFT 결정화를 위한 노력의 일환으로 금속 촉매를 이용한 결정화가 제안되었다[2-4]. 하지만 기존의 금속을 촉매로 이용한 결정화 기술을 실제 공정에 적용했을 때 결정화 시키는데 많은 시간이 필요하고, 이때 열처리와 함께 금속 불순물이 채널 내에 존재하게 되어 전기적 특성을 저하시키는 문제점들이 노출되고 있다. 이러한 문제점을 해결하기 위해 새로운 결정화 개념의 저

[†]Corresponding author
Tel: +82-2-2290-0506
Fax: +82-2-2299-7148
E-mail: zero12@kebi.com

온 방법인 전계 유도 방향성 결정화(Field Aided Lateral Crystallization : FALC)가 제안되었다[5, 6]. FALC는 나노 크기의 금속이 선택적으로 증착된 비정질 실리콘상에 전계를 인가하면서 열처리를 수행하는 공정으로써 전계의 영향으로 결정화 속도가 증가함으로 인해 결정화 시간도 줄일 수 있으며 소자로서 적용 시 채널내의 금속 불순물을 최소화 할 수 있을 것으로 기대되는 결정화 방법이다. 또한, 전계에 의한 방향성 결정화로 기존의 결정화 법에 의해 제작된 소자보다 우수한 전기적 특성을 갖는 TFT를 제작 할 수 있다[5-10]. Cu는 173°C에서 실리사이드상을 형성하고 485°C에서 비정질 실리콘 결정화를 유도하는 것으로 알려져 있으며, 지금까지 보고된 공정은 500°C에서 수행되어왔다[11]. 본 연구에서는 Ni에 비해 FALC 속도가 빠르고 결정화 온도를 낮출 수 있는 금속으로 보고된 Cu를 이용하여 450°C 이하에서의 FALC 공정을 시도하였고 아울러 전계인가 시 결정화 거동을 고찰하였다.

2. 실험 방법

대기압 화학 기상 증착법(Atmospheric Pressure Chemical Vapor Deposition : APCVD)으로 5000 Å의 산화막(SiO_2)이 증착된 유리 기판(Corning1737)상에 플라즈마 화학 기상 증착법(Plasma Enhanced Pressure Chemical Vapor Deposition : PECVD)을 이용하여 280°C에서 800 Å의 비정질 실리콘을 증착 하였다. 그 후 비정질 실리콘 위에 RF-magnetron sputtering법을 이용하여 상온에서 500 Å의 SiO_2 를 증착하였다. 다음으로 SiO_2 위에 사진 식각 공정을 수행하여 PR(photo-resist) 패턴을 형성 한 후, 패턴 이외의 SiO_2 는 BOE(Buffered Oxide Etchant)로 제거하였으며, SiO_2 패턴 위의 PR은 stripper로 제거하였다. DC-sputtering법으로 20 Å 두께

의 Cu를 증착하였고 SiO_2 위에 증착된 Cu는 BOE로 제거함으로써 패턴 바깥 지역에만 Cu가 존재하도록 하였다. 이후 시편에 전계를 인가하기 위해 시편의 양단에 전극을 형성한 후 DC Power Supply를 통해 전압을 제어하는 방식으로 전계를 인가하였다.

Fig. 1은 FALC 공정 수행을 위한 모식도를 보여주고 있다. 열처리는 질소 분위기의 관상로에서 30 V/cm의 전계를 일정하게 유지하며 350°C부터 450°C까지의 범위에서 수행되었다. 열처리 상승 속도는 5°C/min이었고 열처리 시간은 1~10시간 동안 변화를 주었다. 열처리 후 비정질 실리콘 바막의 결정화 양상을 Nomarski 광학현미경을 통해 관찰하였으며 결정화된 영역의 결정화 유무는 라만 스펙트럼(Raman-Spectrum) 분석을 통해 확인하였다. 그리고 450°C 이하에서 Cu-FALC 공정에 의해 결정화된 영역의 미세구조 관찰을 위해 주사 전자현미경(Scanning Electron Microscopy : SEM) 분석을 실시하였으며 결정화 된 두께 및 결정화된 입자의 전계에 의한 방향성을 확인하기 위해 투과 전자 현미경(Transmission Electron Microscopy : TEM) 분석을 행하였다.

3. 실험 결과 및 고찰

Fig. 2, 3 그리고 Fig. 4는 인가한 전계의 세기가 30 V/cm 일 때, 120 μm 및 30 μm 패턴 내에서 Cu-FALC 공정에 의해 결정화된 다결정 실리콘 영역을 Nomarski 광학현미경으로 관찰한 사진이다. Cu는 실리사이드상의 형성 시 주확산 종(Dominant Diffusion Species : DDS)으로 알려져 있으며 실리콘 내에서 모든 방향으로 실리콘에 비해 상대적으로 쉽게 이동할 수 있다[10]. 이러한 이유로 인해 전계인가 시 측면결정화는 모든 패턴 내에서 (-) 극쪽에서 (+) 극쪽으로, Cu가 증착된 패턴의 바깥 부분에서 Cu가 증착 되지 않은 비정질 실리콘 영역의 패턴 내부로 진행하는 전형적인 FALC 양상을 보여준다.

Fig. 2(a)는 450°C에서 3시간 동안 전계를 인가하여 열처리한 시편으로 패턴내부가 완전히 결정화가 진행되었음을 보여주고 있다. 또한 결정화 온도를 400°C로 낮추었을 때에도 120 μm 패턴내부가 완전히 결정화 된 것을 관찰하였다[Fig. 2(a)]. 패턴 내부에서 결정화 과정을 관찰하기 위해 400°C에서 열처리 시간을 줄여 1시간 동안 부분 결정화를 수행 했을 경우 [Fig. 2(c)], 패턴 내에서 측면 결정화는 30 μm/h의 결정화 속도를 가지고 (-) 극에서 (+) 극으로 진행되었음을 알 수 있다. 한편 Cu는 비정질 실리콘과 직접 접촉 시 173°C에서 Cu 실리사이드를 형성하고 485°C에서 fractal dimension을 갖는 dendrite 형태의 결정화를 유도한다고 알려져 있다[11].

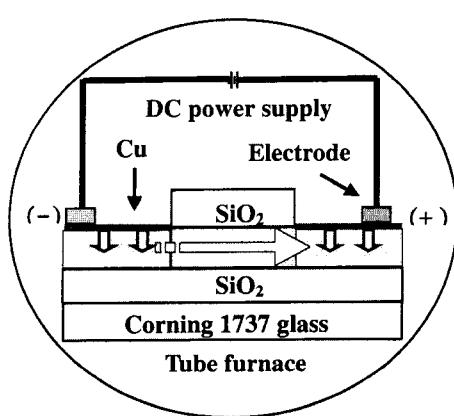


Fig. 1. A schematic diagram of the experimental set-up of the FALC process.

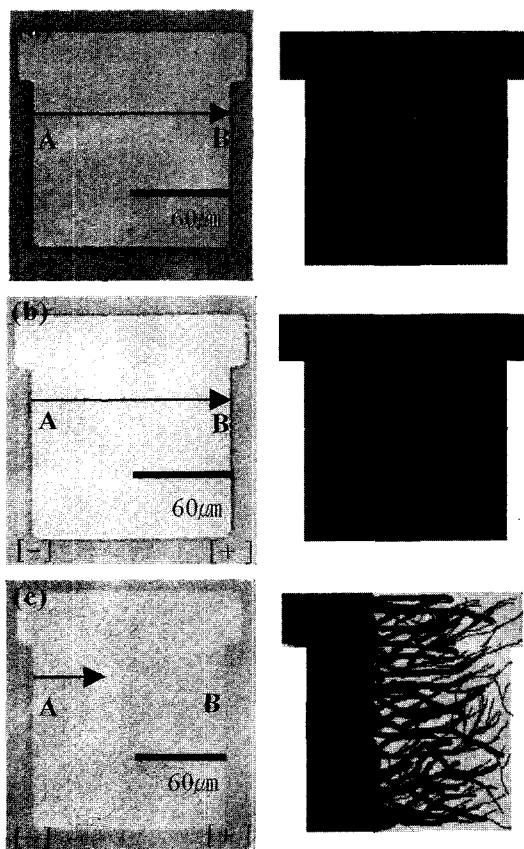


Fig. 2. Nomarski optical micrographs of the crystallized patterns and schematic drawings. Crystallization extends from (A) to (B) along the arrow. (a) annealed at 450°C for 3 hrs, (b) annealed at 400°C for 4 hrs and (c) annealed at 400°C for 1 hr.

전계를 인가한 열처리 시, 앞서 보고된 결정화 온도보다 훨씬 낮은 온도에서 dendrite 형태의 가지가 비정질 영역에 생성되어 결정화가 진행되는 것을 Fig. 3에서 관찰하였다. Fig. 3(a)는 350°C에서 1시간 동안 열처리 후 결정화된 영역에 형성된 dendrite 형태의 결정을 보여주고 있으며, 전계 영향으로 dendrite 형태의 결정화 진행이 (-) 극에서 (+) 극으로 이루어져 있음을 나타낸다. Fig. 3(b)에서 같은 온도에서 열처리 시간 증가에 따라 dendrite 형태의 가지가 더 길어지고 굽어지는 것을 확인 할 수 있다.

Fig. 4(a)와 Fig. 4(b)는 각각 350°C에서 30 V/cm의 전계를 인가하여 5시간과 10시간 동안 열처리한 후 결정화된 패턴을 보여주고 있다. 10시간 동안의 열처리를 통해 12 μm/h의 빠른 결정화 속도를 가지는 것을 알 수 있다.

이러한 결과를 통해 우리는 500°C 온도에서 전계를 인가하지 않은 열화산 공정의 결정화 속도보다 상당히 빠른 결정화 속도를 관찰 할 수가 있는데 이러한 현상은 전계가 Cu의 이동을 촉진시키는 구동력의 증가에 있어 중요한 역할을 하는 것으로 판단된다. 한편 (-) 전극에

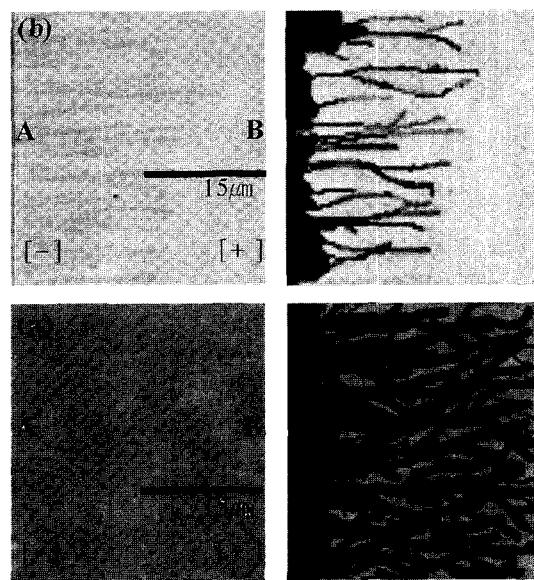


Fig. 3. Nomarski optical micrographs of the partially crystallized patterns and schematic drawings (a) annealed at 350°C for 1 hr and (b) annealed at 350°C for 2 hrs.

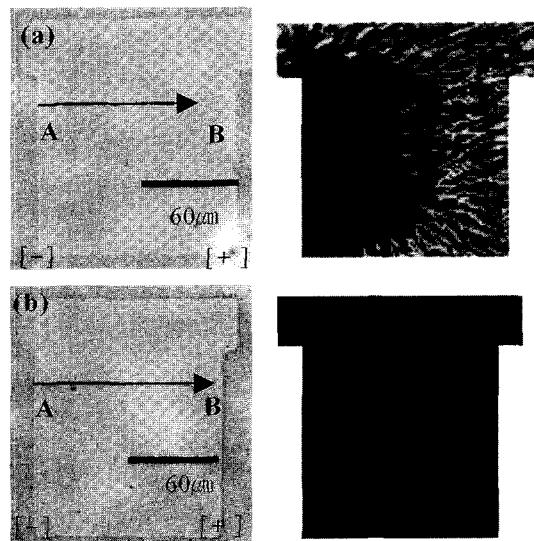


Fig. 4. Nomarski optical micrographs of the partially crystallized patterns and schematic drawings (a) annealed at 350°C for 5 hrs and (b) annealed at 350°C for 10 hrs.

서 (+) 전극쪽으로의 방향성 결정화는 다음과 같이 설명 할 수 있다. Cu 실리사이드상은 전기적으로 도체이기 때문에 전계 인가 시 실리사이드 상 내의 비교적 mobility 가 큰 전자들이 먼저 Cu 실리사이드상과 비정질 실리콘 사이의 계면으로 이동하게 되어 Cu 실리사이드 상 내에 국부적인 전계를 형성시킨다. 전계로 인해 뒤에 남겨진 (+) 전하를 띤 금속 이온은 전자의 인력에 의해 비정질 실리콘 영역으로의 확산이 빨라진다. 따라서 Cu 실리사이드와 비정질 실리콘 사이의 계면은 앞쪽의 비정질 영역으로 계속해서 이동하게 되고, 전자들 또한 다시 형성

된 실리사이드와 비정질 실리콘간의 계면으로 이동한다.

결과적으로, 이런 반응들이 연속적으로 진행되어 FALC의 경우 측면 결정화 속도가 전계가 인가되지 않은 열화산 공정에 의한 결정화 보다 매우 빠르게 나타나는 것으로 해석된다.

다결정 실리콘의 형성을 확인하기 위해 패턴내부에 Raman 분석을 수행하였다. 단결정 실리콘의 경우 521 cm^{-1} 부근에서 큰 피크가 나타나고, 비정질 실리콘의 경우 480 cm^{-1} 부근에서 완만한 피크가 나타난다. Fig. 5는

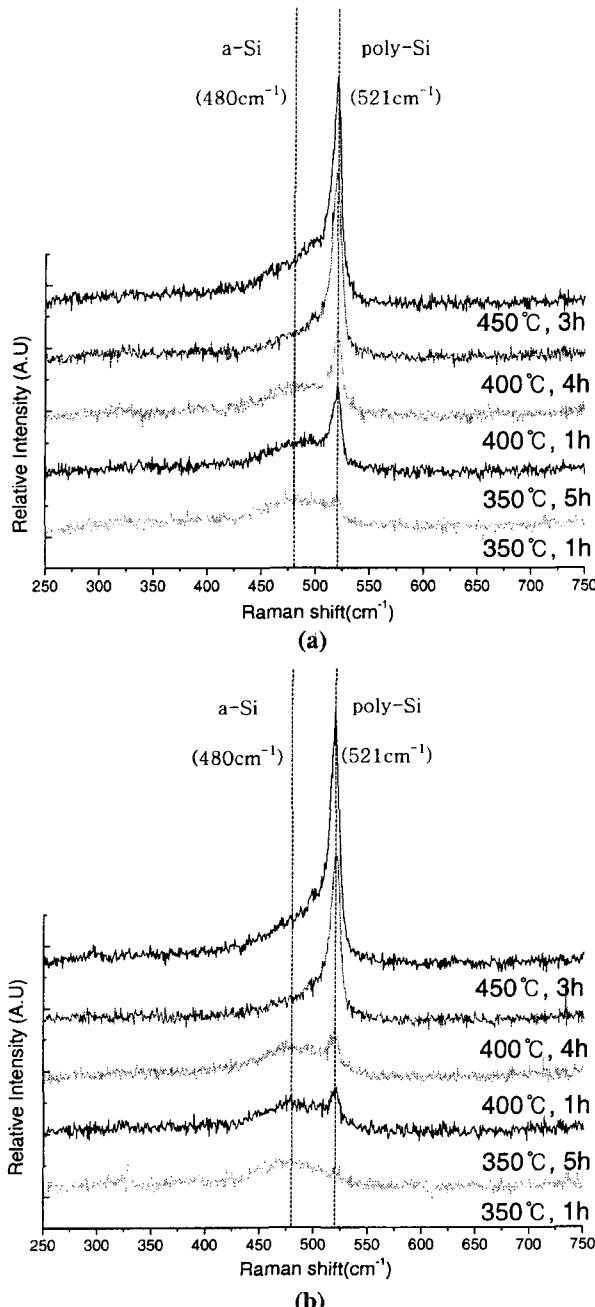


Fig. 5. Raman spectra results of (a) A region of Figs. 2, 3, 4 and (b) B region of Figs. 2, 3.

FALC 공정에 의해 결정화된 시편들의 Raman Spectra를 보여준다. Cu-FALC 공정이 수행된 결정질 실리콘 영역은 단결정질 실리콘의 라만 세기만큼 나타나지는 않았지만, Fig. 2(a), (b)의 A와 B 영역에서 비결정 실리콘이 결정화 되었음을 확인할 수 있다. 또한, 521 cm^{-1} 부근에서 약한 단결정 실리콘 피크를 Fig. 2(c), 4(c)의 A와 B의 영역과 Fig. 3(a)의 A 영역에서 관찰할 수 있다. 그러나 dendrites 형태의 결정화가 진행되지 않은 Fig. 3(a)의 B 영역에서는 비정질 모드인 480 cm^{-1} 부근에서 완만한 피크가 관찰됨으로써 비정질 실리콘이 잔존하고 있음을 확인하였다. 이러한 라만 스펙트라의 결과로부터 전계 인가 시 350 °C 의 저온에서도 Cu가 측면 결정화를 유도할 수 있음이 증명되었다.

한편 Fig. 6(a)는 Cu를 이용하여 450 °C 에서 1.5시간 동안 30 V/cm 를 인가했을 때 부분적으로 결정화가 이루어진 영역을 주사전자현미경(SEM)으로 관찰한 표면 사진이다.

또한 결정화된 영역의 평균 결정립 크기가 900 \AA 정도의 균일한 입자로 구성되어져 있음을 Fig. 6(b)에서 보여주고 있다.

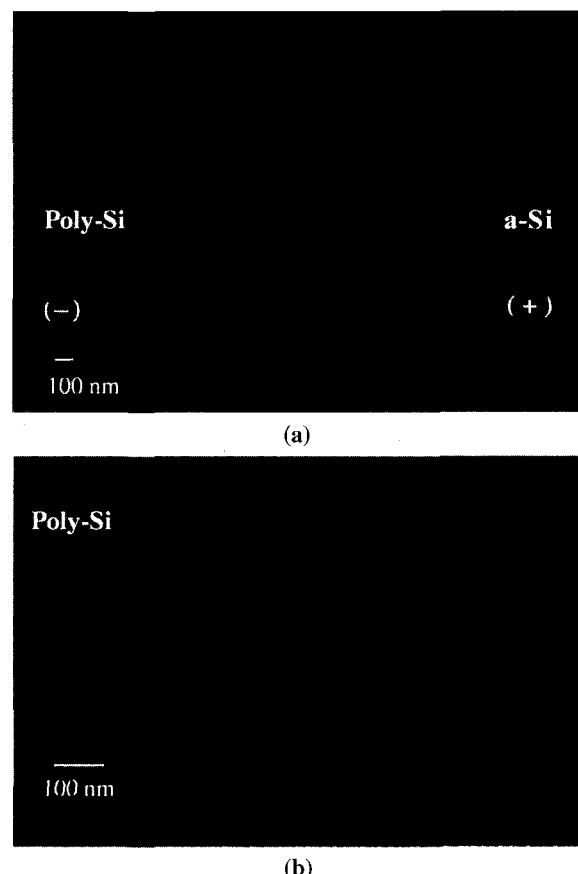


Fig. 6. Plan-view SEM images of crystallized microstructure using Cu-FALC (450 °C , 1.5 hrs, 30 V/cm). (a) boundary between poly-Si and a-Si and (b) higher magnification image of the crystallized poly-Si region.

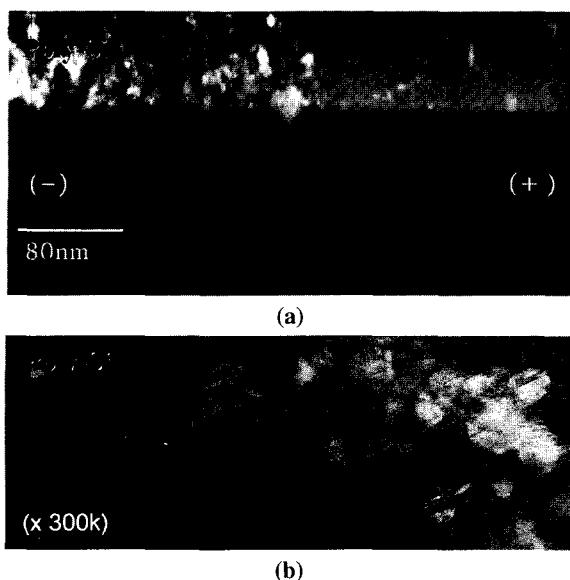


Fig. 7. Cross-sectional TEM image of the microstructure using Cu-FALC (450°C , 1.5 hrs, 30 V/cm). (a) boundary between poly-Si and a-Si and (b) higher magnification image of the crystallized poly-Si region.

이러한 전계 영향 하에서 결정화 양상의 단면 사진이 Fig. 7에 제시되어 있다. Fig. 7(a)는 Cu-FALC 공정을 이용하여 450°C 에서 1.5시간 동안 비정질 실리콘을 열처리한 시편으로 결정질 실리콘과 비정질 실리콘간의 경계면과 결정화된 영역의 미세구조를 투과전자현미경(TEM)으로 관찰한 사진이다. Fig. 7(b)는 7(a)에서 전계에 의한 입자들의 방향성 및 결정화 두께를 확인하기 위해 결정화된 영역을 고배율로 나타내었다. 사진에서 입자들의 방향성에 대해서는 명확히 구분하기 어렵지만 FALC 공정으로 Cu가 증착되지 않은 표면 뿐만 아니라 깊이 방향으로도 완전히 결정화되어져 있음이 확인 되었다.

4. 결 론

부분적으로 극박막의 Cu를 증착한 a-Si 박막에 전계를 인가하여 열처리 한 경우 Cu는 비정질 실리콘과 접촉된 영역뿐만 아니라 Cu가 증착 되지 않은 패턴 내부에서 (-) 전극으로부터 (+) 전극 방향으로 결정화가 가속되는 측면 결정화를 유도하였다. 이러한 결과는 전계에 의해서 Cu이온의 확산이 촉진되어 측면 결정화가 가속되는 것으로 판단된다. 한편 450°C 에서 3시간 동안 열처리한 시편에 30 V/cm 의 전계를 인가했을 때 $120\text{ }\mu\text{m}$ 패턴에서의 결정화 속도는 $40\text{ }\mu\text{m/h}$ 였다. 그리고 485°C 에서 형성된다고 보고된 dendrite 형태의 결정 입자는 천계 영향에 의해서 350°C 의 낮은 온도에서 비정질 영역에 형성되고, (+) 전극 쪽으로 성장하면서 방향성 결정화를

유도한다. 또한 800 \AA 두께의 비정질 실리콘 박막은 열처리와 함께 전계를 인가하는 FALC 공정으로 완전히 결정화 되었다. 우리는 Cu-FALC 공정을 이용하여 $12\text{ }\mu\text{m/h}$ 의 빠른 속도로 기존에 보고 되었던 온도 보다 낮은 350°C 에서 비정질 실리콘을 결정화 하였다.

감사의 글

본 연구는 2000년도 한국학술진흥재단의 차원에 의해 연구된 논문임(KRF-2000-041-E00537).

참 고 문 헌

- [1] A.M. Marmorstein, A.T. Voutsas and R. Solanki, "Effect of Multiple Scans Granular Defects on Excimer Laser Annealed Polysilicon TFTs", Solid state Electronics. 43 (1999) 305.
- [2] C. Hayzelden and J.L.L. Bastone, "Silicide Formation and Silicide-mediated Crystallization of Nickel-implanted Amorphous Silicon Thin Films", J. Appl. Phys. 73 (1993) 8279.
- [3] S.W. Lee, S.K. Jeon and S.K. Joo, "Pd Induced Lateral Crystallization of Amorphous Si Thin Films", Appl. Phys. Lett. 66 (1995) 1671.
- [4] L. Hultman, A. Robertsson, H.T.G. Hentzell, I. Engstrom and P.A. Psaras, "Crystallization of Amorphous Silicon During Thin-film Gold Reaction", J. Appl. Phys. 62 (1987) 3647.
- [5] K.S. Song, S.I. Jun, S.H. Park and D.K. Choi, "I-V Characteristics of Poly-Silicon Thin Film Transistor by Field Aided Lateral Crystallization (FALC)", Proceedings of 5th International Conference on VLSI and CAD, Seoul, Korea (1997) 187.
- [6] K.S. Song, J.B. Lee, S.I. Jun, D.K. Choi and S.K. Park, "Polycrystalline Thin Film Transistors Fabricated by FALC Technique", J. Mater. Sci. Lett. 18 (1999) 1209.
- [7] C.J. Lee, J.B. Lee, Y.C. Chung and D.K. Choi, "The Influenced of Cu and Au on Field Aided Lateral Crystallization of Amorphous silicon Films", Jpn. J. Appl. Phys. 39 (2000) 6191.
- [8] S.I. Jun, Y.H. Yang, J.B. Lee and D.K. Choi, "Electrical Characteristics of Thin Film Transistors Using Field-aided Lateral Crystallization", Appl. Phys. Lett. 75 (1999) 2235.
- [9] S.H. Park, S.I. Jun, C.K. Kim and D.K. Choi, "Field Aided Lateral Crystallization of Amorphous Silicon Thin Film", Jpn. J. Appl. Phys. 38 (1999) 108.
- [10] J.B. Lee, C.J. Lee and D.K. Choi, "Influences of Various Metal Elements on Field Aided Lateral Crystallization of Amorphous Silicon Films", Jpn. J. Appl. Phys. 40 (2001) 6181.
- [11] S.W. Russell, J. Li and J.W. Mayer, "In situ Observation of Fractal Growth During a-Si Crystallization in a Cu_3Si Matrix", J. Appl. Phys. 70 (1991) 515.