

1.5V 70dB 100MHz CMOS Class-AB 상보형 연산증폭기의 설계

A 1.5V 70dB 100MHz CMOS Class-AB Complementary Operational Amplifier

박광민
(Kwang Min Park)

Abstract

A 1.5V 70dB 100MHz CMOS class-AB complementary operational amplifier is presented. For obtaining the high gain and the high unity gain frequency, the input stage of the amplifier is designed with rail-to-rail complementary differential pairs which are symmetrically parallel-connected with the NMOS and the PMOS differential input pairs, and the output stage is designed to the rail-to-rail class-AB output stage including the elementary shunt stage technique. With this design technique for output stage, the load dependence of the overall open loop gain is improved and the push-pull class-AB current control can be implemented in a simple way. The designed operational amplifier operates perfectly on the complementary mode with 180° phase conversion for 1.5V supply voltage, and shows the push-pull class-AB operation. In addition, the amplifier shows the DC open loop gain of 70.4 dB and the unity gain frequency of 102 MHz for $C_L=10\text{pF}$ || $R_L=1\text{M}\Omega$ parallel loads. When the resistive load R_L is varied from 1 M Ω to 1 k Ω , the DC open loop gain of the amplifier decreases by only 2.2 dB.

Key Words : CMOS, Complementary, Operational amplifier, Rail-to-rail, Class-AB

1. 서론

최근 휴대용 전자장비의 다기능화와 소형화에 따라 저전력, 저전압 집적회로에 대한 요구가 증대되고 있다[1-3]. 특히 집적도의 증가에 따라, 최근의 VLSI 집적회로는 대개 1.5V 이하의 공급전압에서 동작할 수 있도록 설계되고 있는 데, 디지털 회로와는 달리 아날로그 회로는 큰 공급전압에서 동작할 때와 비슷한 성능을 유지할 수 있도록 하기 위해 보다 세심한 설계가 요구된다. 따라서 설계자가 필요로 하는 다양한 목적과 설계공정의 제

한을 극복하기 위해 CMOS 연산증폭기에 대한 다양한 설계방법들이 제시되어 왔다[4-11].

그러나 기존의 CMOS 연산증폭기는 일반적으로 최소한의 이득단을 사용하여 적당한 이득을 얻기 위해 캐스코드 기법을 사용하여 왔는데, 이러한 캐스코드의 사용은 연산증폭기의 동작에 필요한 최소공급전압의 범위를 제한하는 결과를 초래하여, 최근의 1.5V 이하의 공급전압으로 동작하는 연산증폭기의 설계에는 적절하지가 못하였다.

이를 극복하기 위한 여러 설계 기법들이 제시되어 왔으나, 결과적인 회로가 4개의 캐스캐이드 이득단을 필요로 하는 등 매우 복잡하거나[5], 이득 또는 고주파 특성이 충분하지 못하여 최근의 고주파 신호처리 시스템에 적용하기에 적합하지 못하다는 등의 단점이 있어왔다[6-9].

한편 최근의 CMOS VLSI 용 연산증폭기는 고이득과 높은 단위이득주파수, 빠른 정착시간, 적절한 전력소모 및 최소의 칩 면적 등이 요구되고 있

순천향대학교 정보기술공학부
(충남 아산시 신창면 읍내리 588)
Fax : 041-530-1548
E-mail : kmpark@sch.ac.kr
2002년 4월 20일 접수, 2002년 5월 20일 1차 심사완료
2002년 5월 31일 최종 심사완료

다[12]. 그러나 고이득과 높은 단위이득주파수를 동시에 만족하는 연산증폭기의 구현은 매우 어려운 문제였다. 고이득을 얻기 위해서는 낮은 전류 레벨로 바이어스된 장채널 소자를 사용하여 다단 증폭을 하여야 하는 데 반해, 높은 단위이득주파수를 구현하기 위해서는 높은 바이어스 전류 레벨로 바이어스된 단채널 소자를 사용하여 1단으로 증폭기를 설계하여야 하기 때문이다. 이러한 trade-off를 극복하기 위한 하나의 방법은 rail-to-rail 입력단에 병렬연결된 상보형(complementary) 차동쌍을 사용하고[13], 출력단에는 최대출력전류를 공급할 수 있는 rail-to-rail class-AB 출력단을 사용하는 것이다.

본 논문에서는 아날로그 VLSI 고주파 신호처리 시스템에 적용 가능한 고이득, 높은 단위이득주파수, 빠른 정착시간을 갖는 새로운 CMOS class-AB 상보형 연산증폭기를 제시한다. 제시된 CMOS 상보형 연산증폭기는 1.5V의 낮은 공급전압에서도 고이득과 높은 단위이득주파수를 갖도록 하기 위해 병렬연결된 상보형 차동입력단과 class-AB 출력단을 포함하는 간단한 2단 구조의 증폭기가 되도록 설계한다. II절에서는 CMOS 상보형 연산증폭기의 설계를, III절에서는 모의실험 및 결과를 각각 나타내었다.

2. CMOS 상보형 연산증폭기의 설계

2.1 Rail-to-rail 상보형 차동 입력단

최근의 CMOS VLSI 연산증폭기는 고이득(≥ 60 dB), 매우 높은 단위이득주파수(≥ 100 MHz) 및 매우 빠른 정착시간 특성을 갖도록 요구되고 있다. 이를 위해 rail-to-rail 입력단은 상보형 대칭구조로 구성하면 기본적으로 어떠한 공통모드 입력전압 값에 대해서도 적어도 하나의 입력쌍은 적절히 바이어스된 상태(turn-on)를 유지하게 되며, 따라서 넓은 공통모드 입력 전압범위를 제공하고, 입력단의 트랜스컨덕턴스가 항상 일정하게 유지된다는 장점이 있으므로[13,14], 연산증폭기의 주파수 보상을 최적화시키기 위하여 저전압 연산증폭기의 입력단은 병렬연결된 상보형 차동쌍으로 구성하는 것이 바람직하다.

따라서 본 논문에서는 NMOS 및 PMOS 차동입력쌍을 대칭구조로 병렬연결하고, 기존의 folded cascode 단을 단순 미러형 캐스코드 단으로 변형하여 rail-to-rail 상보형 차동입력단을 설계하였으며, 이를 다음 그림 1에 나타내었다.

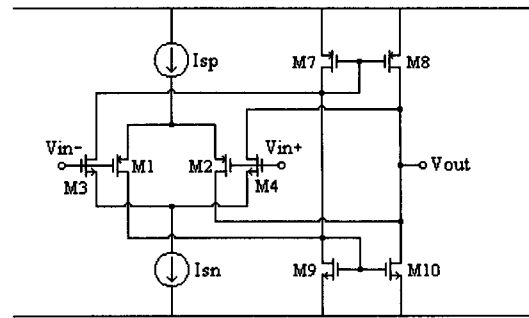


그림 1. Rail-to-rail 상보형 차동 입력단.

Fig. 1. Rail-to-rail complementary differential input stage.

여기서 M1, M2 및 M3, M4는 각각 PMOS 및 NMOS 차동입력쌍을 구성한다. 이 그림 1의 입력단에서 트랜스컨덕턴스는 다음 식 (1)의 조건이 만족되면 일정하게 유지된다[13].

$$\sqrt{\beta_n I_{sn}} + \sqrt{\beta_p I_{sp}} = \text{const.} \quad (1)$$

여기서 $\beta_n = \mu_n C_{ox} W_n / L_n$, $\beta_p = \mu_p C_{ox} W_p / L_p$ 이며, I_{sn} 과 I_{sp} 는 각각 NMOS 및 PMOS 차동입력쌍의 바이어스 전류이다. $\beta_n = \beta_p$ 가 되도록 설계하면, 식 (1)은 다음 식 (2)로 나타내어진다.

$$\sqrt{I_{sn}} + \sqrt{I_{sp}} = \text{const.} \quad (2)$$

이때 공통모드 입력전압값에 따라 NMOS 입력쌍과 PMOS 입력쌍이 단독 또는 모두 동작하게 되어 각각의 입력쌍에 I_{sn} 또는 I_{sp} 로 일정한 전류가 흐르게 되므로 입력단의 트랜스컨덕턴스가 일정하게 유지된다. 그러나 실제로는 공통모드 입력 전압 범위의 중간부분에서는 NMOS 입력쌍과 PMOS 입력쌍이 모두 on이 되어 전체 트랜스컨덕턴스가 각각의 입력쌍이 단독으로 동작할 때의 값보다 거의 2배가 되어 전체 공통모드 입력 전압 범위에 대해 일정하지 않게 된다. 이러한 overshoot를 개선하여 트랜스컨덕턴스를 일정하게 유지하기 위해 DC level shifter를 포함하거나[14], 또는 추가 NMOS 및 PMOS 차동입력쌍을 삽입하는 등[10] 많은 노력이 있어왔다. 그러나 많은 트랜지스터를 추가함으로써 결과적인 회로가 1.5V의 공급전압으로 구동하기가 어렵거나, 고주파 동작이 곤란하다는 단점이 있다. 본 논문의 그림 1에 대해 모의실험

험한 결과는 다음 그림 2에 나타내었다. 본 논문의 상보형 입력단에서도 트랜스컨덕턴스는 $|V_{cm}| < 0.5V$ 인 영역에서 overshoot를 보였지만, 그 외의 전압범위에서는 약 $75\mu A/V$ 의 비교적 일정한 값을 보임을 알 수 있다.

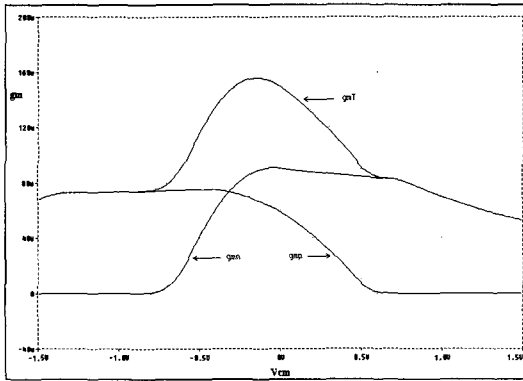


그림 2. gm 대 V_{cm} .
Fig. 2. gm versus V_{cm} .

한편 상보형 차동입력단이 1.5V의 공급전압으로 동작하기 위해서는 사용된 트랜지스터의 문턱전압이 충분히 낮거나, 또는 V_{dd} 라인과 V_{ss} 라인 사이에 연결되는 트랜지스터의 수가 제한되어야 한다. 문턱전압이 낮은 트랜지스터를 사용하는 경우에는 저문턱전압 공정을 적용하여야 하기 때문에, 표준 공정을 적용하는 범용 연산증폭기의 설계에는 트랜지스터의 수를 제한하는 것이 보다 효율적이다. 따라서 본 논문에서는 1.5V의 공급전압으로 고이득 고주파 특성을 구하기 위해 그림 1과 같이 V_{dd} 라인과 V_{ss} 라인 사이에 최대 3개 이내의 트랜지스터만이 연결되도록 기존의 folded cascode 단을 단순 미러형 캐스코드 단으로 변형하여 rail-to-rail 상보형 차동입력단을 설계하였다.

2.2 Rail-to-rail class-AB 출력단

효율적인 전력 소비를 위하여는 작은 동작전류를 갖고 최대출력전류를 공급할 수 있도록 출력단을 설계하여야 한다. 이를 위해 연산증폭기의 출력단에는 전력효율이 좋고 작은 부하를 구동하기 위한 전류조절능력이 우수한 class-AB 출력단이 사용되는 것이 바람직하다.

기존의 연산증폭기 출력단은 대부분 공통소스형으로 구성되었는데, 이의 가장 큰 단점은 증폭기의 이득이 부하에 크게 종속적이며, 낮은 저항성

부하에서는 이득이 약 40 dB 이상 감소한다는 점이었다. 출력단에서의 이와 같은 이득 감소를 보상하기 위해 중간 이득단이 사용될 수도 있는데, 이는 집적도와 칩 면적, 그리고 전력 소비를 증가시키게 되어 저전력, 저전압 연산증폭기의 설계에는 적절하지가 못하였다.

공통소스형 출력단의 대안으로 R. V. Dongen 등은 elementary shunt stage 기법을 제시하였는데[6], 이는 shunt stage의 전달함수와 전체 개방루프이득이 부하에 훨씬 덜 종속적이며, 출력임피던스가 낮아 증폭기의 안정성이 개선된다는 장점이 있는 반면에 PSRR에 대해 다소 취약하다는 단점도 가지고 있었다. 이러한 단점을 개선하기 위해 본 논문에서는 접지 게이트-캐스코드 보상 (grounded gate-cascode compensation) 기법[15]을 적용하여 부하에 대한 구동능력과 PSRR을 동시에 개선시킬 수 있도록 하였으며, 이를 통해 R. V. Dongen 등이 구현한 연산증폭기 회로에서 큰 부하에 대한 출력단의 고주파 동작을 최적화하기 위해 사용된 저항 R_z 와 커패시터 C_z 를 제거하여도 안정한 고주파 동작이 가능하며, 저항으로 인한 칩 면적 손실 및 noise 특성의 저하 등을 방지할 수 있었다. 한편 주파수 보상을 위해 기존의 보상 커패시터 C_{c1} 외에 연산증폭기의 출력단에서 shunt stage의 입력단으로 케환 커패시터 C_{c2} 를 추가하였는데, 이는 연산증폭기의 위상여유를 개선시키기 위해 삽입하였다.

이러한 보상 기법들을 사용하여 class-AB 동작이 가능하도록 설계한 rail-to-rail 출력단은 다음 그림 3에 나타내었다.

이 그림 3의 출력단 회로에서 트랜지스터 M13,

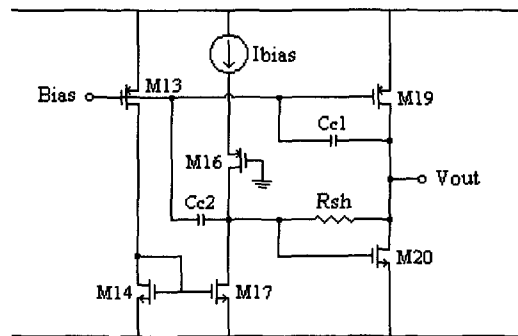


그림 3. Rail-to-rail class-AB 출력단.
Fig. 3. Rail-to-rail class-AB output stage.

M14 및 M17은 elementary shunt stage의 트랜스컨덕터 블록을 형성하며, 이의 트랜스컨덕턴스는 M13의 트랜스컨덕턴스와, 전류미러 M14와 M17의 전류비에 의해 결정된다. 또한 PMOS 출력 트랜지스터 M19는 차동입력단의 출력에 의해 직접 구동되며, 여기서 M14와 M17의 전류비를 A, M13과 M19의 전류비를 B라 두면, M19의 전류 I_{19} 는 $(B/A)I_{bias}$ 에 의해 결정된다. 따라서 출력단에서 class-AB 동작이 가능하게 되어 class-AB 전류제어가 간단히 구현될 수 있도록 하였다.

2.3 전체 연산증폭기 회로의 구현 및 주파수 보상

앞에서 설계된 상보형 차동입력단과 class-AB 출력단을 결합하여 구성된 2단 rail-to-rail 연산증폭기의 전체 회로는 다음 그림 4에 나타내었다.

설계된 연산증폭기는 상보형 차동입력단(M1-M6), 캐스코드단(M7-M10), class-AB 동작을 위한 출력단(M13-M14, M19-M20), 접지 게이트-캐스코드 보상단(M15-M17), 보상 커패시터 Cc1과 Cc2 및 보상저항을 위한 M18, 그리고 이 연산증폭기를 구동시키기 위한 바이어스단(M11-M12)으로 구성하였다. 이때 그림 4의 전체 연산증폭기 회로는 Vdd 라인과 Vss 라인 사이에 오직 3개 이하의 트랜지스터만을 사용함으로써 1.5V의 공급전압으로도 충분히 동작할 수 있도록 하였다.

표준 0.8 μ m CMOS 공정을 적용하여, 상보형 차동입력단에서의 DC 개방루프이득은 50 dB, 그리고 class-AB 출력단에서의 이득은 20 dB 이상이 되도록

설계하여 전체 이득이 70 dB 이상이 되도록 하였으며, 단위이득주파수는 100 MHz 이상이 되도록 설계하였다. 이를 위한 차동입력단의 트랜지스터 M1-M4의 W/L 비는 약 300 정도가 되며, 고주파 특성을 구하기 위해 520/1.6으로 정하였다. 차동입력단의 바이어스 전류를 위한 트랜지스터 M5와 M6의 W/L 비는 16/0.8, 캐스코드단의 트랜지스터 M7-M10의 W/L 비는 16/1.6으로 각각 정하였다. 한편 출력단의 바이어스 전류를 위한 트랜지스터 M15의 W/L 비는 M5의 W/L 비와 같은 16/0.8로 하였으며, 출력단의 트랜지스터 M19와 M20의 사이즈 비는 $(W/L)_{19}/(W/L)_{20} = 100$ 이 되도록 하였다. 이때 두 트랜지스터의 게이트 폭 W가 작으면 전체 칩 면적을 효율적으로 감소시킬 수 있지만, 대신 연산증폭기의 위상여유특성이 저하되는 문제가 발생하게 된다. 따라서 칩 면적과 위상여유특성 사이에 적당한 타협이 필요하며, 본 논문에서는 $(1600/0.8)/(160/0.8)$ 로 정하였다. 만약 칩 면적이 문제가 되지 않는 경우에는 두 트랜지스터의 게이트 폭 W를 좀 더 증가시켜 위상여유특성을 다소 개선시킬 수 있으며, 위상여유특성 보다는 칩 면적이 더 중요한 경우에는 두 트랜지스터의 게이트 폭 W를 작게 함으로써 칩 면적을 축소할 수 있다. 또한 단위이득주파수와 위상여유 사이의 관계는 보상 커패시터에 의해 영향을 받으므로 본 논문에서 구현하고자 하는 100 MHz의 단위이득주파수를 위해 보상 커패시터 Cc1과 Cc2의 값은 3 pF으로 정하였다.

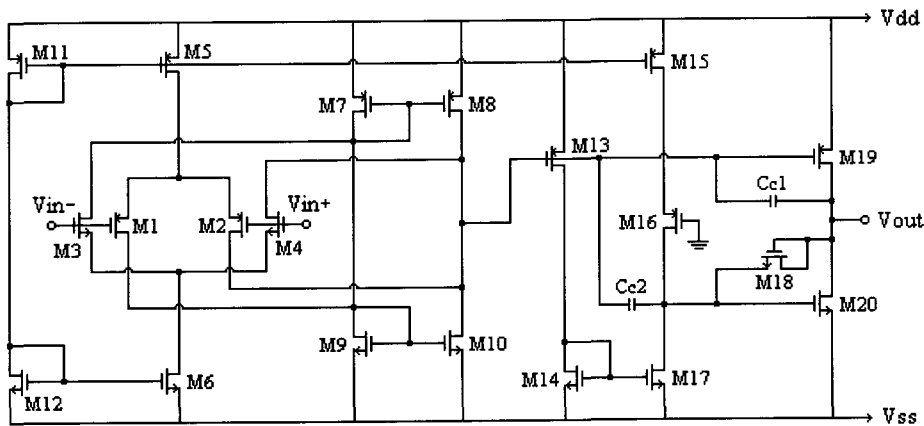


그림 4. 설계된 전체 연산증폭기 회로.

Fig. 4. Overall schematic of the designed op-amp.

3. 모의실험 및 결과

설계된 rail-to-rail CMOS 상보형 연산증폭기 회로는 표준 0.8 μm CMOS 공정을 적용하여 구현하였으며, SPICE로 모의실험하였다. 모의실험에 사용된 소자 값은 표 1에, 그리고 구현된 연산증폭기의 성능은 표 2에 각각 나타내었으며, 모든 결과는 1.5V 공급전압으로 구해졌다.

표 1. 소자 값 (W/L, μm).

Table 1. Component values (W/L, μm).

Component	Value	Component	Value
M1	520/1.6	M12	16/0.8
M2	520/1.6	M13	16/0.8
M3	520/1.6	M14	160/0.8
M4	520/1.6	M15	16/0.8
M5	16/0.8	M16	24/0.8
M6	16/0.8	M17	24/0.8
M7	16/1.6	M18	1.6/0.8
M8	16/1.6	M19	1600/0.8
M9	16/1.6	M20	160/0.8
M10	16/1.6	Cc1	3 pF
M11	16/0.8	Cc2	3 pF

설계된 그림 4의 연산증폭기 회로의 주파수응답 특성은 다음 그림 5에 나타내었다. 설계된 연산증폭기가 상보형으로 동작함을 보이기 위하여 $C_L=10\text{ pF} \parallel R_L=1\text{ M}\Omega$ 의 병렬부하에 대해 a) V_{in+} 가 ac +1V 일 때, b) V_{in+} 가 ac -1V 일 때, c) V_{in-} 가 ac +1V 일 때, d) V_{in-} 가 ac -1V 일 때의 주파수응답 특성을 각각 구하였다. 이 그림 5의 결과는 설계된 연산증폭기가 1.5V의 공급전압에 대해서 정확히 180° 의 위상차를 보이며 상보형으로 완벽하게 동작함을 보여주었으며, 70.4 dB의 dc 개방루프이득과 102 MHz의 단위이득주파수 특성을 보였다. 또한 병렬부하의 저항성 부하 R_L 을 1 M Ω 에서 1 k Ω 으로 변화시킬 때 오직 2.2 dB 만큼의 이득감소를 보였으며, 따라서 본 논문의 연산증폭기가 저항성 부하에 대해 상당히 안정되어 있음을 알 수 있다. 한편 그림 5의 주파수응답특성에 보상 커패시터 Cc2가 있을 때와 없을 때의 위상여유특성을 각각 나타내었는데, 3 pF 보상 커패시터 Cc2를 삽입함으로써 위상여유가 약 6° 개선됨을 알 수 있다.

$C_L=10\text{ pF}$ 인 부하에 대한 100 mV 소신호 스텝응답 특성은 다음 그림 6에 나타내었다. 설계된 연산증폭기는 -50 mV에서 +50 mV까지의 100 mV 스텝에

표 2. 설계된 연산증폭기의 성능.

Table 2. Performance of designed Op-Amp.

Supply voltage	1.5 V
DC open loop gain	70.4 dB for 1 M Ω \parallel 10 pF 68.2 dB for 1 k Ω \parallel 10 pF
Unity gain frequency	102 MHz for 1 M Ω \parallel 10 pF 105 MHz for 1 k Ω \parallel 10 pF
Phase Margin	57° for 1 M Ω \parallel 10 pF 56° for 1 k Ω \parallel 10 pF
Slew rate (for 1V step, 1k Ω 10pF)	36.2 V/ μs for positive 38.3 V/ μs for negative
0.1 % settling time (for 100 mV step, 10pF)	29.4 ns for positive 24.0 ns for negative
CMRR	59.8 dB at 1 kHz 59.6 dB at 1 MHz
PSRR(Vdd)	68 dB at 1 kHz
PSRR(Vss)	55 dB at 1 kHz
Offset voltage	187.2 μV
Input-referred noise	2.8 nV/ $\sqrt{\text{Hz}}$
Total power dissipation	69.9 mW

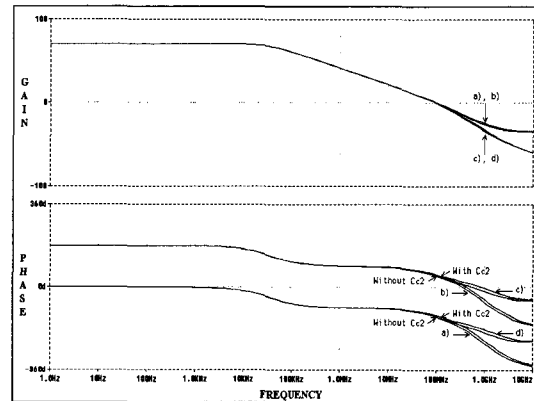


그림 5. 주파수응답특성 ($C_L=10\text{ pF} \parallel R_L=1\text{ M}\Omega$).

- a) $V_{in+} = \text{ac } +1\text{V}$, b) $V_{in+} = \text{ac } -1\text{V}$,
- c) $V_{in-} = \text{ac } +1\text{V}$, d) $V_{in-} = \text{ac } -1\text{V}$.

Fig. 5. Frequency response characteristics ($C_L=10\text{ pF} \parallel R_L=1\text{ M}\Omega$).

- a) $V_{in+} = \text{ac } +1\text{V}$, b) $V_{in+} = \text{ac } -1\text{V}$,
- c) $V_{in-} = \text{ac } +1\text{V}$, d) $V_{in-} = \text{ac } -1\text{V}$.

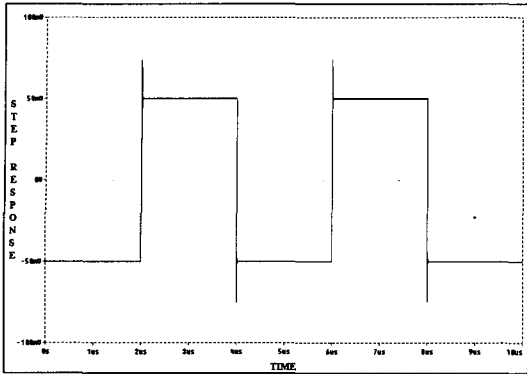


그림 6. 소신호시스템응답특성 (100mV step, $C_L=10pF$).
 Fig. 6. Response characteristics for small-signal steps(100mV step, $C_L=10pF$).

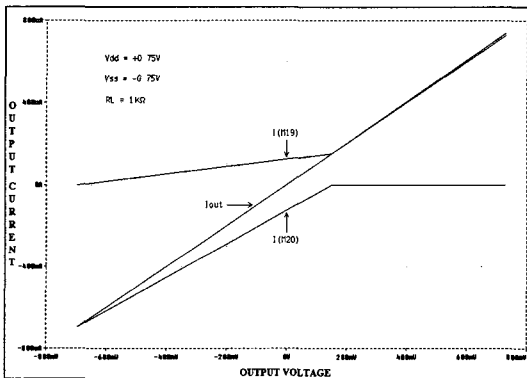


그림 7. 출력전류 대 출력전압 ($R_L=1k\Omega$).
 Fig. 7. Output current vs output voltage ($R_L=1k\Omega$).

대해 positive step에서 29.4 ns, negative step에서 24.0 ns의 0.1 % settling time을 보여 positive와 negative step 양쪽 모두 우수한 settling time 특성을 보였다.

또한, $R_L=1 k\Omega$ 인 저항성 부하에 대한 출력전류 대 출력전압 특성은 다음 그림 7에 나타내었다. 이 그림 7은 본 논문에서 제시된 연산증폭기의 class-AB 출력단이 push-pull로 제대로 동작함을 보여주고 있으며, 이때 $V_{DD}=+0.75V$ 및 $V_{SS}=-0.75V$ 의 공급전압에 대해 출력전압의 범위는 $-0.695V \sim +0.728V$ 로, 출력전류의 범위는 $-695 \mu A \sim 728 \mu A$ 로 각각 나타나, 출력단에서의 최대전류가 매우 크며 출력전압은 공급전압에 대해 거의 full swing함을 알 수 있다.

4. 결론

본 논문에서는 1.5V 공급전압에서도 우수한 특성을 보이는 CMOS 상보형 연산증폭기를 제시하였다. 연산증폭기의 입력단은 NMOS 차동쌍과 PMOS 차동쌍의 대칭구조로 병렬연결된 rail-to-rail 상보형 차동쌍으로 구성하여 공통모드 입력전압범위를 개선하고 입력단의 트랜스컨덕턴스가 일정하게 유지되도록 하여 주파수 보상을 최적화 하였으며, 출력단은 elementary shunt stage 기법과 접지 게이트-캐스코드 보상 기법을 포함하여 rail-to-rail class-AB 출력단을 구성함으로써, 전체 개방루프이득의 부하 종속성을 개선하고, push-pull class-AB 전류제어가 가능하도록 구현하였다. 또한 연산증폭기의 출력단에서 shunt stage의 입력단으로 캐환 커패시터를 추가함으로써 위상여유특성을 개선할 수 있었다.

표준 0.8 μm CMOS 공정을 적용하여 설계된 연산증폭기는 1.5V 공급전압에서 70.4 dB의 개방루프이득과 102 MHz의 단위이득주파수 특성을 보였으며, 180°의 위상차를 갖는 완벽한 상보형 동작과 push-pull class-AB 특성을 보였다.

따라서 본 논문에서 제시된 연산증폭기는 저전압, 고이득, 고주파 특성이 요구되는 각종 아날로그 및 혼성모드 CMOS IC 또는 아날로그 VLSI 고주파 신호처리 시스템 등 다양한 시스템의 핵심 블록으로 사용될 수 있을 것이다.

감사의 글

이 논문은 2001년도 순천향대학교 교수 연구년제에 의하여 연구하였음.

참고 문헌

- [1] S. W. Lee and J. R. Yoon, "Design and fabrication of multilayer chip filter for next generation mobile communication phone," J. of KIEEME(in Korean), Vol. 13, No. 7, p. 583, 2000.
- [2] H. J. Song, J. M. Kim, and K. D. Kwack, "A Study on the TCAD simulation to predict the latchup immunity of high energy ion implanted CMOS twin well structures," J. of KIEEME(in Korean), Vol. 13, No. 2 p.

- 106, 2000.
- [3] S. H. Son and T. Jin, "A study on Sol-like-bulk CMOS structure operating in low voltage with stability," J. of KIEEME(in Korean), Vol. 11, No. 6, 1998.
- [4] F. Thus, "A compact bipolar class-AB output stage using 1-V power supply," IEEE J. Solid-State Circuits, Vol. 27. p. 1718, 1992.
- [5] R. Eschauzier, R. Hogervorst, and J. Huijsing, "A programmable 1.5V CMOS class-AB operational amplifier with hybrid nested miller compensation for 120 dB gain and 6 MHz UGF," IEEE J. Solid-State Circuits, Vol. 29, p. 1497, 1994 .
- [6] R. V. Dongen and V. Rikkink, "A 1.5V class AB CMOS buffer amplifier for driving low-resistance loads," IEEE J. Solid-State Circuits, Vol. 30, No. 12, p. 1333, 1995.
- [7] G. Palmisano and G. Palumbo, "A very efficient CMOS low voltage output stage," Electron. Lett., Vol. 31, No. 21, p. 1830, 1995.
- [8] K. De Langen and J. Huijsing, "Compact low-voltage power-efficient operational amplifier cells for VLSI," IEEE J. Solid-State Circuits, Vol. 33, p. 1482, 1998.
- [9] G. Palmisano, G. Palumbo, and R. Salerno, "1.5V High-drive capability CMOS opamp," IEEE J. Solid-State Circuits, Vol. 34, p. 248, 1999.
- [10] 장일권, 광계달, 박장우, "전영역에서 선형 전류 관계를 갖는 일정 트랜스컨덕턴스 연산증폭기의 설계," 대한전자공학회논문지, 37권, sc편, 2호, p. 29, 2000.
- [11] 이동욱, 권오경, "대면적 LCD 패널 구동을 위한 새로운 Op-Amp의 설계," 대한전자공학회 하계종합학술대회 논문집II, 23권, 1호, p. 133, 2000.
- [12] R. E. Vallee and Ezz I. El-Masry, "A very high-frequency CMOS complementary folded cascode amplifier," IEEE J. of Solid-State Circuits, Vol. 29, No. 2, p. 130, 1994.
- [13] J. H. Botma, R. F. Wassenaar, and R. J. Wiegerink, "A low-voltage CMOS op amp with a rail-to-rail constant-gm input stage and a class AB rail-to-rail output stage," in Proc. ISCAS, p. 1314, 1993.
- [14] M. Wang, T. L. Mayhugh, Jr., S. H. K. Embabi, and E. Sanchez-Sinencio, "Constant-gm rail-to-rail CMOS op-amp input stage with overlapped transition regions," IEEE J. of Solid-State Circuits, Vol. 34, No. 2, p. 148, 1999.
- [15] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," HRW the Dryden Press, N. Y., 1987.