

論文2002-39TC-1-6

# RF 패키지 인덕턴스가 실리콘 기판 커플링에 미치는 영향 모델링 및 해석

(Silicon Substrate Coupling Modeling and Analysis including RF Package Inductance)

秦佑鎮\*, 魚瀛善\*, 沈鍾寅\*

(Woojin Jin, Yungseon Eo, and Jongin Shim)

## 요 약

이 논문에서는 패키지 인덕턴스를 고려한 다중 단자에서의 전도성 실리콘 기판에서의 커플링을 모델링하고 정량적으로 특성화한다. 이것을 위해 2단자 커플링 모델로부터 추출할 수 있는 모델 파라미터를 일반적인 구조에 적용할 수 있도록 개선하였다. 그리고 다중 단자의 노이즈 소스에 의한 기판 커플링 특성을 위해 기판의 주파수 의존적인 특성을 정확히 반영하는 2단자 기판 커플링 모델을 선형적으로 결합함으로써 일반적인 구조에 적용될 수 있도록 확장하였다. 또한 패키지 인덕턴스는 시스템의 특성 주파수를 높은 주파수 영역으로 이동시킴으로써 결과적으로 기판 커플링을 증가시키므로 정확한 분석이 요구된다. 따라서 기판 커플링 모델에 패키지 인덕턴스 성분을 추가하고 이를 정량적으로 분석함으로써 설계 초기 단계에서 패키지의 영향과 기판 커플링의 영향을 동시에 고려한 회로 성능 분석이 가능하도록 하였다. 그러므로 이 논문에서 제안한 방법은 복잡한 혼성 신호 회로의 성능 분석에 매우 유용하게 이용될 수 있다.

## Abstract

Including RF package inductance, substrate coupling through conductive silicon(Si)-substrate is modeled and quantitatively characterized. 2-port substrate coupling model is extended for the characterization of multi-port substrate coupling between digital circuit block and analog/RF circuit block. Furthermore, scalable parameter extraction model is developed. Multi-port substrate coupling can be investigated by linearly superposing a frequency-dependent 2-port substrate coupling model using scalable parameters. In addition, Substrate coupling including RF package inductance effect is quantitatively investigated. It is shown that package effect increases substrate coupling and shifts a characteristic frequencies(i.e., poles) to the higher frequency range. The proposed methodology can be efficiently used to the mixed-signal circuit performance verification.

## I. 서 론

최근 유무선 통신의 발전에 따라 고성능의 통신 시스템이 요구되어지고 있다. 따라서 시스템에 사용되는 RF 회로와 아날로그/디지털 회로는 동작 주파수와 회로 동작 속도가 매우 빠르게 증가하고 있으며, 성능의 확보를 위해 동일한 칩으로의 집적화가 이루어지고 있다. 또한 이러한 고성능 고속 회로는 최근의 실리콘 기

\* 正會員, 漢陽大學校 電子컴퓨터工學部

(Dept. of Electrical and Computer Engineering, Hanyang University, Ansan)

※ 본 논문은 2001년 한양대학교 교내연구비 지원에 의하여 연구되었으며 연구에 필요한 CAD 툴은 IDEC의 지원을 받았음.

接受日字:2001年10月15日, 수정완료일:2001年12月12日

판 CMOS 기술의 발전으로 인해 실리콘 기반 집적회로를 사용하여 회로의 성능을 확보하고 제작 비용의 감소를 추구하고 있다<sup>[1-5]</sup>.

그러나 이러한 단일칩(System-on-a-Chip) 또는 혼성회로 집적회로에서는 전도성 실리콘 기판을 통한 회로 블록 사이의 커플링으로 인해 노이즈에 민감한 아날로그/RF 회로의 성능은 큰 영향을 받는다. 이러한 영향은 회로의 동작 주파수가 증가함에 따라 그리고 회로의 집적도가 증가함에 따라 더욱 심각해지며 패키지의 기생 인덕턴스 효과로 인해 그 영향은 더욱 증가한다<sup>[4, 9, 10]</sup>. 따라서 노이즈 유발 회로 블록과 노이즈에 민감한 회로 사이의 격리가 회로 설계상의 주요한 초점이 되고 있다<sup>[11-14]</sup>. 따라서 최근까지 실리콘 기판으로 인한 커플링 노이즈를 특성화 하기 위한 많은 연구가 진행되었다<sup>[9-18]</sup>. [15]에서는 소자 시뮬레이터를 사용하여 기판 커플링을 특성화 하였다. 그러나 이 경우 실리콘 기판에 대한 정확한 공정 변수를 알 수 없으므로 이것은 정확도에서 문제가 있을 수 있다. 또한 기판을 저항으로만 모델링 하였으므로 기판의 커패시턴스 특성을 반영하지 못하는 한계가 있다. 따라서 기판 저항을 RC 회로를 사용하여 모델링하고 분석하였다<sup>[16-17]</sup>. 그러나 이러한 RC회로 역시 저주파 영역에서의 기판 커플링의 분석에 초점을 맞추었으므로 최근의 고주파 특성을 반영하지 못할 뿐만 아니라 모델 파라미터 또한 정확한 값을 알 수 없는 기판 저항물을 기반으로 추출하였으므로 정확도에 문제가 있을 수 있다. 따라서 실리콘 기판을 RC 회로로 모델링하여 기판의 고주파 특성을 정확히 반영할 수 있을 뿐만 아니라 모델 파라미터 역시 측정값을 사용하여 구할 수 있는 연구 결과가 발표 되었다<sup>[18]</sup>. [18]에서는 실리콘 기판의 주파수 의존적인 특성을 정확히 반영할 수 있는 등가회로 모델을 제안하였으며, 기판 커플링의 특성을 물리적, 수식적으로 명확히 해석하였다. 또한 측정값을 사용한 기판 회로 모델 파라미터의 추출 방법을 제시함으로써 시뮬레이션 과정에서 기판 커플링의 영향을 정확히 예측할 수 있도록 하였다. 그러나 [18]은 다중 노이즈 소스를 갖는 실제적인 시스템에서의 기판 커플링 효과를 효과적으로 분석할 수 없으므로 확장될 필요가 있으며, 기판 커플링에 악영향을 미치는 패키지의 인덕턴스 효과를 고려하도록 개선될 필요가 있다. 기판 커플링에 대한 인덕턴스의 효과를 고려한 논문이 발표되었지만<sup>[9-10]</sup>

이 또한 정성적인 분석이라는 한계를 가지므로 설계 초기 단계에서 회로 설계자에게 커플링의 크기를 정량적으로 제공할 수 있도록 해석적인 수식으로 모델링될 필요가 있다. 따라서 이 논문에서는 실리콘 기판의 주파수 의존 특성을 정확히 반영하는 2단자 RC 회로를 다중 노이즈 소스를 갖는 복잡한 혼성 회로 시스템에 적용할 수 있도록 확장하였으며, 기판 커플링의 크기를 증가시키는 패키지 기생 인덕턴스를 정량적으로 고려할 수 있는 기판 커플링 모델을 개발함으로써 설계 초기 단계에서 패키지 효과를 감안한 회로 성능 분석이 가능하도록 하였다.

이 논문은 다음과 같이 구성된다. 먼저 2단자 회로 모델에 대한 커플링 모델을 언급하고, 측정값을 사용하여 추출할 수 있는 모델 파라미터를 일반적인 구조에 적용할 수 있도록 모델한다. 다음으로 다중 노이즈 소스에 대한 기판 커플링을 해석적으로 분석하며, 이어서 패키지 기생 인덕턴스로 인한 기판 커플링 영향을 해석적으로 분석한 후 마지막으로 결론을 맺는다.

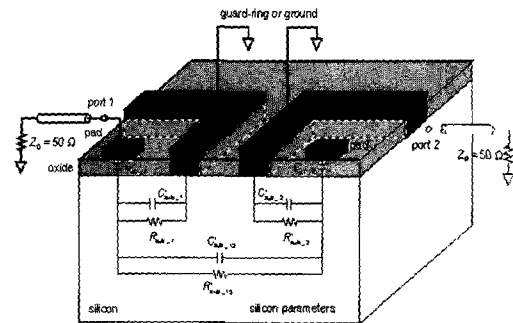


그림 1. 가드링을 갖는 실리콘 기판의 등가회로 모델  
Fig. 1. The equivalent circuit model of a complicated Si-substrate with guard-rings.

## II. 2단자 실리콘 기판 커플링

디지털 회로 블록에서 발생되는 노이즈는 전도성을 가진 실리콘 기판을 통해 동일한 기판에 위치하는 노이즈에 민감한 아날로그 또는 RF 회로의 성능에 영향을 미친다. 한 개의 노이즈 생성 회로 블록과 노이즈에 민감한 회로 블록 사이의 2단자 기판 커플링을 해석하기 위한 등가회로 모델은 그림 1과 같이 나타낼 수 있으며, 그림 1의 등가회로에 대한 커플링 노이즈  $S_{21}$ 은 다음과 같이 나타낼 수 있다<sup>[18]</sup>.

$$S_{21}^i \approx \frac{-2 \cdot Z_0 \cdot s^2 \cdot C_{sub\_12}^i \cdot G_1 \cdot G_2 \cdot \left( s + \frac{1}{R_{sub\_12}^i \cdot C_{sub\_12}^i} \right)}{\left\{ s + G_1 \cdot \frac{1}{C_{ox\_1}^i} \cdot \left( \frac{1}{R_{sub\_12}^i} + \frac{1}{R_{sub\_1}^i} \right) \right\} \left\{ s + G_2 \cdot \frac{1}{C_{ox\_2}^i} \cdot \left( \frac{1}{R_{sub\_12}^i} + \frac{1}{R_{sub\_2}^i} \right) \right\}}$$

(1)

여기서  $i$ 는 회로의 구조를 나타내고(가드링이 없는 경우  $i=0$ , 가드링이 한 개인 경우  $i=1$ , 가드링이 두 개인 경우  $i=2$ ),  $s$ 는 Laplace 변수,  $C_{ox\_j}^i$ 는  $j$ 단자에서의 절연체의 커패시턴스를 나타낸다. 그리고  $R_{sub\_j}^i$ 와  $C_{sub\_j}^i$ 는  $j$ 단자와 그라운드 사이의 기판 저항과 커패시턴스 그리고  $R_{sub\_12}^i$ 와  $C_{sub\_12}^i$ 는 각각 단자 1과 단자 2 사이의 기판 저항과 커패시턴스를 나타낸다. 또한  $G_j$ 는 용량성 가드링 효과(capacitive guard-ring effect)를 나타내며 다음과 같이 정의된다. 즉,

$$G_j \equiv C_{ox\_j}^i / (C_{ox\_j}^i + C_{sub\_j}^i) \quad \text{for } j=1,2 \quad (2)$$

여기서  $j$ 단자에 가드링이 없다면  $C_{sub\_j}^i$ 가 0이 되므로 결과적으로  $G_j$ 은 1이 된다. 또한 식 (1)은 다음과 같이 다시 나타낼 수 있다.

$$S_{21}^i = \frac{As^2(s+Z_3^i)}{(s+P_1^i)(s+P_2^i)} \quad (3)$$

여기서

$$A \equiv -2 \cdot Z_0 \cdot C_{sub\_12}^i \cdot G_1 \cdot G_2 \quad (4)$$

$$P_1^i = \frac{1}{2\pi \cdot C_{ox\_1}^i} \cdot G_1 \cdot \left( \frac{1}{R_{sub\_12}^i} + \frac{1}{R_{sub\_1}^i} \right) \quad (5)$$

$$P_2^i = \frac{1}{2\pi \cdot C_{ox\_2}^i} \cdot G_2 \cdot \left( \frac{1}{R_{sub\_12}^i} + \frac{1}{R_{sub\_2}^i} \right) \quad (6)$$

$$Z_1^i = Z_2^i = 0 \quad (7)$$

$$Z_3^i = \frac{1}{2\pi \cdot R_{sub\_12}^i \cdot C_{sub\_12}^i} \quad (8)$$

식 (5)~(8)은 각각 등가회로의 폴과 제로 주파수를 나타내며  $P_1^i$ ,  $P_2^i$ , 그리고  $Z_3^i$ 는 시스템의 특성 주파수로

서 기판을 통한 커플링 노이즈는 이것을 이용하여 정확하게 해석될 수 있다. 즉, 식 (1)을 시스템의 특성 주파수(폴과 제로 주파수)에 따라 분리하면 주파수에 의존하는 기판 커플링의 특성 및 회로 블록 사이의 거리와 가드링 효과에 따른 기판 커플링의 특성을 해석적으로 고찰할 수 있다. 식 (1)을 특성 주파수를 고려하여 각 부분에서의 기판 커플링으로 다시 나타내면 다음과 같다. 즉,

$$|S_{21}^i| \approx \left| \frac{2 \cdot Z_0 \cdot C_{ox\_1}^i \cdot C_{ox\_2}^i \cdot R_{sub\_12}^i \cdot R_{sub\_1}^i \cdot R_{sub\_2}^i}{(R_{sub\_12}^i + R_{sub\_1}^i)(R_{sub\_12}^i + R_{sub\_2}^i)} s^2 \right| \quad \text{for } 0 < f < P_1^i \quad (9)$$

$$|S_{21}^i| \approx \left| \frac{2 \cdot Z_0 \cdot G_1 \cdot G_2}{R_{sub\_12}^i} \right| \quad \text{for } P_2^i < f < Z_3^i \quad (10)$$

$$|S_{21}^i| \approx \left| 2 \cdot Z_0 \cdot C_{sub\_12}^i \cdot G_1 \cdot G_2 \cdot s \right| \quad \text{for } Z_3^i < f \quad (11)$$

따라서 각각의 주파수 영역에서의 특징적인 특성을 식 (9)~(11)을 통해 분석할 수 있으며 측정된 s-parameter를 사용하여 기판 모델 파라미터를 추출할 수 있다<sup>[18]</sup>. 그러나 다양한 설계 구조를 가지는 회로 사이의 커플링에 적용하기 위해서 모델 파라미터는 일반적인 수식으로 모델링 되어야 한다. 기판 파라미터(scalable parameter)는 물리적인 변수로 구성된 함수와 비례계수를 도입하여 실험적으로 결정할 수 있다. 즉, 기판 커패시턴스( $C_{sub\_ij}^i$ )의 경우 회로의 폭에 비례하며 회로사이의 거리( $d$ )가 변함에 따라 다음과 같은 수렴값을 갖는다.

$$\lim_{d \rightarrow 0} C_{sub\_ij}^i(d) = \infty \quad \text{그리고} \quad \lim_{d \rightarrow \infty} C_{sub\_ij}^i(d) = 0 \quad (12)$$

따라서  $C_{sub\_ij}^i$ 는 다음과 같이 지수함수를 사용하여 모델링할 수 있다.

$$C_{sub\_ij}^i(d) = \alpha^i \cdot \left( \frac{W}{d} \right) \cdot \exp(-\beta^i \cdot d) \quad (13)$$

여기서  $W$ 는 회로 블록의 폭을 나타내며,  $\alpha^i$ 와  $\beta^i$ 는 비례상수로서 간단한 테스트 패턴에서의 커플링 커패시턴스로부터 쉽게 구할 수 있다.  $C_{sub\_ij}^i$ 와 달리 기판 커플링 저항  $R_{sub\_ij}^i$ 는 회로 사이의 거리에 비례하며(즉,  $\lim_{d \rightarrow \infty} R_{sub\_ij}^i(d) = \infty$ ) 반면에 회로의 폭에는 영향을 받지

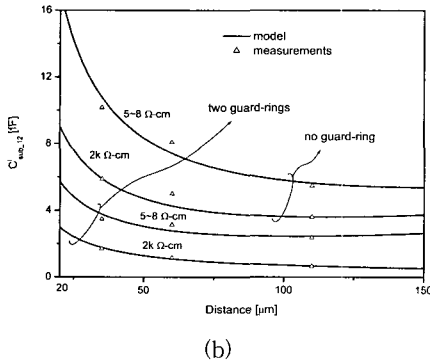
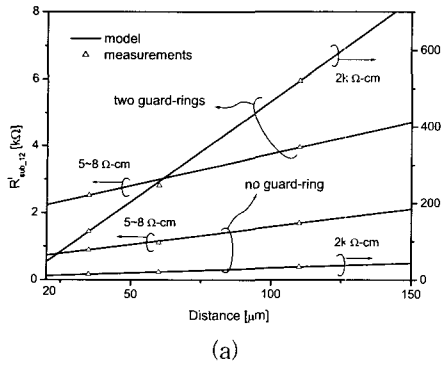


그림 2. 유동적인 회로 모델 파라미터 (a) 거리에 따른 유동 저항  $R^i_{sub,12}$  (b) 거리에 따른 유동 커패시턴스  $R^i_{sub,12}$

Fig. 2. Scalable circuit model parameters. (a) Scalable resistances, versus separation distances  $R^i_{sub,12}$ . (b) Scalable capacitances, versus separation distances  $R^i_{sub,12}$ .

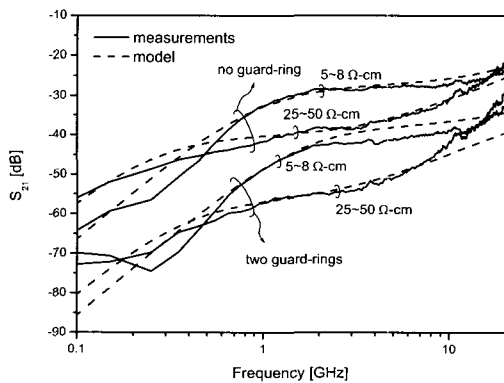


그림 3. 등가회로 모델을 기반으로 한 HSPICE 시뮬레이션 결과와 측정값과의 비교

Fig. 3. Comparisons of the results of the model-based HSPICE simulation with the experimental s-parameters.

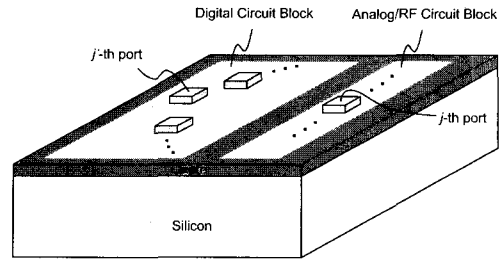


그림 4. 일반적인 다중 노이즈 소스 구조  
Fig. 4. General structure with multi-port noise sources.

않는다<sup>[19]</sup>. 따라서 기판 커플링 저항  $R^i_{sub,ij}$  역시 지수함수를 사용하여 다음과 같이 모델링할 수 있다.

$$R^i_{sub,ij}(d) = \gamma^i \cdot \exp(\delta^i \cdot d) \tag{14}$$

여기서  $\gamma^i$ 와  $\delta^i$ 는 역시 비례상수로서 간단한 구조의 커플링 저항으로부터 쉽게 정할 수 있다. 그림 2에서 보듯이 식 (13)과 (14)에 의해 구한 파라미터와 측정에 의해 구해진 파라미터가 잘 일치한다는 것을 알 수 있다. 추출된 모델 파라미터를 사용하여 등가회로를 HSPICE에서 시뮬레이션 한 결과와 측정결과를 그림 3에서 비교하였다. 그림 3에서 보듯이 2단자 사이의 기판 커플링은 저주파영역과 고주파 영역에서는 제작 시 발생하는 공정상의 차이를 모델이 정확히 반영하지 못하지만 200MHz~10GHz 영역에서 측정값과 잘 일치함을 알 수 있다. 실리콘 기판 커플링은 동작 주파수, 기판 저항, 거리, 그리고 가드링 효과의 복잡한 함수임을 알 수 있으며 가드링에 의해 모든 주파수 영역에서 커플링이 감소한다는 것을 그림 3을 통해 잘 알 수 있다. 또한 중간주파수 영역, 즉  $(P^i_2 < f < Z^i_3)$ 에서 커플링을 감소시키기 위해서는 고저항 기판이 효과적임을 알 수 있다. 그러나 매우 높은 주파수 영역의 경우 이 현상은 적용되지 않는다. 즉, 매우 높은 주파수 영역에서는 고저항 기판과 저저항 기판에서의 커플링의 크기는 현저한 차이를 드러내지 않는다.

그러나 실제의 시스템에서는 많은 수의 디지털 회로와 아날로그 회로가 한 개의 칩 위에 구성되므로 여러 개의 디지털 회로에 의한 기판 커플링의 영향을 분석하기 위해서는 다중 단자(multi-port) 디지털 회로에 의한 커플링 효과를 반영할 수 있도록 확장되어야 한다. 이것은 다음 장에서 자세히 다루도록 한다.

### Ⅲ. 다중 단자 실리콘 기판 커플링

그림 4와 같은 다중 노이즈 소스(noise source)를 갖는 구조에서의 기판 커플링은 2단자 구조와 유사하게 등가회로의 y-parameter를 이용함으로써 구할 수 있다. 즉, 다중 노이즈 소스를 갖는 경우 이에 따른 커플링은 병렬로 연결된 구조이므로 커플링 어드미턴스의 합을 구한 후 2단자 커플링의 경우와 유사하게 s-parameter로 변화하여 기판 커플링을 구할 수 있다. j단자의 민감한 회로에서 n개의 다중 노이즈 소스에 의한 어드미턴스의 합은 다음과 같이 나타낼 수 있다. 즉,

$$y_{j\_tot}^i \triangleq \sum_{j=1}^n y_{ji}^j = y_{j1}^i + y_{j2}^i \quad (15)$$

여기서 j는 j번째의 노이즈 소스를 나타내며 아래 첨자 'j\_tot'는 j단자로의 어드미턴스의 총합을 나타낸다. 따라서 다중 노이즈 소스에 대한 j단자에서의 기판 커플링  $S_{j\_tot}^i$ 은 2단자 기판 커플링에서처럼 다음 식을 통하여 구할 수 있다.

$$S_{j\_tot}^i \approx -2Z_0 y_{j\_tot}^i \quad (16)$$

식 (15)를 식 (16)에 대입하면

$$S_{j\_tot}^i \approx -2Z_0 (y_{j1}^i + y_{j2}^i + L + y_{jn}^i) \quad (17)$$

이 된다. 식 (17)을 각각의 노이즈 소스에서 단자 사이의 기판 커플링으로 표현하면 다음과 같다. 즉,

$$S_{j\_tot}^i = \sum_{j=1}^n S_{ji}^i = S_{j1}^i + S_{j2}^i + L + S_{jn}^i \quad (18)$$

따라서 식 (18)에서 보듯이 n개의 다중 노이즈 소스를

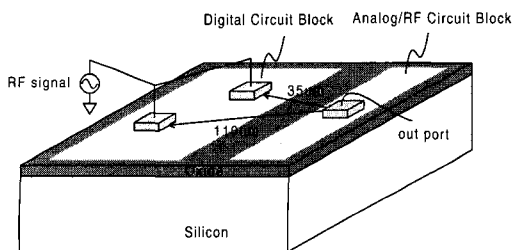


그림 5. 두 개의 노이즈 소스를 갖는 구조  
Fig. 5. The structure with two noise sources.

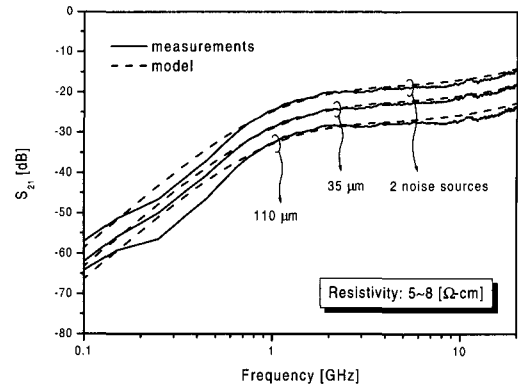


그림 6. 다중 노이즈 소스에 따른 기판 커플링  
Fig. 6. Substrate coupling effects due to multi-port noise sources.

갖는 구조에서 j단자에서의 기판 커플링은 각각의 노이즈 소스와 j단자 사이의 2단자 기판 커플링을 모두 선형적으로 합한 결과임을 알 수 있다. 따라서 2단자 기판 커플링인 식 (1)을 사용하여 다중 노이즈 소스로 인한 기판 커플링을 쉽게 구할 수 있다. 그림 5와 같이 노이즈 소스가 2개인 경우에 대한 기판 커플링의 결과를 그림 6에서 나타내었다. 그림 6에서 보듯이 다중 노이즈 소스로 인한 커플링이 2단자 기판 커플링보다 더 크게 나타난다는 것을 알 수 있다.

### Ⅳ. 패키지 인덕턴스로 인한 기판 커플링 해석

실제 회로에서 그라운드 라인과 파워라인은 본딩 와이어(bonding wire)와 패키지 리드를 통해 시스템의 그라운드로 연결된다. 본딩 와이어의 인덕턴스는 1 nH/mm 정도이며 패키지 리드의 인덕턴스는 1~7 nH로서 패키지의 종류에 따라 다른 값을 갖는다<sup>[19]</sup>. 인덕턴스와 결합한 기판 커플링은 인덕턴스를 고려하지 않은 경우보다 심각한 영향을 미치므로 정확한 시스템의 성능 분석을 위해서는 기생 인덕턴스 영향을 고려하여야 한다. 인덕턴스의 영향으로 인해 기판 커플링의 크기가 증가할 뿐만 아니라 특성 주파수 또한 인덕턴스의 영향으로 인해 보다 높은 주파수 영역으로 이동되므로 결과적으로 커플링의 크기는 증가한다. 인덕턴스를 고려한 기판 커플링은 그림 7과 같은 등가회로를 통해 해석할 수 있다. 기생 패키지 인덕턴스는 j번째 단자와 연결되므로 그림 7(b)와 같이 실효 어드미턴스(effec-

tive admittance)로 모델링할 수 있다. 즉, 만약 그림 1에서처럼  $J$ 번째 단자의 어드미턴스에 인덕턴스가 포함되지 않는다면  $J$ 번째 단자의 기판의 어드미턴스는 다음과 같이 나타낼 수 있다.

$$Y_{sub-j}^i = \frac{1}{R_{sub-j}^i} + j\omega C_{sub-j}^i \quad (19)$$

그러나 그림 7과 같이 기생 패키지 인덕턴스가 고려된다면  $J$ 번째 단자와 시스템 그라운드 사이의 실효 기판 어드미턴스는 다음과 같이 표시된다.

$$\begin{aligned} Y_{eff-sub-j}^i &= \frac{R_{sub-j}^i}{(R_{sub-j}^i)^2 (1 - \omega^2 L_{pkg-j}^i C_{sub-j}^i)^2 + \omega^2 (L_{pkg-j}^i)^2} \\ &\quad + j\omega \frac{(R_{sub-j}^i)^2 C_{sub-j}^i (1 - \omega^2 L_{pkg-j}^i C_{sub-j}^i) - L_{pkg-j}^i}{(R_{sub-j}^i)^2 (1 - \omega^2 L_{pkg-j}^i C_{sub-j}^i)^2 + \omega^2 (L_{pkg-j}^i)^2} \\ &\equiv \frac{1}{R_{eff-sub-j}^i} + j\omega C_{eff-sub-j}^i \end{aligned} \quad (20)$$

따라서  $j$ 번째 단자의 실효 기판 저항  $R_{eff-sub-j}^i$  과 커패시턴스  $C_{eff-sub-j}^i$  는 다음과 같이 정의된다.

$$R_{eff-sub-j}^i \equiv \frac{(R_{sub-j}^i)^2 (1 - \omega^2 L_{pkg-j}^i C_{sub-j}^i)^2 + \omega^2 (L_{pkg-j}^i)^2}{R_{sub-j}^i} \quad (21)$$

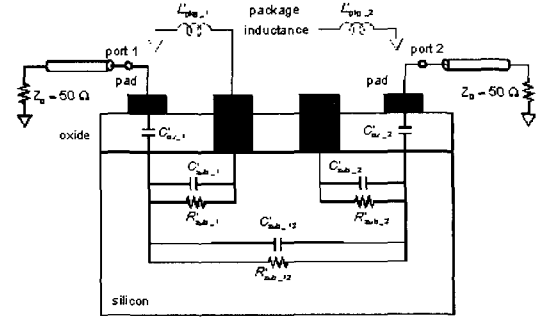
$$C_{eff-sub-j}^i \equiv \frac{(R_{sub-j}^i)^2 C_{sub-j}^i (1 - \omega^2 L_{pkg-j}^i C_{sub-j}^i) - L_{pkg-j}^i}{(R_{sub-j}^i)^2 (1 - \omega^2 L_{pkg-j}^i C_{sub-j}^i)^2 + \omega^2 (L_{pkg-j}^i)^2} \quad (22)$$

여기서  $\omega = 2\pi f$  이다. 저주파( $\omega = 0$ )와 고주파( $\omega = \infty$ )에서 식 (21)과 (22)는 다음과 같은 수렴값을 갖는다. 즉,

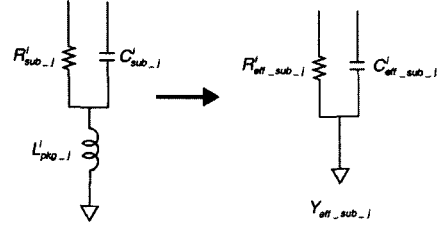
$$\begin{cases} \lim_{\omega \rightarrow 0} R_{eff-sub-j}^i = R_{sub-j}^i \\ \lim_{\omega \rightarrow 0} C_{eff-sub-j}^i = C_{sub-j}^i - \frac{L_{pkg-j}^i}{(R_{sub-j}^i)^2} \end{cases} \quad (23)$$

$$\begin{cases} \lim_{\omega \rightarrow \infty} R_{eff-sub-j}^i = \infty \\ \lim_{\omega \rightarrow \infty} C_{eff-sub-j}^i = 0 \end{cases} \quad (24)$$

기생 인덕턴스 효과를 포함하는 실효  $R_{sub-j}^i$  와 실효  $C_{sub-j}^i$  는  $R_{eff-sub-j}^i$  와  $C_{eff-sub-j}^i$  로 나타내어진다. 따라서 식 (21)과 (22)를 식 (1)에 대입함으로써 인덕턴스 효과로 인한 기판 커플링의 영향을 해석적으로 구할 수 있



(a)



(b)

그림 7. 인덕턴스를 포함하는 등가회로 모델 (a) 인덕턴스를 포함하는 등가회로 모델 (b) 인덕턴스 효과로 인한 등가 어드미턴스  $Y_{eff-sub-j}^i$

Fig. 7. Equivalent circuit model including inductance effect. (a) Equivalent circuit including inductance. (b) Equivalent admittance,  $Y_{eff-sub-j}^i$  due to inductance effect.

다. 식 (1)에서 보는 것처럼 기판 커플링은  $R_{sub-j}^i$  와  $C_{sub-j}^i$  의 함수이다. 만약 인덕턴스 효과를 고려한다면 기판 커플링은 역시  $R_{eff-sub-j}^i$  와  $C_{eff-sub-j}^i$  의 함수로 나타내어진다. 식 (9)에서 보듯이 저주파 영역에서 기판 커플링은  $R_{eff-sub-j}^i$  와 관련되어진다. 인덕턴스를 고려하지 않는 경우의  $R_{sub-j}^i$  는 인덕턴스를 고려함에 따라  $R_{eff-sub-j}^i$  로 실효 저항값이 바뀌며 식 (24)에서 보듯이 주파수가 증가함에 따라  $R_{eff-sub-j}^i$  역시 증가한다는 것을 알 수 있다. 그러나 저주파 영역에서는  $R_{eff-sub-j}^i$  에 의한 기판 커플링의 영향은 무시할 수 있을 정도로 작으므로 저주파 영역에서의 인덕턴스의 영향 또한 무시할 수 있다. 즉, 저주파 영역에서 인덕턴스 효과가 기판 커플링에 미치는 영향의 정도는  $R_{sub-j}^i$  값의 변화에 따른 기판 커플링  $S_{21}$ 의 변화량으로 고찰할 수 있다. 만

약 단자 1과 단자 2의 크기가 동일하다면, 즉,  $R_{sub}^i @ R_{sub\_1}^i = R_{sub\_2}^i$  그리고  $C_{ox}^i @ C_{ox\_1}^i = C_{ox\_2}^i$  라면 식 (9)에서

$$d|S_{21}^i| = \frac{2 \cdot Z_0 \cdot (C_{ox}^i)^2 \cdot R_{sub\_12}^i \cdot s^2 \cdot (2 \cdot R_{sub}^i \cdot (R_{sub\_12}^i)^2 + 2 \cdot (R_{sub}^i)^2 \cdot R_{sub\_12}^i)}{((R_{sub\_12}^i)^2 + 2 \cdot R_{sub}^i \cdot R_{sub\_12}^i + (R_{sub}^i)^2)^2} \cdot dR_{sub}^i \quad (25)$$

이 된다. 이때  $C_{ox}^i = 3.823e-13$ ,  $R_{sub\_12}^i = 2.5266e3$ ,  $R_{sub}^i = 1.9839e2$ ,  $Z_0 = 50$ , 그리고  $\omega = 2\pi \cdot 200\text{MHz}$  라면 식 (25)는  $d|S_{21}^i| = 2.885e-6 \cdot dR_{sub}^i$  이 되어 위에서 언급한 대로 인덕턴스의 영향으로 인해  $R_{eff\_sub\_j}^i$  값이 크게 된다고 하더라도 이에 따른 기판 커플링의 변화는 무시할 수 있다. 특히  $R_{eff\_sub\_j}^i$  는 첫번째 폴 주파수  $P_1^i$  이 하에서만 기판 커플링에 영향을 준다는 사실을 주지해야 한다. 저주파 영역에서 인덕턴스의 영향을 무시할 수 있다는 것을 그림 8에서 나타내었다.

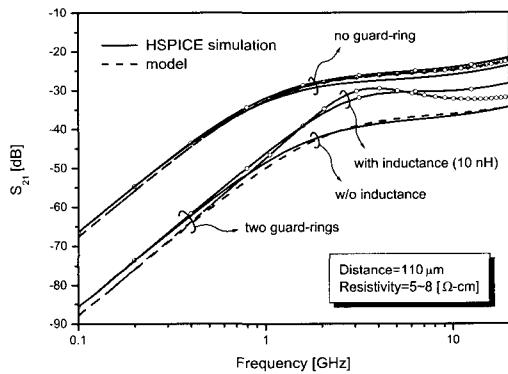


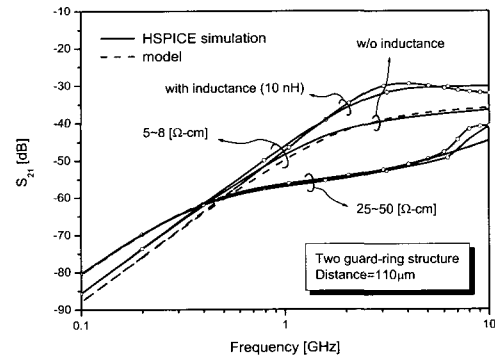
그림 8. 인덕턴스 효과로 인한 기판 커플링  
Fig. 8. Substrate coupling effect due to inductance.

반면에  $C_{sub\_j}^i$  는 식 (10)과 (11)에서 보듯이 중간주파수 이상의 영역에서 커플링에 주된 영향을 주고 따라서 인덕턴스 효과를 감안한  $C_{eff\_sub\_j}^i$  역시  $C_{sub\_j}^i$  와 동일한 현상을 보인다. 그러나 가드링이 없는 경우  $G_j$  는 1 이 되고  $R_{sub\_jj}^i$  는 인덕턴스의 함수가 아니므로 인덕턴스로 인한 기판 커플링의 변화는 없다. 그러나 가드링이 있는 구조의 경우  $C_{eff\_sub\_j}^i$  는 용량성 가드링 효과 (capacitive guard-ring effect)  $G_j$  에 영향을 주므로 인

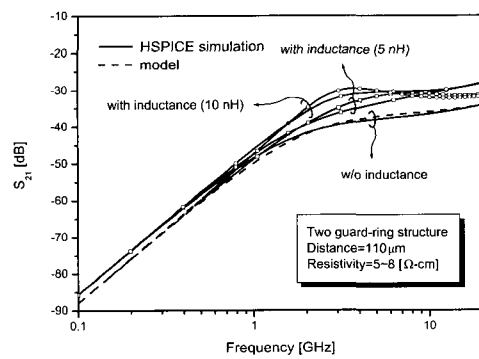
덕턴스로 인해 기판 커플링의 크기는 증가한다. 또한 가드링이 있는 구조의 경우 인덕턴스로 인해 특성주파수(특히 폴)가 보다 높은 주파수 영역으로 이동한다. 식 (5)와 (6)에서 보듯이 폴 주파수는 기판 저항과 용량성 가드링 효과  $G_j$  의 함수이다. 즉,

$$P_k^i = f(R_{sub\_j}^i, R_{sub\_jj}^i, G_j) \quad (26)$$

여기서  $G_j$ ,  $C_{sub\_j}^i$  와 관련되는 또 다른 함수이다. 즉,  $G_j = g(C_{sub\_j}^i)$  이다. 인덕턴스의 영향으로 인해  $C_{eff\_sub\_j}^i$  는  $C_{sub\_j}^i$  보다 작은 값이 되므로 폴 주파수  $P_k^i$  는 높은 주파수 영역으로 이동하며 그 결과 기판 커플



(a)



(b)

그림 9. 인덕턴스 효과를 고려한 기판 커플링. (a) 기판 저항에 따른 인덕턴스 효과. (b) 인덕턴스 값의 변화에 따른 기판 커플링 변화  
Fig. 9. Substrate coupling effects due to an inductance. (a)The inductance effect versus the substrate resistivity. (b) The inductance effect versus inductance variation.

링은 증가한다. 그림 8에서 보듯이 두 번째 폴 주파수  $f_2$ 는 인덕턴스 영향으로 인해 1.92 GHz에서 3.23 GHz로 증가한다는 것을 알 수 있다. 또한 이 때 기판 커플링은 2GHz 주파수에서 -41.78 dB에서 -36.1 dB로 증가함을 알 수 있다. 다양한 경우의 인덕턴스 효과에 의한 기판 커플링의 영향을 그림 9에서 나타내었다. 그림 9에서 보듯이 인덕턴스로 인해 가드링이 있는 구조의 경우 첫 번째 폴 주파수 이상에서 기판 커플링의 증가 현상이 나타난다는 것을 알 수 있다. 또한 저저항 기판에서의 인덕턴스의 영향은 고저항 기판에서의 영향보다 현저하다는 것을 역시 그림 9을 통해 알 수 있다. 따라서 일반적으로 전도성 실리콘 기판을 통한 커플링을 줄이기 위해서는 가드링을 가지는 고저항 기판을 사용하여 회로를 설계하고 회로 블록 사이의 거리를 증가시키는 동시에 인덕턴스의 영향이 적게 나타나도록 세심한 주의를 기울여야 한다.

## V. 결 론

이 논문에서는 고성능 혼성 회로에서의 다중 노이즈 소스에 의한 기판 커플링을 모델링하고 해석적으로 분석하였다. 실리콘 기판의 주파수 의존적인 특성을 설계 변수를 사용하여 정확하게 해석할 수 있는 2단자 커플링 모델을 사용하여 다중 노이즈 소스에 의한 기판 커플링을 정성적으로 해석하였으며 이를 위해 일반적인 구조에 대한 모델 파라미터 추출 방법을 제시하였다. 또한 기판 커플링을 증가시키는 패키지 기생 인덕턴스 영향을 등가회로 모델을 사용하여 해석적으로 분석하였다. 다중 노이즈 소스에 따른 기판 커플링 노이즈는 2단자 커플링 노이즈 모델을 선형적인 합으로 구할 수 있음을 보였으며 패키지 인덕턴스로 인한 커플링 크기의 증가와 시스템의 폴 주파수 증가에 따른 기판 커플링의 증가를 정성적으로 분석하였다. 따라서 이 논문에서 제시한 방법은 패키지의 인덕턴스를 고려하면서 혼성회로 시스템의 회로 성능 분석에 유용하게 이용될 수 있다.

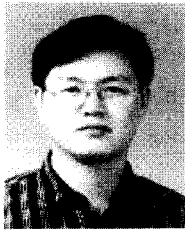
## 참 고 문 헌

- [1] L. E. Larson, "Integrated circuit technology options for RFIC's—present status and future directions," IEEE J. Solid-State Circuits, Vol. 33, No. 3, pp. 387-399, Mar. 1998.
- [2] L. E. Larson, "Device and technology requirements for next generation communications systems," IEDM Technical Digest, Electron Devices Meeting, 2000, pp. 737-740.
- [3] C. Kim, J. Park, H. Yu, and H. Cho, "Gate layout and bonding pad structure of a RF n-MOSFET for low noise performance," IEEE Electron Device Lett., Vol. 21, No. 12, pp. 607-609, Dec. 2000.
- [4] R. C. Frye, "Integration and electrical isolation in CMOS mixed-signal wireless chips," Proc. IEEE, Vol. 89, No. 4, pp. 444-455, Apr. 2001.
- [5] A. Matsuzawa, "High quality analog CMOS and mixed signal LSI design," Quality Electronic Design, 2001 International Symposium on, 2001, pp. 97-104.
- [6] The international technology roadmap for semiconductors, SIA Report, 1999.
- [9] M. Felder and J. Ganger, "Analysis of ground-bounce induced substrate noise coupling in a low resistive bulk epitaxial process: design strategies to minimize noise effects on a mixed-signal chip," IEEE Trans. Circuits Syst. II, Vol. 46, No. 11, pp. 1427-1436, Nov. 2000.
- [10] K. B. Unchwaniwala and M. F. Caggiano, "Effects of integrated circuit packaging on performance of a LNA in a mixed-signal circuit environment," Mixed-Signal Design, 2001, SSMSD, 2001 South west Symposium on, 2001, pp. 76-79.
- [11] K. M-. Fukuda, T. Kikuchi, T. Matsuura, and M. Hotta, "Measurement of digital noise in mixed-signal integrated circuits," IEEE J. Solid-State Circuits, Vol. 30, No. 2, pp. 87-92, Feb. 1995.
- [12] M. Ingels and M. S. J. Steyaert, "Design strategies and decoupling techniques for reducing the effects of electrical interference in mixed-mode IC's," IEEE J. Solid-State Circuits, Vol. 32, No. 7, pp. 1136-1141, Jul. 1997.
- [13] M. Nagata, J. Nagai, T. Morie, and A. Iwata,



- "Measurements and analyses of substrate noise waveform in mixed-signal IC environment," IEEE Trans. Computer-Aided Design, Vol. 19, No. 6, pp. 671-678, Jun. 2000.
- [14] M. V. Heijningen, J. Compinet, P. Wambacq, S. Donnay, M. G. E. Engels, and I. Bolsens, "Analysis and experimental verification of digital substrate noise generation for epi-type substrates," IEEE J. Solid-State Circuits, Vol. 35, No. 7, pp. 1002-1008, Jul. 2000.
- [15] A. Samavedam, A. Sadate, K. Mayaram, and T. S. Fiez, "A scalable substrate noise coupling model for design of mixed-signal IC's," IEEE J. Solid-State Circuits, Vol. 35, No. 6, pp. 895-904, Jun. 2000.
- [16] M. Pfost and H.-M. Rein, "Modeling and measurement for substrate coupling in Si-Bipolar IC's up to 40GHz," IEEE J. Solid-State Circuits, Vol. 33, No. 4, pp. 582-591, Apr. 1998.
- [17] N. Masoumi, S. S.-. Naeini, M. I. Elmasry, and Y. L. Chow, "A semi-analytical quasi-static approach for substrate coupling modeling in VLSI circuits," The 12th International conference on Microelectronics, 2000, pp. 157-160.
- [18] W. Jin, Y. Eo, J. Shim, W. R. Eisenstadt, M. Park, and H. Yu, "Silicon substrate coupling noise modeling, analysis, and experimental verification for mixed signal integrated circuit design," International Microwave Symposium Digest, 2001, pp. 1727-1730.
- [19] J. Huchzermeier, "Comparison of electrical and thermal parameters of widebus SMD SSOP, TSSOP, TVSOP, and LFBGA packages," Application report, Texas Instruments, 1999.

## 저 자 소 개



秦 佑 鎮(正會員)

1998년 : 한양대학교 전자공학과 졸업.  
2000년 : 한양대학교 대학원 전자공학과 졸업.  
2000년~현재 : 한양대학교 전자공학과 박사 과정. <주관심분야> 고속 VLSI 회로 설계, signal integrity, IC 패키지

魚 瀛 善(正會員) 第36卷 第11號 參照

沈 鍾 寅(正會員) 第37卷 第9號 參照