論文2002-39SC-3-3

뉴런모스를 이용한 아날로그 變換機 設計에 관한 硏究

(A Study on the Design of Analog Converter Using Neuron MOS)

韓 聖 一 *, 朴 承 用 **, 金 興 壽 *

(Sung-Il Han, Seung-Yong Park, and Heung-Soo Kim)

요 약

본 논문에서는 뉴런모스를 사용한 다운리터럴(Down-Literal) 회로블록과 전류미러 스위치 블록을 사용하여 3.3[V]의 저전력과 고속에서 동작하는 4치 아날로그 변환기(Quartenary to Analog Converter : QAC)를 설계하였다. 다운리터럴 회로를 사용하여 4치입력을 전류미러 스위치의 제어신호로 전환하고 전류미러 스위치는 4치입력에 해당하는 아날로그 신호를 출력한다. 제안된 구조로 설계된 QAC는 고속의 정착시간과 저전력소모의 특징을 가지며 CMOS 0.35㎛ n-well 공정을 사용한 실험 결과를 통해서 3.3[V]의 단일 전원을 사용하여 6MHz의 표본속도와 24.5mW의 전력소모를 확인한다.

Abstract

This paper describes a 3.3 [V] low power 4 digit CMOS quaternary to analog converter (QAC) designed with a neuron MOS(νMOS) down literal circuit block and cascode current mirror source block. The neuron MOS down literal architecture allows the designed QAC to accept not only 4 level voltage inputs, but also a high speed sampling rate quaternary voltage source LSB. Fast settling time and low power consumption of the QAC are achieved by utilizing the proposed architecture. The simulation results of the designed 4 digit QAC show a sampling rate of 6 [MHz] and a power dissipation of 24.5 [mW] with a single power supply of 3.3 [V] for a CMOS 0.35㎛ n-well technology.

Keyword : Neuron MOS, Down Literal, QAC

Ⅰ. 서 론

현재 사용되고 있는 디지탈논리시스템 및 이를 근간으로 하는 컴퓨터 하드웨어 분야는 2치논리(2진논리)에 기초를 두고 집적회로기술의 비약적인 발전으로 회로의 형태가 VLSI, ULSI화 되어 단일 칩상에 방대한 양의 회로를 집적할 수 있게 되었다. 이에 따라서 여러 전자 분야에 응용이 가능하고 집적도가 우수한 CMOS 공정을 사용하는 주문형 반도체 회로(Application Specific Integrated Circuits : ASIC)에서 아날로그와 디지털 혼성 신호를 구현하는 혼합 신호 집적회로(mixed signal integrated circuit)가 필수 불가결하게 되었다. 그러나 회로가 대형화 될수록 상호결선은 더욱 복잡해지고, 연산속도의 제한성, 정보전송량의 방대함에 따른 정보전송시간지연 및 외부 단자수의 증가로 인한 칩면적의 효율성 저하 및 단자수의 제한 등의 문제점들이 대두되기 시작하였다.[1-4] 그 해결방안의 하나로

* 正會員, 仁荷大學校 電子工學科
(Dept. of Electronic Engineering Inha Univ.)
** 正會員, 才能大學 컴퓨터情報系列
(Dept. of Computer and Information Jaeneung College)
接受日字:2001年7月26日, 수정완료일:2002年4月8日

한개의 단자 수와 결선으로 2치논리보다 더 많은 양의 정보를 처리할 수 있는 다치논리이론에 대한 연구가 1970년대 초부터 활발히 진행중이며 이중 일부는 점차 실용화 되고 있는 현실이다.[1-7]

특히 최근에는 MOS소자 자체에 대한 연구에 바탕을 두고 디지탈논리시스템을 해석하려는 연구가 시도되고 있다. T. Shibata 와 T Ohmi[8]는 최초로 다치논리에 적용할 수 있는 Neuron MOS(νMOS)를 제안했다. νMOS는 하나의 공통게이트에 다수의 입력게이트가 다치입력 단자로 연결되어 있는 구조로 단순한 스위치의 역할을 하는 MOS에서 입력단자에 걸리는 전압의 합을 사용하여 MOS를 동작시키는 새로운 형태의 다치소자이다. 한편, J. Shen 등[9-10]은 2개의 입력게이트를 갖는 N-Channel νMOS 하나와 2개의 입력게이트를 갖는 P-Channel νMOS 하나씩을 결합하여 다수의 문턱전압을 갖는 다운리터럴회로와 이를 응용한 여러 가지 회로들을 제안하였다. 다운리터럴회로는 기준전압의 조건과 입력의 전압레벨에 따라서 출력이 ON, OFF하는 특성을 갖는 다치변수 처리에 적합한 회로이다.

최근에는 거의 모든 시스템의 설계가 디지털 신호처리기법을 바탕으로 이루어지고 있다.[11-14] 그러나 인간이 듣고 보고 말하는 신호는 모두 아날로그 신호이기 때문에 아무리 새로운 디지털 기술이 등장해도 인간과의 연결이 맞지 않는다면 그 기술은 별 의미가 없다. 따라서 디지털 신호처리의 최초단계 및 마지막 단계에는 아날로그 신호를 디지털로, 디지털신호를 아날로그 신호로 바꾸어주는 데이터 변환기가 반드시 필요하다.

D/A 변환기의 설계기술에는 디코더를 사용한 변환기술, 2진 가중치 배열을 사용한 변환기술 및 기타의 변환기술로 크게 분류할 수 있고 본 논문에서는 2진 가중치 배열을 사용한 변환기술 중에서 가중치 전류를 사용한 D/A 변환기술을 사용하여 구현하였다.

본 연구에서는 다운리터럴 회로가 다수개의 문턱전압을 갖는 특성을 이용하여 다치입력의 레벨에 따라 가중치를 적용한 전류원을 구동하여 출력되는 전류의 합을 아날로그 신호로 유도하였다. 2진 상에서 8비트의 분해능을 갖는 D/A 변환기의 특성을 본 논문에서 제안한 구조로는 4디지트(Digit)의 4치 입력으로 구현이 가능하며 단지 4개의 입력 신호선으로 256개의 레벨을 갖는 아날로그 출력을 얻은 실험결과를 얻었다. 실험결과는 더블 폴리 4 메탈 표준 CMOS 0.35㎛ n-well 공정으로 HSpice를 사용하여 도출하였다.

본 논문의 서술과정은 다음과 같다. Ⅱ장에서는 다치소자 중의 하나인 νMOS의 성질 및 동작특성에 대해서 기술하였고 Ⅲ장에서는 본 논문에서 제안한 QAC의 다치신호 입력부에 해당하는 다운리터럴 회로 블록에 대하여 설명하였다. 그리고 Ⅳ장에서는 QAC 내부의 가중치 전류원의 구조 및 동작특성을 Ⅴ장에서는 제안된 QAC의 회로구성과 전체구조 및 동작특성을 설명하였다. Ⅵ장에서는 제안된 QAC의 실험결과를 보였고, Ⅶ장에서는 2진 상에서의 8비트 D/A 변환기와 4치에서의 4디지트 Q/A 변환기를 비교하였으며, Ⅷ장에서는 본 논문에서 제안한 4디지트 4치 회로를 5디지트로 확장하는 방법과 5치로 확장하는 방법에 대하여 논하고 그에 대한 모의실험 결과를 보였다. 마지막으로 Ⅸ장에서는 결론을 맺었다.

Ⅱ. 뉴런 모스(νMOS)[8]

뉴런모스(νMOS)는 하나의 공통 게이트와 다수의 입력게이트를 갖는 형태의 트랜지스터로 1992년에 T. Shibata와 T. Ohmi에 의해서 제안되었다. νMOS 트랜지스터의 기본구조는 그림 1과 같고 k개의 입력게이트는 커패시턴스 성분을 갖고 플로팅게이트와 병렬로 연결된 구조를 갖는다. 여기서, $V_1, V_2, \ldots, V_k$는 각각 입력 신호의 전압이고 $C_1, C_2, \ldots, C_k$는 플로팅게이트와 입력게이트 사이의 용량성분 계수이다. 플로팅게이트의 포텐셜 에너지를 Φ_F라 하고 C0를 프로팅게이트와 기판사이의 용량성분 계수라 할 때 다음의 식 (1)이 성립한다.

$$\begin{aligned} Q_F &= Q_0 + \sum_{i=1}^{n}(-Q_i) \\ &= C_0(\Phi_F - V_0) + \sum_{i=1}^{n} C_i(\Phi_F - V_i) \\ &= \sum_{i=0}^{n} C_i(\Phi_F - V_i) \\ &= \Phi_F \sum_{i=0}^{n} C_i - \sum_{i=0}^{n} C_i V_i \end{aligned} \quad (1)$$

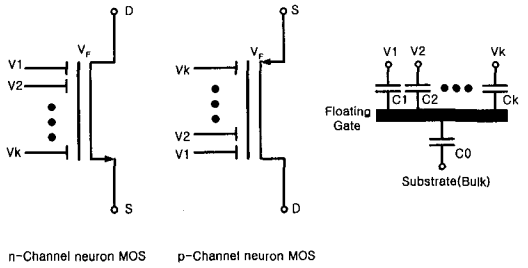
여기서, Q_F는 플로팅게이트에 발생하는 전하량이고 이는 플로팅게이트와 서브기판사이의 전하량과 입력게이트에 인가되는 전하량의 합과의 차이다. νMOS를 설계할 때 전하의 주입이 없다면 플로팅게이트에 발생하는 전하량 Q_F는 초기조건으로 0으로 볼 수 있고 소스

와 서브기판은 그라운드에 연결되어 있으므로 V_0와 V_s를 0로 가정하면 식 (1)은 다음과 같이 식 (2)로 간단히 표현된다.

$$\Phi_F = \frac{C_1 V_1 + C_2 V_2 + \cdots + C_n V_n}{C_{TOT}}$$

여기서, $C_{TOT} = \sum_{i=0}^{n} C_i$ 이다. (2)

위의 식 (2)는 νMOS의 플로팅게이트에 인가되는 포텐셜에너지는 각각의 입력게이트에 인가되는 용량성분과 전압의 합으로 표시됨을 보인다. 따라서, νMOS의 입력게이트에 인가되는 전압의 양을 적절히 조절함으로써 문턱전압의 값을 초과하게 되면 트랜지스터가 동작하게 되는 특성을 얻는다. 이러한 성질을 사용하여 T. Shibata와 T. Ohmi는 다양한 문턱전압을 갖는 트랜지스터, 선형 저항성분을 갖는 트랜지스터, νMOS 인버터 그리고 νMOS 소스폴로워 등을 제안하였다. 본 논문에서는 뉴런모스를 회로검증 및 구현하기 위하여 플로팅 게이트를 1차 폴리로, 각각의 게이트 입력을 2차 폴리로 사용하였다. 일반 CMOS공정 중에서 더블 폴리 공정을 사용하는 Hyundai CMOS 0.35 μm 공정을 사용하여 회로검증을 하였다.



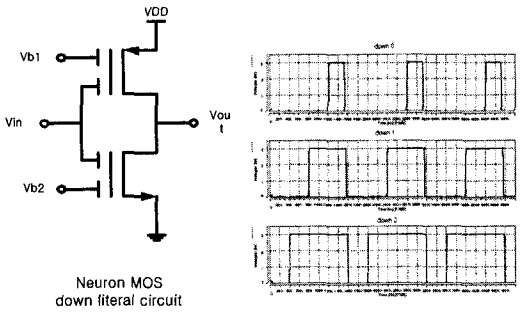
(a) Symbolic represention (b) Capacitive model

그림 1. 기본적인 νMOS의 구조 (a) N-chanel νMOS와 P-channel νMOS 구조 (b) 커패시턴스 성분으로 나타낸 νMOS의 구조

Fig. 1. The basic structure of νMOS. (a) The structure of N-chanel νMOS and P-channel νMOS (b) The structure of νMOS with gate capacitance.

Ⅲ. 다운리터럴(Down Literal) 회로[9-10]

다치논리 회로를 구현하는데 있어서 다운리터럴 회로는 기본소자로 사용되며 J. Shen 등은 2개의 입력게이트를 갖는 N-channel νMOS와 2개의 입력게이트를 갖는 P-channel νMOS를 결합하여 구성한 νMOS 다운리터럴 회로를 제안하였다. 그림 2.(a)는 다운리터럴 회로의 구성도이다.



(a) (b)

그림 2. 다운리터럴 회로 및 Hspice simulation을 사용한 다운리터럴 회로의 반전 출력 (a) 뉴런모스를 사용한 다운리터럴 회로 (b) 다운리터럴 회로의 반전된 출력신호

Fig. 2. Down Literal Circuit and its inverted Hspice simulation results. (a) Neuron MOS Down Literal Circuit (b) The inverted output signal of Down Literal Circuit.

다운리터럴 회로의 동작특성은 입력전압이 문턱전압과 같을 때 성립한다. 이 때의 n형과 p형의 νMOS에서 흐르는 전류를 다음 식 (3)과 (4)로 나타내면 문턱전압은 $I_n = I_p$일 때의 입력전압이 된다.

$$I_n = K_n^*(V_{IN} - V_{tn}^*)^2 \quad (3)$$

$$I_p = K_p^*(V_{IN} - V_{DD} - V_{tn}^*)^2 \quad (4)$$

여기서, I_n과 I_p는 n형과 p형의 νMOS에 흐르는 전류이며 트랜스컨덕턴스 파라미터는

$$K_n^* = K_n w_n^2 = \frac{\mu_n}{2} C_{ox(n)} \frac{W_n}{L_n} w_n^2$$

$$K_p^* = K_p w_p^2 = \frac{\mu_p}{2} C_{ox(p)} \frac{W_p}{L_p} w_p^2$$

이고 각각의 식에서 ω는 입력게이트의 용량성분비이고 $C_{ox(n),(p)}$는 n형과 p형의 산화층 용량성분이며 W/L은 채널비이다. 그리고 $\mu_{(n),(p)}$는 각각 n형과 p형의 전자, 정공의 이동도이다. 문턱전압을 구하기 위하여 식 (3)과 (4)를 사용하여 정리하면 다음 식 (5)와 같다.

$$V_{TH} = \frac{V_{DD} + V_{tp}^{*} + V_{tn}^{*}\sqrt{K_R^{*}}}{1 + \sqrt{K_R^{*}}} \quad (5)$$

여기서, $K_R^{*} = \frac{K_n^{*}}{K_p^{*}} = \frac{K_n}{K_p} = \frac{w_n^2}{w_p^2}$

이고 만일 n형의 νMOS와 p형의 νMOS의 입력게이트의 전자, 정공의 이동도가 같고, 문턱전압이 같고, 게이트의 용량성분비가 같다면 위의 식 (5)는 다음의 식 (6)과 같이 정리할 수 있으며 이는 동일한 입력에 대해서도 정전압을 변화시킴으로써 다양한 문턱전압을 얻을 수 있으며 본 논문에서 사용하는 세 가지 문턱전압을 표로 나타내면 다음 표 1과 같다.

$$V_{TH} = V_{DD} - \frac{V_{tl} + V_{t2}}{2} \quad (6)$$

표 1. 다운리터럴 회로의 바이어스와 문턱전압
Table 1. Threshold Voltages of Down Literal Circuit.

$V_{DD}=3V$	V_{TH}	$V_{tl}+V_{t2}$	V_{tl}	V_{t2}
$D_0(x)$	$0.5V$	$5V$	$3V$	$2V$
$D_1(x)$	$1.5V$	$3V$	$2V$	$1V$
$D_1(x)$	$2.5V$	$1V$	$1V$	$0V$

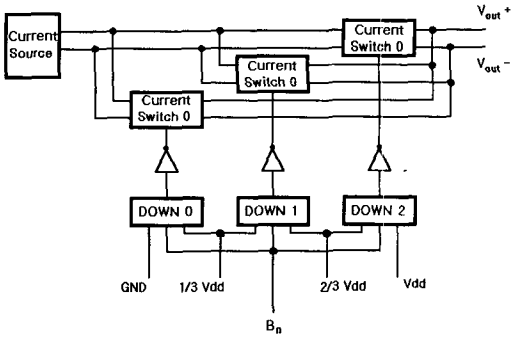


그림 3. QAC 4치 입력 중 하위디지트(B_0)의 블록도
Fig. 3. The Block Diagram of LSB(B_0) in The QAC.

다치논리의 입력신호를 처리하기 위한 블록으로 구성하기 위해서 다운리터럴 회로의 정전압을 각기 0V-1V, 1V-2V, 2V-3V로 고정시키고 공통입력 다운리터럴 블록으로 구성한다. 이의 반전된 출력을 나타내는 위의 그림 2.(b)는 각각 세 가지의 다운리터럴 회로의 출력을 반전시킨 결과를 나타낸다. 본 논문에서 사용하는 4치 입력단의 다운리터럴 회로 블록은 다음 그림 3과 같고 그림 2.(b)에서의 출력을 전류스위치의 구동신호로 사용한다.

본 논문에서는 4치 입력신호를 아날로그 신호로 변환하는 과정에서 입력신호를 제어하기 위하여 다운리터럴회로를 사용한다. 다운리터럴 회로의 출력을 반전하여 아날로그 신호를 출력하기 위한 전류미러의 동작을 제어하는 스위치 개폐신호로 사용한다.

Ⅳ. 가중치 전류원의 구조

기존의 고속 D/A 변환기는 크게 두 가지로 볼 수 있다. 첫째로 전압 구동 방식으로 저항 어레이를 이용한 D/A 변환기가 있다. 이 구조는 수동 소자를 사용하여 선형성은 우수하지만 출력에 낮은 임피던스를 얻기 위한 고속 출력 전압 버퍼를 필요함으로 전력 소모가 증가되고, 저항 어레이 사용으로 인한 칩면적이 증가한다는 단점이 생긴다. 두 번째로는 전류 구동 방식으로 전류셀을 이용한 D/A 변환기가 있다. 이러한 구조의 D/A 변환기는 각각의 차동 전류셀의 동작으로 전류를 출력으로 보내 주어 빠른 변환속도를 가지고 있다. 하지만 디지털 입력신호 펄스의 상승/하강 시간에 의해 차동입력단에 있는 두 개의 nMOS가 동시에 선형영역에서 동작하는 범위가 발생하므로 비단조증가성의 현상이 나타나기도 한다. 본 연구는 빠른 정착 시간을 가지는 가중치 전류셀의 장점을 이용하면서 다치입력신호를 아날로그 신호로 변환하기 위하여 다운리터럴회로를 사용하고 기존 8비트의 변환기와 비교해 볼 때 디지트 수의 감소로 면적을 크게 줄일 수 있는 장점이 있고 상위와 하위의 각각 2디지트로 구현이 가능하므로 전류원의 개수와 전력소모 또한 감소할 수 있으며 고속의 동작 특성을 갖는다.

1, 가중치 전류를 이용한 D/A 변환기[14]

가중치를 전류를 이용한 D/A 변환기는 기준전류원에서 나온 전류를 캐스코드 전류 미러(cascode current mirror)을 통해 원하는 배율만큼 증배시킨다. 그림 4는 가중치 전류를 사용한 8-bit D/A 변환기의 회로도이다. 원하는 배율은 트랜지스터의 W/L를 조정함으로써 구현되어지며, 그 증가되는 비율은 앞단의 배율에 비해 계속 2배수의 곱으로 증가된다.

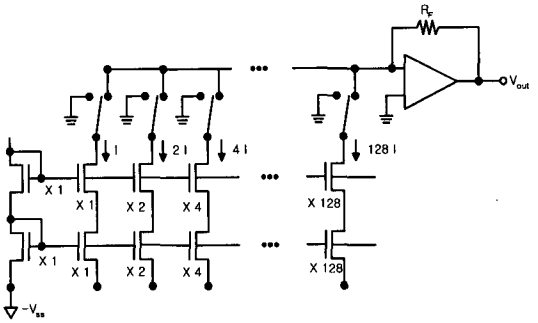


그림 4. 일반적인 가중치전류를 이용한 8-bit D/A 변환기 회로도

Fig. 4. The general Circuit of Weighted Current Type 8 bit DAC.

2. 4-디지트용 가중치전류를 사용한 전류 스위치구조

본 논문에서 제안하는 가중치전류를 이용한 전류스위치는 각 디지트당 배율이 4배씩 증가한다. 만일 기준전류를 I_{ref} 라 할 때 하위 B0는 I_{ref} 의 전류를 발생하고, B1은 $4\times I_{ref}$ 의 전류를 발생하고 마찬가지로 B2, B3는 각각 $16\times I_{ref}$ 와 $64\times I_{ref}$ 의 전류를 발생한다. 위의 내용을 종합해서 각각의 디지트별로 흐르는 전류의 총합을 수식으로 표시하면 다음 식 (7)과 같다.

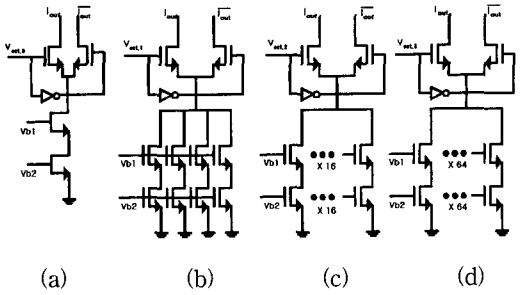
$$I_{out} = \sum_{i=0}^{3} 3 \cdot 4^{i} \cdot I_{ref} \qquad (7)$$

여기서, i 는 입력 디지트의 수이며 I_{out} 은 전류스위치에 발생하는 총전류이다.

그림 5는 가중치 전류스위치의 구조도이고 여기서 차동입력단의 W/L의 값을 여유있게 조절하여 주는 것이 중요하다.

그림 4와 그림 5의 전류원은 실제 동작과 출력신호면에서는 차이가 없으나 회로의 안정도를 고려할 경우 본 논문에서 사용한 가중치 전류원의 경우 그림 4의 경우와는 회로의 안정도, 설계시의 용이성 그리고 채널비를 고려하여 트랜지스터 설계시 부정합 문제의 해소 등의 장점이 있다. 실제 CMOS 소자의 개수에서는 증가하는 결과가 있지만 회로의 레이아웃 설계시는 전체 면적에 있어서 큰 차이를 보이지 않는다. 개개의 트랜지스터를 채널비에 적합하게 설계하는 경우에 동일한 채널비를 갖는 트랜지스터를 병렬로 설계하는 경우와 회로의 면적과 전력소모의 측면에서는 유사한 반면 동작특성은 안정적인 장점이 있다.

가중치 전류원은 각 디지트별로 동일한 구조로 3개



(a) (b) (c) (d)

그림 5. 디지트별 전류스위치의 구조도 (a) B0 디지트의 가중치 전류스위치 (b) B1 디지트의 가중치 전류스위치 (c) B2 디지트의 가중치 전류스위치 (d) B3 디지트의 가중치 전류스위치

Fig. 5. The Block Diagram of Current Switch in Each Digit. (a) The Current Switch of B0 Digit (b) The Current Switch of B1 Digit (c) The Current Switch of B2 Digit (d) The Current Switch of B3 Digit.

씩 위치하며 이는 모듈화하여 간단하게 설계할 수 있는 장점을 제공한다. 4개의 디지트중 LSB인 B0에는 그림 5의 (a) 그리고 MSB인 B3에는 그림 5의 (d)의 전류스위치가 각각 연결되며 세 개의 다운리터럴 회로와 세 개의 전류스위치로 LSB에서는 0 [V]에서 $3\times I_{ref}$ 의 전류를 흘리게 된다. 이를 그림 3의 블록도와 비교해서 설명하면 다음과 같다.

우선 입력 B0가 0 [V]이면 반전된 DOWN0, DOWN1, DOWN2는 각각 0 [V]를 출력하게 되고 이는 출력단에 전류의 흐름을 막는다. 만일 B0가 0.5 [V]와 1.5 [V] 사이이면 DOWN0의 출력만 HIGH가 되고 첫 번째 전류스위치만 ON되어 전류를 흐르게 한다. 따라서 출력단에는 $1\times I_{ref}$의 전류가 흐르게 되고, 마찬가지로 B0가 1.5 [V]와 2.5 [V] 사이이면 DOWN0와 DOWN1의 출력만 HIGH가 되고 전류스위치는 2개가 ON되어 출력단에는 $2\times I_{ref}$의 전류가 흐르게 되고, 마지막으로 B0가 2.5 [V]이상이면 DOWN0, DOWN1, DOWN2 모두의 출력이 HIGH가 되고 전류스위치는 3개 모두 ON되어 $3\times I_{ref}$의 전류가 흐르게 된다.

위의 성질은 B1, B2와 B3에 동일하게 적용되며 각각의 가중치가 다르게 때문에 디지트당 발생하는 전류의 양에는 차이가 있다. B1에서는 입력이 동일하게 변할 경우 0에서 $12\times I_{ref}$의 전류를 발생하게되고, B2에서는 0에서 $48\times I_{ref}$의 전류를 발생하고, B3에서는 0에서 $192\times I_{ref}$의 전류를 발생하게 된다. 이 때, 각각의

디지트에서 발생하는 전류량은 출력단에서 동시에 발생하므로 입력전압을 고려한 출력단의 전류량은 다음의 식 (8)과 같고 이는 식 (7)을 입력전압을 고려하여 재정리한 것이다.

$$I_{out} = \sum_{i=0}^{3} 4^i \cdot V_{input} \cdot I_{ref} \quad (8)$$

여기서, $V_{input} = \begin{cases} 0 & \text{if } 0 \le V_{input} < 0.5 \\ 1 & \text{if } 0.5 \le V_{input} < 1.5 \\ 2 & \text{if } 1.5 \le V_{input} < 2.5 \\ 3 & \text{if } 2.5 \le V_{input} \end{cases}$

이고, LSB인 B_0는 i가 0, B_1은 i가 1, B_2는 i가 2 그리고 MSB인 B_3는 i가 3인 경우이다. 위의 수식을 표로 정리하면 다음의 표 2와 같다. 다운리터럴회로의 HIGH와 LOW는 각각 전류스위치의 ON, OFF와 같다.

표 2. 입력 전압에 의한 디지트별 다운리터럴회로의 상태와 전류량

Table 2. The input condition and the output results of the QAC.

V_{input}	Down0	Down1	Down2	I_{out}
0	Low	Low	Low	0
1	High	Low	Low	$\sum_{i=0}^{3} 4^i V_{input} I_{ref}$
2	High	High	Low	
3	High	High	High	

V. 제안된 QAC의 전체회로 구성 및 동작특성

제안된 QAC의 전체구조는 입력제어부, 아날로그 신호 출력부 그리고 공통입력 바이어스 제어부의 세 가지 블록으로 간단하게 구성된다. 그림 6은 제안된 QAC의 전체 블록도이며 각각에 대한 설명은 다음과 같다.

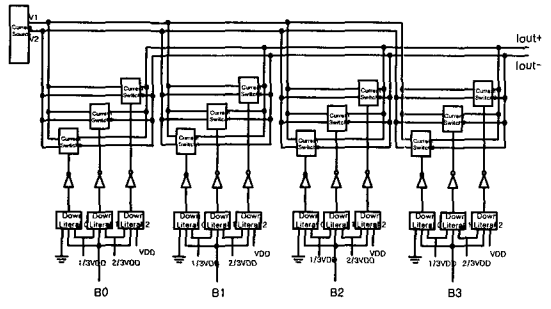


그림 6. 제안된 QAC의 전체 블록도

Fig. 6. The Total Block Diagram of QAC.

1. 입력 제어부

입력 제어부는 하위에서 상위 디지트까지의 4치 레벨 값을 입력받는다. 디지트별로 다운리터럴회로를 사용하며 각각 4치 입력을 제어하여 4치 입력 0에서는 가중치 전류원이 0개, 4치 입력 1에서는 가중치 전류원이 1개, 4치 입력 2에서는 가중치 전류원이 2개, 4치 입력 3에서는 가중치 전류원이 3개가 각각 동작하도록 출력 신호를 갖는다. 이 때 다운리터럴의 레퍼런스 전압은 각각 V_{ref1} = 0 [V], V_{ref2} = Vdd/3 = 2 [V], V_{ref3} = 2Vdd/3 = 2 [V] 그리고 V_{ref4} = 3Vdd/3 = Vdd이다. VII장에서는 레퍼런스 전압의 조절과 다운리터럴 회로 블록을 추가하여 5개의 디지트로 확장하는 것에 관해서 논한다.

2. 아날로그 신호 출력부

아날로그 신호 출력부는 입력제어부의 출력을 입력신호로 사용하여 가중치 전류원을 구동한다. 안정된 다운리터럴회로의 출력신호를 얻기 위하여 다운리터럴 회로의 출력신호를 반전하고 이는 다운리터럴 회로의 리터럴 성질을 사용하는 것을 의미한다. 가중치 전류원의 출력 전류신호를 전압레벨로 유도하기 위하여 출력단에는 부하저항을 사용하였고 본 실험에서는 1 [kΩ]의 부하저항을 사용하였다. 아날로그 신호 출력부에서는 IV장에서 설명한 가중치 전류원이 디지트별로 3개씩 각각 사용되며 이는 그림 6에서 current switch0, current switch1, current switch2, current switch3으로 나타내었다.

3. 공통입력 바이어스 제어부

공통입력 바이어스 제어부는 아날로그 신호 출력부의 가중치 전류원에 공통의 바이어스 전압을 공급한다.

VI. 제안된 QAC의 모의실험 결과 동작특성

제안된 QAC회로의 모의실험 결과는 현대 0.35 μm CMOS 공정의 모델 파라메타를 사용하여 HSPICE를 사용하여 도출하였다. 4치 입력의 논리 레벨값은 0, 1, 2, 3 [V]로 각각 입력하였으며, 가중치 전류원의 레퍼런스 전류는 1 [μA]로 인가하였고 다운리터럴 회로의 기준전압은 각각 0 [V], 1/3Vdd = 1 [V], 2/3Vdd = 2 [V], 3/3Vdd = 3 [V]로 인가하였다.

그림 7은 제안된 4 디지트 QAC의 전체 회로에 대한

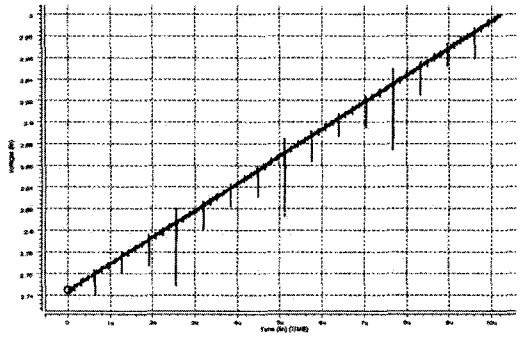


그림 7. 제안된 QAC의 전체 모의실험 결과 출력 특성 곡선
Fig. 7. The Plot of Full-Scale Transition of QAC.

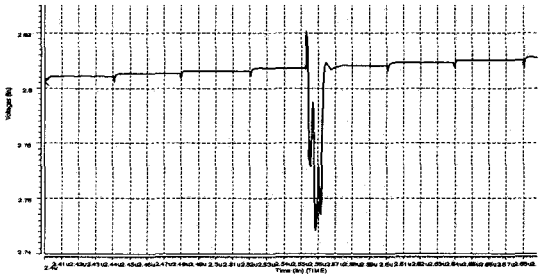


그림 8. 제안된 QAC의 글리치 에너지 출력 특성 곡선
Fig. 8. The Plot of Glitch Energy of QAC.

표 3. 제안된 QAC의 모의실험결과 성능 표
Table 3. The Simulated circuit performances of the QAC.

Technology	CMOS n-well 0.35 μ m
Resolution	4-digit 256 level
Rising/Falling time	10nsec
Settling time	30nsec
Output Voltage swing	0.26V
Sampling rate	6MHz
Glitch energy	0.4mV·s
Power Supply	3.3V
Power Consumption	1mW

모의실험 결과 출력신호를 나타낸다. 하위 디지트에서의 입력신호에 대한 상승/하강 시간 및 안정시간은 각각 10ns, 15ns이다. 출력신호는 2.74 [V]에서 3 [V] 사이에서 256 전압레벨을 보이며, 이는 출력 전압 허용범위가 0.26 [V]임을 나타낸다. 출력신호에서 나타나는 256 전압레벨은 4 디지트 QAC의 해상도가 256임을 나타내고 이는 기존의 2진 상에서 8 비트 DAC가 갖는

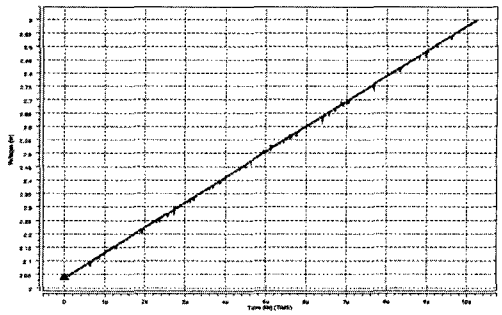


그림 9. 제안된 QAC 회로의 글리치 에너지가 줄어든 출력 특성 곡선
Fig. 9. The Plot of Full-Scale Transition of QAC with Reduced Glitch Energy.

해상도와 일치한다. 표 3은 제안된 QAC의 시뮬레이션 결과를 통해 측정된 회로의 성능을 나타낸다.

그림 8은 최대 글리치 에너지를 나타내고 이는 회로의 전류 변화가 가장 급격히 발생하는 0333과 1000에서의 에너지이며 0.4 [mV·s]의 값을 갖는다. 글리치 에너지를 줄이기 위해서 출력단에 부하저항 외에 20 [pF]의 캐패시터를 사용하였다. 그림 9는 캐패시터를 사용하여 글리치 에너지를 감소시킨 회로의 출력 특성이다.

Ⅶ. DAC와 QAC의 동작특성 비교

본 절에서는 제안된 QAC와 2진 상에서의 DAC를 해상도, 신호 대 잡음비(SNR : Signal to Noise Ratio) 그리고 혼성신호 소자에서 많이 언급되는 에러 측면에서 비교하여 설명한다.

1. 해상도를 통한 DAC와 QAC의 비교

제안된 QAC는 입력으로 4치 입력 디지트 4개가 존재하고 출력으로는 256 레벨을 갖는 아날로그 신호를 발생한다. 이는 제안된 QAC가 2진 상에서의 8 비트 DAC와 동일한 출력 해상도를 가지며 단지 4개의 4치 입력만으로 동일한 결과를 도출함을 의미한다.

일반적으로 2진 상에서의 해상도는 다음 식 (9)와 같이 표현된다.

$$\text{Resolution} = 2^n \tag{9}$$

여기서, 2는 2진상의 베이스이고 n은 비트수를 의미한다. 제안된 QAC에서는 4치를 적용하므로 베이스를 4로 N을 디지트의 수로 해서 식 (9)에 적용하면 다음 식 (10)이 되고 8 비트의 DAC는 4 디지트의 QAC와 동일

한 해상도를 갖는다.

$$\text{Resolution} = 4^N \tag{10}$$

2. 신호 대 잡음비를 통한 DAC와 QAC의 비교

이상적인 DAC나 ADC에서 적용하는 SNR은 입력이 정현파인 경우, $0 \le V_{in} \le V_{ref}$의 범위에서 동작할 때 입력의 전력은 $V_{ref}/(2\sqrt{2})$이고 SNR은 다음 식 (11)과 같다.

$$SNR = 20\log(V_{in(rms)} / V_{Q(rms)}) = 20\log\left(\frac{V_{ref}/2\sqrt{2}}{V_{LSB}/\sqrt{12}}\right) = 20\log\left(\sqrt{\frac{3}{2}} \cdot 2^n\right) \tag{11}$$

여기서, V_Q는 양자화된 잡음신호이고 V_{LSB}는 ADC의 비트수에 의해서 결정되는 값이고 n은 유효비트수이다. 식 (11)을 dB로 환산하면 $SNR = 6.02n + 1.76\ [dB]$이 된다.

위의 식 (11)은 2진 상에서의 신호 대 잡음비이고 이를 4치에 적용하기 위해서 2^n부분의 베이스를 4로 치환하여 계산하면 다음 식 (12)가 된다.

$$SNR = 20\log(V_{in(rms)} / V_{Q(rms)}) = 20\log\left(\sqrt{\frac{3}{2}} \cdot 4^N\right) \tag{12}$$

여기서 N은 유효 디지트 수이고 이를 dB로 환산하면 $SNR = 12.04N + 1.76\ [dB]$이 되고 위의 2진인 경우 $n=8$을 대입하고 4치인 경우 $N=4$를 대입하면, 이상적인 경우의 신호 대 잡음비는 2진인 경우와 4치인 경우 동일하게 50dB가 되고 단지 유효 비트수와 유효 디지트 수의 함수가 됨을 알 수 있다.

3. 이상적인 데이터 변환기에서의 에러문제 비교

일반적인 경우 데이터 변환기의 Differential Non-Linearity(DNL) 에러와 Integral Non-Linearity(INL) 에러는 전류원에 의해서 발생한다. 디바이스의 부정합에 의해서 발생하는 DNL 에러는 CMOS 전류미러의 채널 길이를 크게 하거나 레이아웃 공정에서 디바이스 정합을 미세하게 고려하면 줄일 수 있다. 그러나 게이트의 유효면적이 증가하게 되면 CMOS 내의 용량성분이 증가하게 되고 결과적으로 샘플링 신호의 정착시간이 증가하게 된다. 따라서 디바이스의 크기를 최적화하는 것은 디바이스 부정합 문제 해결 및 빠른 안정시간을 구현하는데 필수적이다. 이러한 측면에서 신호의 결선 수를 줄일 수 있는 4치로의 설계는 디바이스의 크기를 최적화하는 방법의 하나로 효과적이다.

또한 DNL 에러의 축적과 전류원의 저항성분의 변화로 인해서 INL 에러가 증가하게 된다. INL 에러를 최소화하기 위해서는 결과적으로 전류원의 출력 저항을 최대로 설계하는 것이 하나의 방안이 될 수 있고 본 연구에서는 이를 위해서 출력저항이 큰 캐스코드 전류원을 사용하였다.

Ⅶ. 제안된 QAC의 입력 디지트 확장과 m-value로의 입력 변수 확장

본 절에서는 제안된 QAC의 디지트 확장과 논리 레벨을 m-value로 확장하는 방법에 대하여 논한다. 제안된 QAC는 세 개의 블록으로 구성되어 있고 이들 블록 중에서 디지트의 확장을 위해서는 다운리터럴 회로 블록의 추가 및 가중치 전류원의 추가로 간단히 구현이 되며, 입력 변수를 m-value로 확장하기 위해서는 다운리터럴 회로 블록의 레퍼런스 전압의 조정과 다운리터럴 회로를 추가하거나 감소해서 간단히 구현된다.

1. 제안된 QAC의 디지트 확장

4치 4디지트의 QAC를 4치 5디지트로 확장하기 위해서는 그림 6)의 제안된 QAC의 전체 블록도에서 B4 입력에 대한 블록을 추가하여 설계를 하면 된다. B4 입력 디지트를 위해서 다운리터럴 회로 블록을 추가하고 가중치 전류원을 $256 \times I_{ref}$의 전류원으로 구현한다.

4치 5 디지트의 QAC를 구현하면 2진 상에서의 10 비트 DAC와 같은 해상도를 갖는 1024 레벨의 출력 파

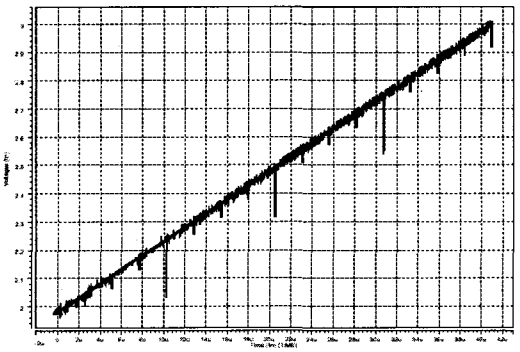


그림 10. 제안된 QAC의 입력을 5 디지트로 확장한 출력 파형

Fig. 10. The Plot of Full-Scale Transition of QAC with 5 Digit.

형이 발생하고 그림 10은 이를 모의 실험한 결과이다.

2. 입력 변수의 확장

제안된 QAC를 mvalue로 확장하기 위해서는 그림 6에서의 제안된 QAC의 전체 블록도에서 다운리터럴 회로 블록을 재 설계하고 각 디지트 별로 동일한 가중치 전류원을 한 개씩 첨가하면 된다. 예를 들어 3개의 다운리터럴 회로로 구성된 다운리터럴 회로 블록에 하나의 다운리터럴 회로를 추가하여 기준 전압을 $0V$, $1/4\times Vdd$, $2/4\times Vdd$, $3/4\times Vdd$ 그리고 $4/4\times Vdd$로 인가하면 5치의 입력을 위한 다운리터럴 회로 블록이 된다. 가중치 전류원은 current-switch0에서 current-switch3 까지 각각 한 개씩 추가한다. 아래의 그림 11은 5치 입력을 제어하기 위한 다운리터럴 회로 블록의 모의 실험 결과이다. 다운리터럴 회로 블록에 인가되는 기준전압을 일반화시키면, m-value 입력인 경우 $0V$, $1/(m-1)\times Vdd$, $2(m-1)\times Vdd$, $\cdots$, $(m-2)/(m-1)\times Vdd$로 된다.

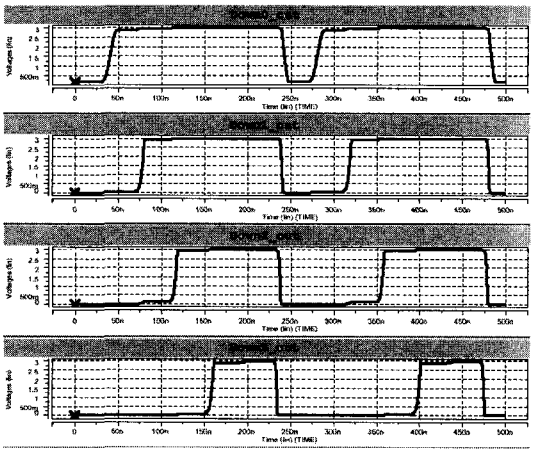


그림 11. 5치 입력에 대한 다운리터럴 회로 블록의 모의 실험 결과

Fig. 11. The Inverted Output Signal of Down Literal Circuit with 5-Valued Input.

IX. 결 론

본 논문에서는 4치 4 디지트의 입력을 사용하여 아날로그 신호를 출력하는 QAC를 설계하는 방법에 대하여 제안하였다. 제안된 QAC는 입력제어부, 아날로그 신호 출력부 그리고 공통입력 바이어스 제어부의 세 가지 블록으로 간단하게 구성된다. 입력제어부는 다운리터럴 회로 블록으로 구성하며 아날로그 신호 출력부는 가중치 전류원 블록으로 구성된다. 그리고 공통입력 바이어스 제어부는 전체 블록에 기준 전압을 제공한다.

다운리터럴 회로 블록을 설계하기 위하여 뉴런모스를 사용하였고 뉴런모스는 HSPICE 공정 상에서 2중 폴리를 사용하여 구현된다. 제안된 QAC의 구조는 4개의 입력 디지트를 사용하여 2진 상의 8 비트 DAC와 동일한 해상도를 갖고 입력 디지트수의 감소를 통해서 디바이스 설계 복잡도 감소 및 전력소모의 감소를 기대할 수 있다. 또한 빠른 정착시간과 낮은 전력소모를 제안된 QAC 구조는 특성으로 갖는다.

제안된 QAC는 3.3 [V]의 단일전원을 사용하여 더블 폴리 4 메탈 스탠다드 CMOS 0.35 μm n-well 공정을 사용하여 모의 실험 하였으며 6MHz의 표본속도를 갖고 24.5mW의 낮은 전력소모의 특성을 보인다.

제안된 QAC의 목적은 다치 입력을 수용하여 아날로그 신호를 발생하는 것이며 만일 4치의 입력을 갖는 다치논리 소자가 구현된다면 출력단에 사용될 수 있다. 현재 다치논리를 사용하는 승산기 및 ALU 등이 설계 및 검증 진행 중이며 아날로그 신호를 4치 신호로 전환하는 아날로그-4치 변환기 등이 설계된다면 본 논문에서 제안한 QAC는 최종단 아날로그 신호 발생 소자로 사용이 기대된다.

향후 연구과제로는 제안된 QAC의 입력단에 해당하는 AQC(Analog to Quaternary Convertor)의 설계로 아날로그 신호를 4치의 신호로 변환하여 다치논리의 연산을 수행하기 위한 신호를 발생하는 소자의 구현이며, 전체적인 아날로그 신호를 처리하기 위한 다치논리 구현소자의 개발이 예상된다.

참 고 문 헌

[1] S. L. Hurst, "Multiple-Valued logic-its status and its future," IEEE Trans. Comput., vol.C-33, pp. 1160-1179, Dec. 1984.

[2] K.C Sith, Multiple-Valued logic : a tutorial and appreciation, IEEE Computers, vol. 21, pp. 17-27, Apr. 1988.

[3] M. Kameyama, "Toward the Age of the Beyond-Binary Electronics and System," ISMVL 90, pp. 162-166, North Carolina U.S.A., May. 1990.

[4] D. Etiemble, On the performance of the Multi-

valued integrated Circuits : Past, Present and Future, Proc. 22nd ISMVL pp. 154-164, Sendai Japan, May 1992.

[5] K. C. Smith and P. G. Gulak, "Prospects for multiple-valued intergrated circuits," Special issue on Multiple-Valued intergrated circuits IEICE TRANS. ELECTRON., vol. E76-C, no.3, pp. 372-382, Mar. 1993.

[6] T. Hanyu, M. Kameyama, T. Higuchi, "Prospects of Multiple-Valued VLSI Processors," IEICE Trans. Electron, vol. E76-C, No. 3, pp. 383-392, March 1993.

[7] George Epstein, Multiple-valued logic design an introduction, Institute of Physics Publishing Ltd. 1993.

[8] T. Shibata and T. Ohmi, A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations, IEEE Electron Devices, vol. 39, 6, June 1992.

[9] J. Shen and K. Tanno and O. Ishizuka and Z. Tang, Application of Neuron-MOS to Currenr-Mode Multi-Valued Logic Circuits, Proc. 28th ISMVL pp. 128-133, Fukuoka Japan, May 1998.

[10] J. shen and K. Tanno and O. Ishizuka, Down Literal circuit with Neuron-MOS Transistors and Its Applications, Proc. 29th ISMVL pp. 180-185, Freiburg Germany, May 1999.

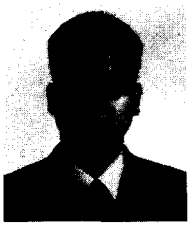
[11] The Engineering Staff of Analog Devices, Analog-Digital Conversion Handbook, Prentice-Hall, Inc. 1986.

[12] F. Coughlin and F. Driscoll, Operational Amplifiers & Linear Integrated Circuits, Prentice Hall, Inc. 1998.

[13] Sedra and Smith, Microelectronic Circuits, Saunders College Publishing, 1990.

[14] David A. Johns and Ken Martin, Analog Integrated Circuit Design, John Wiley & Sons, Inc, 1997.

저 자 소 개



韓 聖 一(正會員)

1996년 2월 : 인하대학교 전자공학과 졸업(공학사). 1998년 : 인하대학교 대학원 전자공학과 석사학위과정 졸업(공학석사). 1998년 3월~2000년 2월 : ㈜대우통신 광통신 연구실 근무. 현재 : 인하대학교 대학원 전자공학과 박사과정 재학. <주관심분야 : 디치 논리 회로구성, VLSI 설계, 디지털 로직 구현 등임

朴 承 用(正會員) 第37券 SC編 第4號 參照

1999년 2월 : 인하대학교 대학원 박사과정 수료. 현재 : 재능대학 컴퓨터 정보계열 교수

金 興 壽(正會員) 第32券 B編 第6號 參照

현재 : 인하대학교 전자공학과 교수