

論文2002-39SC-2-8

가상 직선 모델을 사용한 일반적 VLSI 배선의 신호의 무결성 검증

(Signal Integrity Verification of a General VLSI Interconnects using Virtual-Straight Line Model)

秦佑鎮*, 魚瀛善*, 沈鍾寅*

(Woojin Jin, Yungseon Eo, and Jongin Shim)

요 약

이 논문에서는 불규칙한 배선 구조에 대한 가상직선(virtual-straight line) 파라미터 추출 방법과 이를 이용한 새롭고 빠른 시간 영역에서의 시뮬레이션 방법론을 보이고 검증한다. 비선형인 트랜지스터의 특성을 고려한 인터컨넥트 회로의 시간영역에서의 신호응답은 모델차수감소법(model order reduction method)을 사용하여 수행된다. 모델차수감소법은 인터컨넥트 회로의 단위길이당 파라미터를 이용하므로 인터컨넥트의 길이가 서로 다르고 불규칙한 형태를 갖는 인터컨넥트에 대해서 직접적으로 모델차수감소법을 적용하기 위해 가상직선 모델을 사용하여 인터컨넥트의 파라미터를 추출한다. 또한 모델차수감소법은 일반적인 Berkeley SPICE의 모듈로 구성하여 인터컨넥트 회로의 시간영역 시간응답을 구하였으며 일반적인 회로 시뮬레이터인 HSPICE의 시뮬레이션 결과와 비교하여 잘 일치한다는 것을 보인다. 제안된 방법은 복잡한 다층 배선 구조에 대한 신속하고 정확한 시간영역 신호응답을 제공함으로써 고성능 VLSI 회로 설계에 유용하게 적용할 수 있다.

Abstract

In this paper, a new virtual-straight line parameter determination methodology and fast time domain simulation technique for non-uniform interconnects are presented and verified. Time domain signal response of interconnects circuit considering the characteristic of non-linear transistor is performed by using model order reduction method. Since model order reduction method is performed by using per unit length parameters, virtual-straight line parameters for non-uniform interconnects are determined. Its method is integrated into Berkeley SPICE and shown that time domain signal responses using proposed method have a good agreement with the results of conventional circuit simulator HSPICE. The proposed method can be efficiently employed in the high-performance VLSI circuit design since it can provide a fast and accurate time domain signal response of complicated multi-layer interconnects.

Key Word : Interconnects, silicon substrate effect, shielding effect, virtual-straight line model, signal integrity.

I. 서 론

최소 선 폭의 감소에 따라 오늘날의 회로의 성능은 대부분 인터컨넥트(interconnect)에 의해 좌우된다^[1-5]. 특히 대규모 시스템을 한 개의 칩으로 구현하기 위해 선간 간격은 더욱 작아지고 있으며 이로 인해 혼선잡음(crosstalk) 문제는 더욱 심각해진다. 또한 시스템의

* 正會員, 漢陽大學校 電子컴퓨터工學部
(Dept. of Electrical and Computer Engineering,
Hanyang University, Ansan)
接受日字:2001年10月12日, 수정완료일:2002年1月8日

크기가 커짐에 따라 칩 내의 인터컨넥트의 길이는 더욱 길어져서 이것으로 인한 신호 지연 역시 심각한 문제를 야기한다^[2]. 따라서 이러한 문제를 줄이기 위해 최근 유전율이 낮은 절연 물질을 사용하면서 저항이 낮은 구리를 사용하여 배선을 구현하고 있다. 그럼에도 불구하고 배선을 통해 전달되는 신호의 속도는 증가하며 더구나 실리콘 기반 인터컨넥트에서 진행되는 신호는 전도성 실리콘 기판의 영향 때문에 TEM 모드(mode)로 진행하기 보다는 지연모드(slow wave mode)로 진행하므로^[6] 인덕턴스의 영향은 더욱 심각해지고 있다. 따라서 회로의 성능을 보장하기 위해서는 인터컨넥트에서의 정확한 전기적 현상에 대한 이해가 필요하다^[2, 7-12].

배선에서의 전기적 신호는 본질적으로 주파수 의존적이다. 반면에 시스템의 성능 분석은 시간 영역과 관련된다. 따라서 배선에서의 주파수 의존적인 특성을 고려하면서 동시에 전체 회로의 성능을 검증하는 것은 복잡한 회로 설계 시 간과할 수 없는 문제이다. 특히 트랜지스터와 같은 비선형 소자의 특성을 포함하는 시간 영역에서의 인터컨넥트 회로에 대한 신속하면서도 정확한 신호 전이 검증은 회로 설계상의 중요한 요인이다^[13-17]. 그러나 회로 시뮬레이션을 위하여 복잡하며 불규칙한 배선에 대하여 일반적인 분할 사다리 네트워크(segmented ladder network) 모델을 사용하는 것은 복잡한 시스템의 성능 검증에 비효율적이다. 따라서 모든 인터컨넥트 라인의 단위길이 당 파라미터(per-unit-length parameter)를 사용하는 모델 차수 감소법(model order reduction technique)이 인터컨넥트 회로의 신속한 시간 영역 신호 응답 시뮬레이션을 위해 채택되고 있다. 그러나 이 방법은 각각의 배선의 길이가 상이하며 불규칙한 다중 비직선 라인으로 구성되는 실제의 인터컨넥트 회로에 적용될 수 없다. 따라서 효과적으로 모델 차수 감소법을 사용하여 시스템의 성능을 검증하기 위해서는 실제의 불규칙하고 비직선적인 인터컨넥트 라인이 모델 차수 감소법에 적용 가능하도록 적당하게 변형되어야 한다.

이 논문에서는 전도성 매질인 실리콘 기판의 물리적 특성을 고려한 배선 파라미터의 추출 방법을 제안하고, 모델 차수 감소법에 적용할 수 있도록 실리콘 기판에 기반하는 비직선 불규칙 배선 구조에 대한 파라미터 추출방법을 제안하며 신속한 시뮬레이션 방법을 검증한다. 전도성 실리콘 기판 특성으로 인한 커패시턴스는

실리콘 기판의 표면을 그라운드로 하여 고려하였으며, 인덕턴스 영향은 커패시턴스와 실효 유전상수를 도입함으로써 모델링한다. 또한 비직선 불규칙 배선에 대한 파라미터 추출 시 불연속 부분을 기준으로 각각의 구간을 직선 배선 구조로 나누고, 나누어진 부분에 대해 2차원 방법을 적용하여 파라미터를 추출한 후 최종적으로 단위 길이당 파라미터를 구하는 가상 직선 모델을 사용함으로써 신속한 시간영역 신호응답에 적용될 수 있도록 하였다.

이 논문의 구성은 다음과 같다. 먼저 다중 배선에서의 시간 영역 응답을 위한 수학적 해석을 수행하며, 실리콘 기판 효과를 고려한 파라미터 추출 방법을 제안한다. 이어서 모델 차수 감소법에 직접적으로 사용할 수 있는 불규칙 비직선 라인에 대한 가상직선 파라미터 추출 방법에 대해서 서술하며 마지막으로 복잡한 다중 배선 구조에서의 시간 영역에서의 응답을 제안된 파라미터 추출 방법에 의해 추출된 파라미터를 사용하여 검증한다.

II. 시간영역에서의 신속한 시뮬레이션을 위한 수학적 공식

배선의 영향을 포함하는 시간영역에서의 시스템의 응답은 경계조건을 이용하여 시간영역에서는 컨볼루션 적분(convolution integral)을 통하여 구할 수 있으며, 주파수영역에서는 라플라스 역변환(inverse Laplace) 또는 푸리에(Fourier) 역변환을 통해 수식화 할 수 있다^[14].

일반적으로 그림 1과 같은 다중 배선 구조에 대한 신호의 전달은 주파수 영역에서 행렬을 사용한 텔레그래퍼 방정식(Telegrapher Equations)을 사용하여 모델

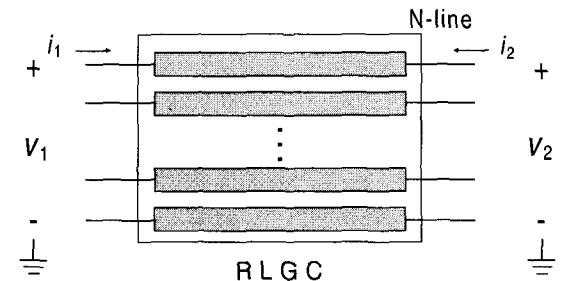


그림 1. 다중 배선 시스템 구조
Fig. 1. Multiple transmission line system configuration.

할 수 있다. 즉,

$$\frac{\partial \mathbf{I}(x,s)}{\partial x} = -(s\mathbf{C} + \mathbf{G})\mathbf{V}(x,s) \quad (1)$$

$$\frac{\partial \mathbf{V}(x,s)}{\partial x} = -(s\mathbf{L} + \mathbf{R})\mathbf{I}(x,s) \quad (2)$$

여기서 R, L, G, C 는 각각 단위 길이당 저항, 인덕턴스, 컨덕턴스, 커패시턴스의 항을 갖는 $n \times n$ 행렬이다.

따라서 시간영역에서의 각 단자의 전압과 전류벡터의 해는 다음과 같이 나타낼 수 있다^[14].

$$\mathbf{i}_1(t) = \mathbf{h}_1(t) * \mathbf{v}_1(t) - \mathbf{h}_2(t - t_d) * \mathbf{v}_2(t) - \mathbf{h}_3(t - t_d) * \mathbf{i}_2(t) \quad (3)$$

$$\mathbf{i}_2(t) = \mathbf{h}_1(t) * \mathbf{v}_2(t) - \mathbf{h}_2(t - t_d) * \mathbf{v}_1(t) - \mathbf{h}_3(t - t_d) * \mathbf{i}_1(t) \quad (4)$$

여기서 $*$ 는 컨볼루션 연산을 나타내며, t_d 는 주파수 영역의 모드해석에서 추출되는 모드 전파지연이다. 그리고 \mathbf{h}_i 는 전압 고유행렬과, 전류 고유행렬, 그리고 모드 함수를 갖는 대각행렬에 의해 구성되는 임펄스 응답이다. 또한 각각의 \mathbf{h}_i 는 배선의 파라미터로 다시 표현할 수 있으므로, 만약 각 배선의 파라미터 값이 결정된다면 시간영역에서의 배선의 신호천이 역시 정확하게 알 수 있다. 또한 (3)과 (4)의 임펄스 응답 \mathbf{h}_i 는 주파수 영역에서 부분분수로 나누어질 수 있는 유리 함수로 나타낼 수 있다^[13-14].

$$H_i(s) = a_0 \left(1 + \sum_{k=1}^n \frac{q_k}{s - p_k} \right) \quad (5)$$

여기서 p_k 와 q_k 는 시스템의 폴과 제로이다. 따라서 배선에 대한 시간영역 임펄스 응답은 주파수영역 응답에 대한 수치적인 라플라스 역변환 없이 직접적으로 구할 수 있으며 다음과 같다. 즉,

$$h_i(t) \approx a_0 \left(\delta(t) + \sum_{k=1}^n q_k e^{p_k t} \right) \quad (6)$$

이러한 근사법은 수치적 적분과정에서 유발되는 시간 손실이 일어나지 않으므로 매우 유용하다. 따라서 배선의 단위 길이당 파라미터를 알 수 있다면 신속하게 배선의 전기적 특성을 시간 영역에서 해석할 수 있다. 그러나, 실제 집적회로의 배선의 구조는 비직선 불규칙 구조이므로 이 방법을 직접적으로 적용할 수 없다. 따라서 비용면에서도 효과적이며 신속하게 배선의 신호

응답을 구할 수 있는 (3)와 (4)를 이용하기 위해서는 불규칙한 비직선 배선의 파라미터들을 변환시키는 것이 필요하다. 더불어 대부분의 시스템은 실리콘 기판으로 채택하고 있으므로 이것의 물리적인 특성을 고려한 파라미터 추출 역시 필수적이다. 따라서 다음 장에서는 실리콘 기판 특성을 고려한 새로운 파라미터 추출 방법과 시간 영역에서의 신속한 신호 응답에 사용하기 위한 새로운 배선 파라미터 추출 방법에 대해 자세히 서술한다.

III. IC 배선의 파라미터

1. 실리콘 기판 특성

디지털 신호는 한정된 상승시간과 하강시간을 갖는 일종의 펄스이다. 펄스의 주파수 성분은 주파수 영역에서의 스펙트럼 분석을 통해 알 수 있다. 실리콘 기판에서의 신호는 실리콘 기판의 저항과 동작 주파수의 영향으로 표피효과 모드(skin effect mode), 지연 모드(slow-wave mode), 근사-TEM모드(quasi-TEM mode)에 의존하는 세 개의 다른 전파 모드를 가진다^[6]. 오늘날 실리콘을 기판으로 한 VLSI 인터커넥트에서 펄스의 주파수성분의 대부분은 실리콘 기판 영향 때문에 지연 모드로 전파되므로 배선의 파라미터 추출 시 이와 같은 실리콘 기판의 물리적 특성을 고려하여야 한다.

지연 모드에서 전기장(electric field)은 절연체(oxide)층은 투과할 수 있는 반면에 실리콘 기판은 관통하지 못한다. 그 이유는 실리콘 기판의 경우 기판 내에 존재하는 운동입자(mobile carrier)에 의해 신호선의 양전하에 대응하는 음전하가 실리콘 표면에 모이게 되어 실리콘 기판이 그라운드로 인식되기 때문이다. 이와 달리 자기장은 두 층 모두를 통과할 수 있다. 따라서 실리콘 기판의 특성을 고려한 커패시턴스 추출의 경우 실리콘 기판의 표면이 그라운드로 근사화 되며, 이와 달리 인덕턴스를 구할 경우에는 근사적으로 실리콘 기판의 밑바닥을 그라운드라 보아야 한다.

2. 기판 특성을 고려한 커패시턴스와 인덕턴스의 추출

다중 배선 커패시턴스를 계산하기 위한 다양한 방법이 존재하지만 근본적으로는 미적분형의 포아송 방정식(Poisson's equation)을 풀어서 주어진 시스템의 전하량을 구하거나 정전기적인 위치에너지를 구하는 것이다. 그러므로, 일단 위치에너지나 전하량이 결정되면

커패시턴스는 쉽게 구할 수 있다. 커패시턴스는 노드 어드미턴스 행렬(node admittance matrix)과 유사한 방법으로 2단자 네트워크 커패시턴스 개념, 즉 단락회로 커패시턴스(short circuit capacitance) 추출 방법을 사용하여 쉽게 추출할 수 있다^[18]. 즉,

$$C_{2-port} = \sum_{i \in A} \frac{Q_i}{V} \quad (7)$$

여기서 A 는 활성 노드의 집합이다. 그러면 전압이 인가된 노드 집합 $x \in A$ (하나의 노드)와 전압이 인가되지 않은 노드 집합 $y \in A$ (활성 노드를 제외한 나머지 노드) 사이의 2 단자 커패시턴스를 구할 수 있다. 따라서 독립적인 노드 집합을 사용하여 2 단자 네트워크 계산을 반복하여 수행하면 n 단자 네트워크에 대한 커패시턴스를 쉽게 구할 수 있다. 일단 단락회로 커패시턴스가 구해진다면 대수적인 처리과정을 거쳐 회로 시뮬레이션이 직접적으로 사용될 수 있는 배선의 션트 커패시턴스와 커플링 커패시턴스를 추출할 수 있다^[18]. 여기서 주지해야 할 사실은 위에서 언급한 대로 커패시턴스 추출 시 사용되는 그라운드층은 실제의 실리콘 기판의 바닥이 아니라 지연모드 전파 특성으로 인해 실리콘 기판의 표면이 되어야 한다는 것이다. 따라서 추출된 커패시턴스는 지연모드 특성을 고려하지 않은 커패시턴스보다 큰 값을 갖게 된다.

실리콘 기판 기반 커패시턴스 추출 방법과 달리 자기장은 실리콘 기판을 통과하므로 실리콘 기판 영향을 고려해서 인덕턴스 행렬을 계산해야 한다. 무손실 배선에서의 배선의 인덕턴스는 보통 다음과 같은 관계식을 통하여 구할 수 있다^[19]. 즉,

$$[L] = \mu_o \epsilon_o [C]^{-1} \quad (8)$$

그러나 식 (8)은 손실 배선에 대해서는 정확하지 않으며 실리콘 기판의 영향 역시 고려되지 않았다. 그러므로 이 논문에서는 실리콘 기판효과와 손실에 의한 영향을 동시에 고려할 수 있는 실효유전상수(effective dielectric constant)를 도입함으로써 실리콘 기반 배선의 인덕턴스를 계산한다. 이때 실효유전상수는 단일 배선 구조를 통해 구할 수 있으며, 이 값은 다중 배선(multiple-lines) 인덕턴스 행렬을 결정하는데 사용된다. 먼저 실리콘을 기판으로 한 단일 배선에 대한 인덕턴스 모델은 다음과 같다^[9].

$$L_s = \mu_o \frac{1}{2\pi} \ln \left[\left(\frac{h}{0.59w} + 1.1 \right) - 0.5 + \sqrt{\left(\frac{h}{0.59w} + 1.1 \right)^2 - 1.05} \right] \quad (8)$$

여기서 w 는 단일 배선의 폭이며, h 는 근사적으로 절연체의 두께와 실리콘 기판의 두께를 합한 것으로써 그림 2에서 보듯이 $h = t_{ox} + t_{si}$ 이다. 일단 단일 배선에 대한 커패시턴스(C_s)와 인덕턴스(L_s)가 결정되면 실효유전상수는 다음과 같은 식을 통해 쉽게 계산할 수 있다.

$$\epsilon_{eff} = \frac{C_s L_s}{\mu_o \epsilon_o} \quad (10)$$

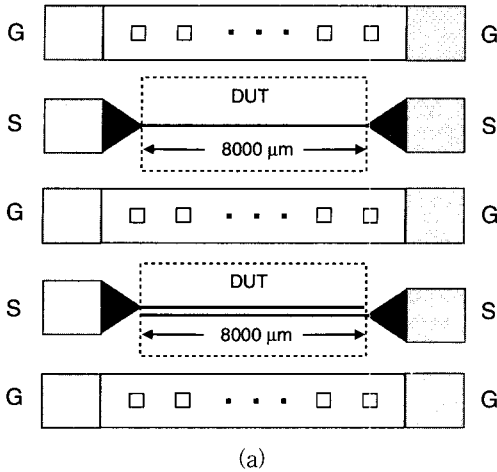
여기서 C_s 는 실리콘 기판의 바닥을 그라운드로 고려한, 즉 $h = t_{ox} + t_{si}$ 하여 산출한 단일 배선에 대한 커패시턴스이다. 단일 배선과 동일한 칩에 존재하는 다중 배선에서의 자기장이 투과하는 깊이는 단일 배선과 정확히 일치하므로 단일 배선에 의하여 계산된 실효유전상수(effective dielectric constant), ϵ_{eff} 는 다중 배선에 동일하게 사용될 수 있다. 그러므로, 다중 배선에 대한 인덕턴스는 다음과 같은 식을 통해 계산할 수 있다.

$$[L] = \mu_o \epsilon_o \epsilon_{eff} [C]^{-1} \quad (11)$$

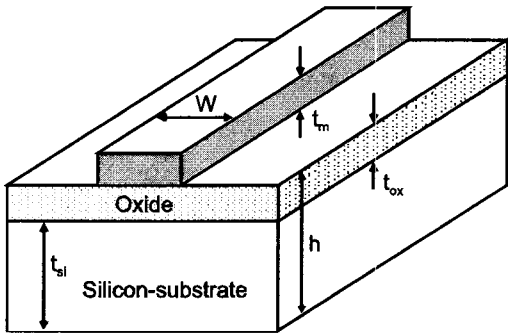
따라서 식 (11)을 사용하여 실리콘 기판을 사용한 배선에 대한 인덕턴스를 쉽게 추출할 수 있다.

실리콘 기판의 물리적 특성을 고려한 커패시턴스와 인덕턴스 추출의 타당성을 검증하기 위하여 실리콘 기판이 사용된 IC 인터컨넥트 테스트 구조를 그림 2와 같이 설계하였다. 그림 2에서 보듯이 oxide 두께(t_{ox})는 $0.8\mu\text{m}$ 고, 배선의 두께(t_{ax})는 $1.2\mu\text{m}$ 이다. 또한 실리콘 기판의 두께는 약 $200\mu\text{m}$ 이며 실리콘의 도핑농도는 p-타입으로 10^{15} cm^{-3} 이다. 단일 배선의 길이는 8mm 이고 각 선들의 폭은 $0.8\mu\text{m}$, $1\mu\text{m}$, $1.2\mu\text{m}$ 이다. 커플링 커패시턴스를 조사하기 위해 $1\mu\text{m}$ 의 넓이를 갖는 두 개의 선을 평행하도록 배치하였으며 선간격은 $0.8\mu\text{m}$, $1.0\mu\text{m}$, $1.2\mu\text{m}$ 로 변화 시켰다. 설계된 테스트 패턴은 Vector Network Analyzer(HP8720)를 사용하여 측정하였으며, 이때 패턴에 의한 기생 파라미터는 y-파라미터를 사용하여 디임베딩하였다^[20].

그림 3에서 설계된 테스트 패턴에 대한 측정 결과와 실리콘 기판의 표면을 그라운드로 고려하여 식 (7)을 사용하여 구한 커패시턴스를 나타내었다. 그림 3에서



(a)



(b)

그림 2. 커패시턴스와 인덕턴스의 검증 패턴. (a) 단일 배선과 cross-coupled line (b) DUT(device under test)의 단면도

Fig. 2. Test pattern for the verification of the capacitance and inductance. (a) single line and coupled lines. (b) Cross-section of the DUT(device under test).

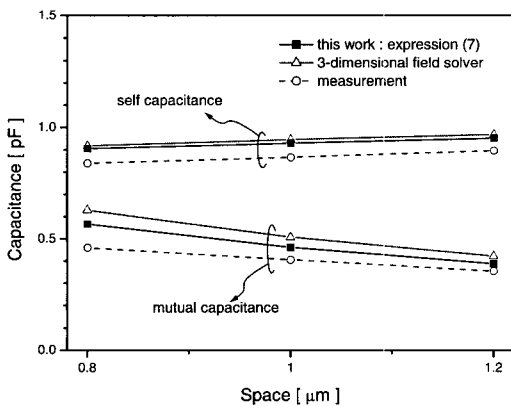


그림 3. 테스트 패턴의 실험적 커패시턴스
Fig. 3. Experimental capacitance of the test patterns.

보듯이 추출된 커패시턴스가 측정에 의한 커패시턴스와 잘 일치함을 알 수 있으며, 실리콘 표면을 그라운드로 하여 field solver를 사용한 파라미터 역시 동일한 결과를 갖는다는 사실을 알 수 있다. 따라서 실리콘 기판에 기반한 배선의 커패시턴스는 실리콘 기판 표면을 그라운드로 간주함으로써 구해야 한다는 것을 잘 알 수 있다.

실리콘 기반 배선의 인덕턴스에 대한 s-parameter-based 측정 역시 커패시턴스 측정 패턴(그림 2)과 같은 구조에 대하여 수행하였으며, 측정 결과와 식 (9)의 결과를 그림 4에서 비교하였다. 그림 4에서 보듯이 10% 미만의 오차 범위로 잘 일치한다는 것을 알 수 있다.

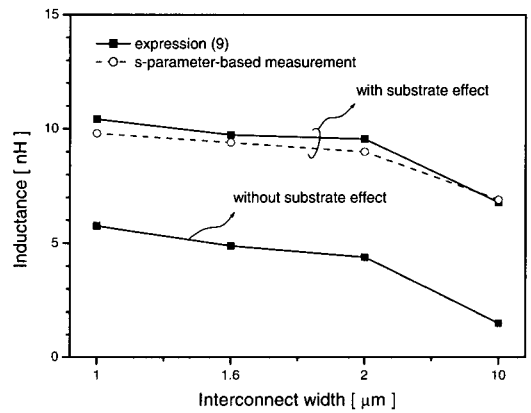


그림 4. 실험적인 테스트 패턴의 인덕턴스
Fig. 4. Experimental inductance of the test patterns.

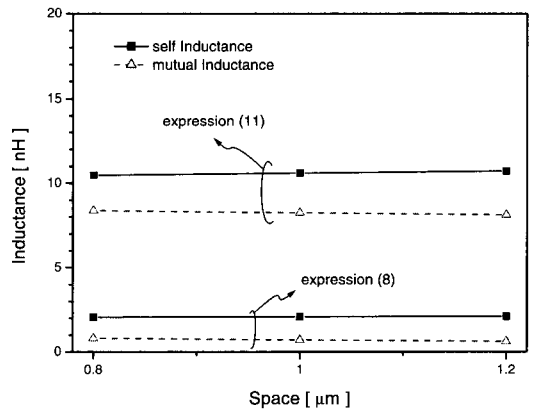


그림 5. 다중선의 인덕턴스
Fig. 5. Inductance of multiple lines.

또한 식 (11)을 사용하여 실리콘 기판의 영향을 고려하여 추출한 다중 배선(multiple lines)에 대한 인덕턴스

와 고려하지 않는 경우에 대한 인덕턴스를 그림 5에서 나타내었다. 그림 5에서 보듯이 실리콘 기판 효과를 고려한 인덕턴스는 기판 속으로 자기장이 투과됨으로써 magnetic flux가 쇄교되는 면적이 증가하므로 기판 효과를 고려하지 않는 경우의 인덕턴스보다 더 큰 값을 갖는다는 것을 알 수 있다.

결론적으로 실리콘 기판 특성을 고려하지 않는 경우 커패시턴스와 인덕턴스는 실제의 경우보다 작은 값을 나타낸다. 따라서 실리콘 기판을 기반으로 한 배선에서의 정확한 전기적 신호 응답에 대한 분석을 위해서는 실리콘 기판의 물리적 특성을 감안한 정확한 파라미터, 즉 커패시턴스와 인덕턴스의 추출이 필수적임을 알 수 있다. 그러나 실제의 시스템에 사용되는 배선 구조는 위의 경우처럼 직선이거나 규칙적이지 않다. 그러므로 위에서 서술한 실리콘 기판의 물리적 특성을 정확히 반영하는 커패시턴스와 인덕턴스 추출 방법을 기반으로 비직선 불규칙 배선구조에서의 파라미터 추출을 위한 새로운 방법이 필요하다.

IV. 비직선 배선에서의 파라미터 추출

실제 집적회로의 배선의 구조는 비직선적이며 불규칙한 구조이므로 이를 감안한 파라미터 추출이 필요하다. 즉, 그림 6(a)의 구조는 배선 사이의 거리와 각 배선의 길이가 다르기 때문에 1장에서 서술한 단위 길이당 파라미터 행렬을 갖는(즉, R, L, G, V행렬) 텔레그래퍼 방정식을 이용하여 배선의 신호 응답을 표현할 수 없다. 그러나 만약 그림 6(a)의 구조를 그림 6(b)와 같이 동일한 길이를 갖는 가상의 직선으로 표현할 수 있다면, 그림 6(a) 구조의 배선과 동일한 값을 갖는 단위 길이당 파라미터들을 쉽게 추출할 수 있으며, 이를 식(3)과 (4)에 적용함으로써 결과적으로 비직선 불규칙 구조를 갖는 배선에 대한 신호응답을 구할 수 있다.

비직선 불규칙한 배선 구조에 대한 가상 직선 모델은 비이나 밴드 같은 불연속하는 곳이 나타날 때마다 그 부분을 나누어서 나누어진 부분이 항상 직선의 배선으로 구성되도록 한 후 각각의 나누어진 부분의 파라미터를 추출하는 것이다. 즉, 나누어진 각각의 부분은 모두 직선 배선 구조를 갖으므로 MOM(method of moment)을 사용한 2차원 시뮬레이션으로 만으로 파라미터를 구할 수 있다^[21]. 이 경우 비이나 밴드, 그리고 차폐효과 같은 불연속 부분은 배선의 3차원적인 영향

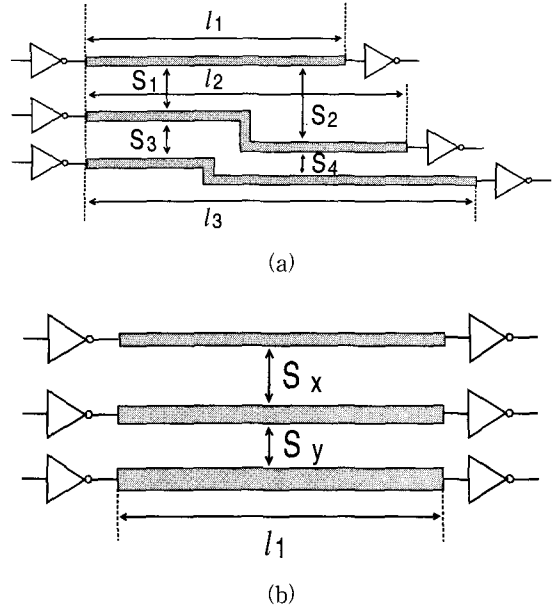


그림 6. 비직선 불규칙 배선 회로와 그 회로를 변화시킨 가상 직선 배선 (a) 실제 비직선 불규칙 배선(S1≠S2≠S3≠S4, l1≠l2≠l3) (b) 가상의 등가모델 배선(Sx≠Sy, but l1=l2=l3)

Fig. 6. Non-uniform transmission and virtual-straight lines. (a) Actual non-uniform lines (S1≠S2≠S3≠S4, l1≠l2≠l3). (b) Equivalent virtual-straight lines(Sx≠Sy, but l1=l2=l3).

을 반영하도록 모델링 되므로 파라미터들은 쉽게 결정될 수 있다. 최종적으로 나누어서 구해진 각 부분의 파라미터들을 더하고, 그 값을 실제 배선의 길이로 나누어 단위 길이당 파라미터를 구한다. 위에서 서술한 내용은 다음과 같은 식으로 나타낼 수 있다. 즉, 배선의 총 파라미터 값은 다음과 같이 각각의 부분의 파라미터들의 값을 더한 것으로 다음과 같이 나타낼 수 있다.

$$C_{ij} = \sum_{k=1}^n C_{ij}^k \tag{12}$$

$$L_{ij} = \sum_{k=1}^n L_{ij}^k \tag{13}$$

여기서 윗첨자 k는 k번째 나누어진 배선의 부분을 가리키며, n은 나누어진 부분의 수로서 배선의 구조에 따라 변한다. 또한 가상 직선 배선의 단위 길이당 파라미터들은 다음과 같이 산출할 수 있다.

$$C_{ij}^{straight} = \frac{C_{ij}}{l_{virtual}} = \frac{1}{l_{virtual}} \cdot \sum_{k=1}^n C_{ij}^k \tag{14}$$

$$L_{ij}^{straight} = \frac{L_{ij}}{l_{virtual}} = \frac{1}{l_{virtual}} \cdot \sum_{k=1}^n L_{ij}^k \quad (15)$$

여기서 $l_{virtual}$ 은 가상 직선 라인의 길이로서 시스템의 응답을 측정하기 위한 곳에서 가장 짧은 라인의 길이와 같다. 그림 8(b)와 같은 구조에 대하여 식 (12)와 (13)을 사용하여 구한 방법과 3차원 field solver^[22]를 사용하여 구한 결과를 표 1에서 나타내었다. 표 1에서 보듯이 가상 직선 모델을 사용하여 구한 복잡한 구조에 대한 파라미터가 3차원 field solver를 사용하여 구한 파라미터와 유사한 값을 갖는다는 것을 알 수 있다. 가상 직선 모델은 복잡한 다층 배선 구조에 대해서도 동일한 방법으로 적용될 수 있다. 그림 11(b)와 같은 복잡한 다층 배선 구조에 대해 가상 직선 모델을 사용하여 구한 파라미터와 3차원 field solver를 사용하여 구한 파라미터를 표 2에서 나타내었다. 표 2에서 보듯이 가상 직선 모델이 다층 배선 구조에 대해서도 유용하게 적용될 수 있음을 알 수 있다. 따라서 가상 직선 모델을 사용함으로써 복잡한 배선 구조를 3차원 field solver를 사용하여 파라미터를 구하는 대신 2차원 방법을 사용하여 쉽게 파라미터를 구할 수 있을 뿐만 아니라 복잡한 배선 구조를 가상 직선으로 모델링 함으로써 1장에 서술된 식 (3)과 (4)에 직접 적용하여 인터컨넥트 회로에 대한 고속 시뮬레이션을 가능하게 한다.

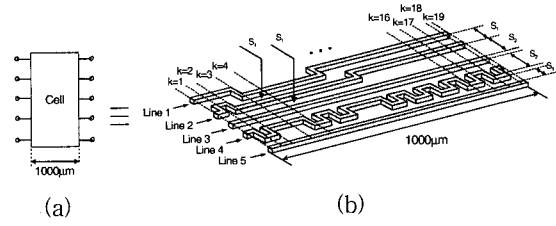


그림 8. 단일층의 비직선 불규칙 배선 (a) 셀 (b) 셀 레이아웃, 과 는 선들 사이의 간격(폭이 1일 때 =1, =2폭이 10일 때 =1, =20)

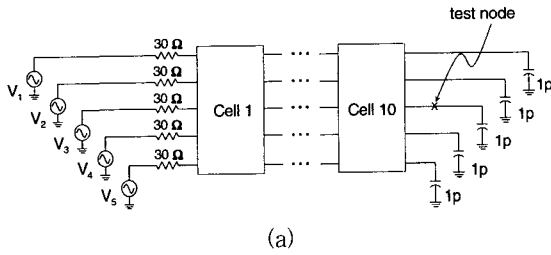
Fig. 8. Single layer non-uniform transmission cell. (a) Cell. (b) Cell layout. s1 and s2 indicate the spacing between the lines(=1, =2 for line-width 1 and =1, =20 for line-width 10).

표 1. 그림 8의 단위 셀에 대한 배선 파라미터
Table 1. Transmission line parameters of one cell with lines of width of 10 for Fig. 8

	Capacitance [fF]			Inductance [nH]			
	Field solver	Exp. (12)	Error(%)	Field solver	Exp. (13)	Error(%)	
C10	465	457	1.72	L10	0.797	0.786	1.38
C20	452	457	-1.11	L20	0.808	0.795	1.61
C30	395	402	-1.77	L30	0.734	0.731	0.41
C40	658	679	-3.19	L40	1.180	1.120	5.08
C50	422	430	-1.90	L50	0.756	0.758	-0.26
C12	56.7	53.9	4.94	L12	0.565	0.547	3.19
C13	1.750	1.600	8.57	L13	0.422	0.397	5.92
C14	0.493	0.671	-36.11	L14	0.345	0.329	4.64
C15	0.156	0.318	-103.85	L15	0.290	0.259	10.69
C23	39.8	35.1	11.81	L23	0.502	0.480	4.38
C24	1.800	1.600	11.11	L24	0.386	0.386	0.00
C25	0.331	0.477	-44.11	L25	0.319	0.291	8.78
C34	54.1	51.5	4.81	L34	0.491	0.506	-3.05
C35	1.070	1.040	2.80	L35	0.378	0.354	6.35
C45	42.5	37.8	11.06	L45	0.522	0.467	10.54

표 2. 그림 11의 단위 셀에 대한 배선 파라미터
Table 2. Transmission line parameters of one cell for Fig. 11

	Capacitance [fF]			Inductance [nH]			
	Field Solver	Exp. (12)	Error(%)	Field Solver	Exp. (13)	Error(%)	
C10	110	113	-2.73	L10	0.825	0.831	-0.73
C20	203	204	-0.49	L20	0.903	0.921	-1.99
C30	73	78	-5.99	L30	0.788	0.824	-4.57
C40	189	191	-1.06	L40	0.820	0.838	-2.20
C50	112	115	-2.68	L50	0.820	0.826	-0.73
C12	76.0	73.1	3.82	L12	0.650	0.623	4.15
C13	7.050	6.690	5.11	L13	0.558	0.521	6.63
C14	1.400	1.660	-18.57	L14	0.498	0.454	8.84
C15	0.924	1.510	-63.42	L15	0.457	0.410	10.28
C23	75.2	72.3	3.86	L23	0.634	0.626	1.26
C24	2.010	1.910	4.98	L24	0.552	0.531	3.80
C25	1.090	1.320	-21.10	L25	0.500	0.473	5.40
C34	84.6	81.1	4.14	L34	0.641	0.644	-0.47
C35	6.090	5.800	4.76	L35	0.566	0.555	1.94
C45	85.2	81.9	3.87	L45	0.654	0.645	1.38

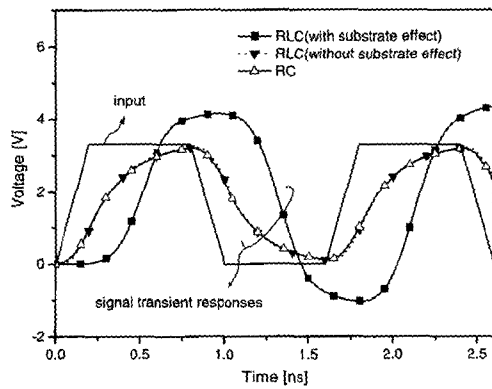


Switching Type	Switching condition					Test node
	V1	V2	V3	V4	V5	
Signal transient response	0 → 1	0 → 1	0 → 1	0 → 1	0 → 1	Center line
Crosstalk	0 → 1	0 → 1	0 → 0 No (input) signal	0 → 1	0 → 1	Center line

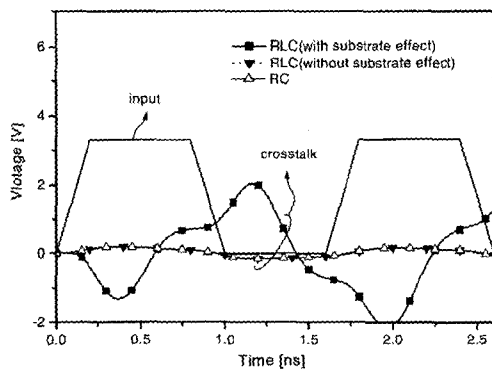
그림 7. 배선 회로 (a) 회로 구조 (b) 스위칭 조건
Fig. 7. Transmission line circuit. (a) Circuit configuration. (b) Switching conditions.

V. 신호전이 시뮬레이션과 신호 무결성 검증

위에서 제시한 가상 직선 모델을 사용하여 복잡하고 불규칙한 배선 구조에서의 신호의 무결성을 신속하게 검증할 수 있다. 인터컨넥트 회로의 성능을 알아보기 위하여 그림 7(a)와 같은 테스트 회로를 정의하였다. 그림 7(a)의 회로는 10개의 배선 셀로 구성되어 있으며, 각각의 셀은 5개의 배선으로 이루어진다. 그리고 그림 8(b)와 같은 스위칭 조건을 통하여 그림 7(a)의 출력노드에서 신호 지연 현상(signal delay)과 이웃하는 라인에 의한 혼선 잡음(crosstalk)을 시뮬레이션 하였다.

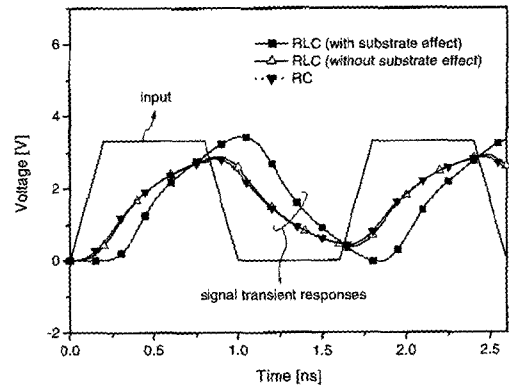


(a)

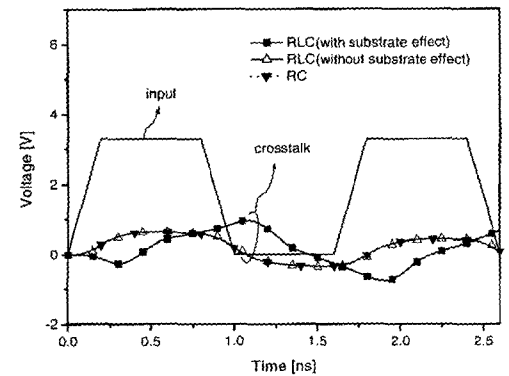


(b)

그림 9. 출력 노드가 가운데인 저항이 작은 배선의 신호전이 (a)신호전이 (b) 혼선잡음
Fig. 9. Signal transients for the low resistive transmission lines at the center line output node. (a) The signal transients. (b) The crosstalk.



(a)



(b)

그림 10. 출력 노드가 가운데인 저항이 큰 배선의 신호전이 (a) 신호전이 (b) 혼선잡음
Fig. 10. Signal transients for the high resistive transmission lines at the center line output node. (a) The signal transients. (b) The crosstalk.

먼저 단일층에서의 실리콘 기판 효과에 의한 신호 응답에 대하여 시뮬레이션 하였다. 그림 8과 같은 단일층 배선구조에 대하여 위에서 제시한 가상 직선 모델을 사용하여 파라미터를 구하여 표 1에서 나타내었으며, 정확한 시뮬레이션을 위하여 사다리 네트워크(ladder-network)를 사용한 HSPICE를 이용하여 시뮬레이션 하였다. 또한 배선의 인덕턴스에 의한 신호 응답의 영향을 조사하기 위하여 폭이 넓은 배선(10 μ m폭의 저항이 적은 선)과 좁은 배선(1 μ m폭의 저항이 큰 선)에 대하여 신호전이와 혼선잡음(crosstalk)을 조사하고 그림 9와 10에 각각 나타내었다. 그림 9와 10에서 보듯이 인덕턴스 영향을 고려하지 않은 RC모델은 신호의 왜곡과 혼선 잡음을 너무 적게 예측한다는 것을 알 수 있

다. 일반적으로 배선을 RC 모델을 사용하여 해석한다는 것은 신호 배선의 에너지가 커패시턴스에 대부분 저장된다는 것을 의미하며, 이것은 상대적으로 커패시턴스의 크기가 매우 큰 경우이다. 그러나 실리콘 기판 효과를 고려하는 경우 배선의 인덕턴스는 고려하지 않는 경우보다 큰 값을 갖게 되므로 RC 모델을 사용한 배선에 대한 해석은 배선의 전기적 현상을 정확하게 반영할 수 없다는 것을 그림 9와 10을 통해 알 수 있다. 특히 그림 9에서 보듯이 저항이 적은 배선에서 인덕턴스의 영향이 더 크다는 것을 알 수 있다.

일반적으로 저항(R)은 $1/w$ 에 비례하는 반면에 인덕턴스(L)는 식 (9)에서 보듯이 $\ln(1/w)$ 에 비례한다. 따라서, 선 폭을 증가시키면 L보다는 R이 더 많이 줄어들고, 실리콘 기판효과에 의해 내부로 이어지는 (inter-linked) 마그네틱 플럭스 또한 증가한다. 따라서 저항이 작은 배선(즉, 폭이 넓은 배선)에서는 inductive time constant, $\tau_L(=L/R)$ 이 capacitive time constant, $\tau_c(=RC)$ 보다 주요해지게 되어 결과적으로 RLC공진회로가 된다. 예를 들어, 그림 9의 경우 $\tau_c=0.12$ ns이고 $\tau_L=0.31$ ns로서 $\tau_L \gg \tau_c$ 이고 그림 10의 경우에는 $\tau_c=0.55$ ns와 $\tau_L=61$ ps로서 $\tau_L \ll \tau_c$ 이므로 그림 9에서처럼 배선의 폭이 큰 경우 인덕턴스에 의한 영향이 더욱 크다는 것을 time constant의 비교를 통해서도 역시 알 수 있다. 따라서 타이밍 배선과 같은 주된 경로에서는 인덕턴스 효과가 현저해지기 때문에 RC 모델을 사용하여 배선의 전기적 현상을 예측하는 경우 잘못된 타이밍과 노이즈 예측을 할 수 있다. 그러므로 오늘날의 고속 고집적 IC 설계에서는 실리콘 기판의

한 인덕턴스 영향을 더 이상 무시 할 수 없다는 사실을 알 수 있다.

다음으로, 불규칙한 다층 배선 구조에 대하여 가상직선 모델을 사용하여 파라미터를 추출하고 식 (3)과 (4)를 사용한 시간영역 신호응답과 HSPICE를 통한 일반적인 신호응답을 비교하였다. 신호 천이를 조사하기 위해서 다층 배선의 셀 회로를 그림 11과 같이 정의하고, 식 (12)와 (13)을 사용하여 결정된 파라미터를 표 2에 나타내었다. 그림 11의 셀 회로를 그림 8(a)의 테스트 회로에 적용하고 그림 8(b)의 스위칭 조건을 사용하여 시뮬레이션 하였다. 그림 12에서 보듯이 가상직선 모델을 사용한 시뮬레이션은 일반적인 HSPICE 사다리 네

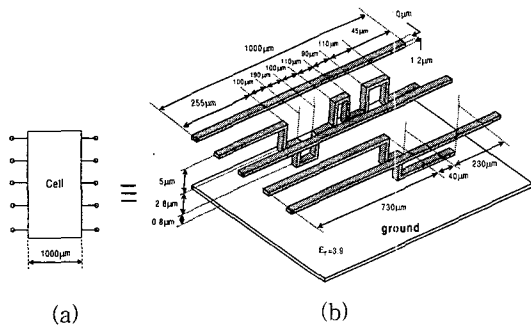
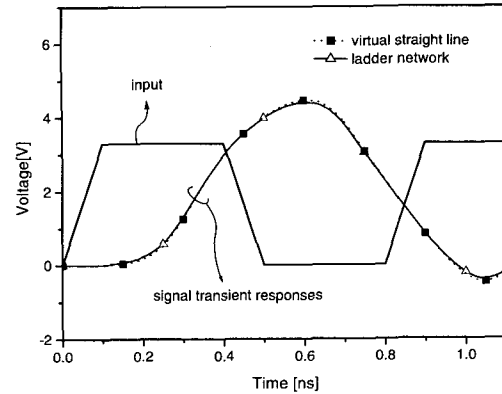
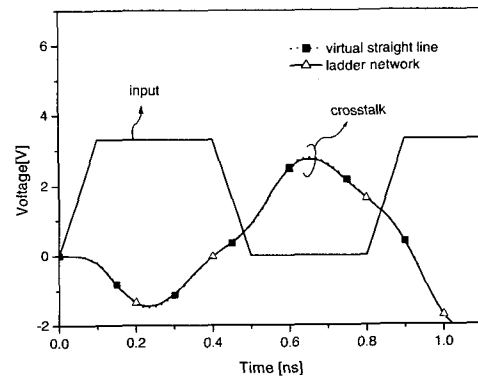


그림 11. 비직선 불규칙 다층배선구조의 셀 (a) 셀 (b) 셀의 레이아웃
 Fig. 11. Non-uniform multi-layer transmission cell. (a) The cell. (b) Cell layout.



(a)



(b)

그림 12. 가상 직선 모델에 의해 추출된 배선 파라미터를 사용한 다층 배선 구조에서의 신호천이와 혼전잡음의 비교 (a) 신호천이 (b) 혼전잡음
 Fig. 12. Comparison of signal transients and crosstalk with the virtual-straight line parameters. (a) The signal transients. (b) The crosstalk.

트위크를 사용한 시뮬레이션과 매우 잘 일치함을 알 수 있다. 그러나 HSPICE 시뮬레이션에서는 입력이 매우 복잡할 뿐 아니라 노드가 너무 많기 때문에 비효율적이다. 그러나 식 (3)과 (4)를 이용하는 경우 가상직선 모델을 사용하여 구한 단위길이당 파라미터를 사용하므로 입력이 매우 간단할 뿐만 아니라 정확한 신호 응답을 구할 수 있다. 따라서 이 논문에서 제시한 가상직선 모델은 model order reduction technique에 직접적으로 적용될 수 있으며 그 결과 또한 일반적인 HSPICE 시뮬레이션과 비교하여 매우 정확하다는 것을 알 수 있다.

제시한 방법의 효과를 검증하기 위하여 잘 알려진 모델 차수 감소(model order reduction) 알고리즘^[13, 17]을 Berkeley SPICE로 구현하였다. 비록 RLC 선에 대한 수렴 문제가 있지만 모델 차수 감소 기법은 배선의 신호 응답을 검증하기 위한 유용한 방법이다. 그러나 식 (5)는 손실 배선의 신호 응답을 정확히 검증하지 못하므로 직접적으로 배선의 신호 응답에 사용할 수 없다. 따라서 이 논문에서는 “least-square-fitting algorithm”을 도입함으로써 원래의 알고리즘^[13, 14]을 변형하여 수렴문제를 약 50[ohm/cm]선 까지 향상시킬 수 있었다^[23]. 그러므로 이 논문에서 제안된 가상 직선 모델과 개선된 차수 감소 기법은 칩 내에서의 배선에 대한 신호 응답 검증에 유용하게 사용될 수 있다.

VI. 결 과

새로운 IC 인터컨넥트 배선의 파라미터를 결정하는 방법을 제시하고 신속한 시뮬레이션 방법을 검증하였다. 비직선 불규칙 다층 배선구조에서의 인터컨넥트는 실리콘 기판 효과를 고려하면서 가상직선 모델을 사용하여 단위길이당 파라미터를 추출하였다. 가상직선 모델에 의한 단위길이당 파라미터는 모델차수감소법에 직접적으로 적용할 수 있기 때문에 복잡한 배선구조에 대한 신속한 시간응답 검증에 유용하게 사용될 수 있다. 복잡한 입력 형태를 갖는 분할 사다리 네트워크를 사용한 HSPICE 시뮬레이션과 가상직선 모델을 사용한 시뮬레이션의 결과를 비교하여 잘 일치한다는 것을 보였다. 또한 가상직선 모델을 Berkeley SPICE의 모듈로 만들어서 비선형 소자의 특성을 고려한 전체 시스템의 시간영역 응답을 구할 수 있도록 하였다. 따라서 제안된 방법은 고속 고밀도 집적회로에서의 신호의 무결성

검증에 효과적으로 사용될 수 있다.

References

- [1] U. Ushiku, H. Kushibe, and H. Ono, “Design Guide Line for Deep Sub-Micrometer Interconnections,” IEEE Proceedings of the 1990 VMIC., pp. 413~415, 1990.
- [2] The National Technology Roadmap Semiconductor Technology Needs, SIA Report, 1997.
- [3] H. B. Bakoglu, “Interconnect for the 90s: System Level Electronic Issues,” IEDM 1992 Short Course: Interconnect for the 90s, San Jose, CA, 1992.
- [4] K. W. Goossen and R. B. Hammond, “Modeling of Picosecond Pulse Propagation in Microstrip Interconnections on Integrated Circuits,” IEEE Trans. MTT., vol. 37, No. 3, pp. 469~478, Mar. 1989.
- [5] T. Sakurai, “Closed-Form Expressions for Interconnection Delay, Coupling, and Crosstalk in VLSI’s,” IEEE Trans. ED., vol. 40, No. 1, pp. 118~124, Jan. 1993.
- [6] H. Hasegawa, M. Furukawa, and H. Yanai, “Properties of Microstrip Line on Si-SiO₂ System,” IEEE Trans. MTT., vol. MTT-19, No. 11, pp. 869-881, Nov. 1971.
- [7] W. T. Weeks, “Calculation of Coefficients of Capacitance of Multiconductor Transmission Lines in the Presence of a Dielectric Interface,” IEEE Trans. MTT., vol. MTT-18, No.1, pp. 35~43, Jan. 1970.
- [8] J-H. Chern, J. Huang, L. Arledge, P-C. Li, and P. Yang, “Multilevel Metal Capacitance Model for CAD Design Synthesis Systems,” IEEE EDL., vol. 13, No. 1, pp. 32~34, Jan. 1992.
- [9] Y. Eo and W. R. Eisenstadt, “High-Speed VLSI Interconnect Modeling Based on S-Parameter Measurements,” IEEE Trans. CPMT, vol.16, No. 5, pp. 555~562, Aug. 1993.
- [10] D. Sylvester, J. C. Chen, and C. Hu, “Investigation of Interconnect Capacitance

- Characterization Using Charge-Based Capacitance Measurement(CBCM) Technique and Three-Dimensional Simulation," IEEE JSSC, vol. 33, No. 13, pp. 449~453, Mar. 1998.
- [11] J. C. Chen, D. Sylvester, and C. Hu, "An On-Chip, Interconnect Capacitance Characterization Method with Sub-Femto-Farad Resolution," IEEE Trans. SM, vol. 11, No. 2, pp. 204~209, May 1998.
- [12] H. A. Wheeler, "Transmission-Line Properties of a Strip on a Dielectric Sheet on a Plane," IEEE Trans. MTT, vol. MTT-25, no. 8, pp. 631~647, Aug. 1977.
- [13] L. T. Pillage and R. A. Rohrer, "Asymptotic Waveform Evaluation for Timing Analysis," IEEE Trans. CAD, vol. 9, no. 4, pp. 352~366, Apr. 1990.
- [14] S. Lin and E. S. Kuh, "Transient Simulation of Lossy Interconnects Based on the Recursive Convolution Formulation," IEEE Trans. CAS., vol. 39, no. 11, pp. 879~892, Nov. 1992.
- [15] R. Gupta, B. Krauter, and L. T. Pileggi, "Transmission Line Synthesis via Constrained Multivariable Optimization," IEEE Trans. CAD, vol. 16, No. 1, pp. 6~19, Jan. 1997.
- [16] R. Gupta, B. Tutuianu, and L. T. Pileggi, "The Elmore Delay as a Bound for RC Trees with Generalized Input Signals," IEEE Trans. CAD, vol. 16, No. 1, pp. 95~104, Jan. 1997.
- [17] Q. Yu and E. S. Kuh, "Exact Moment Matching Model of Delay Transmission Lines and Application to Interconnect Delay Estimation," IEEE Trans. VLSI Systems, vol. 3, no. 2, pp. 311~322, Jun. 1995.
- [18] A. E. Ruehli and P. A. Brennan, "Capacitance Models for Integrated Circuit Metalization Wires," IEEE JSSC., vol. sc-10, No. 6, pp. 530~536, Dec. 1975.
- [19] C. Wei, R. H. Harrington, J. R. Mautz, and T. K. Sarkar, "Multiconductor transmission Lines in Multilayered Dielectric Media," IEEE Trans. MTT vol. 32, no. 4, pp. 439~450, Apr. 1984.
- [20] P. J. Van Wijnen, H. R. Claessen, and E. A. Wolsheimer, "A New Straightforward Calibration and Correction Procedure for on wafer High Frequency S-Parameter Measurements (45MHz-18GHz)," IEEE Proceedings of the 1987 BCTM, pp. 70~73, 1987.
- [21] M. Sadiku, Numerical Techniques in Electromagnetics, CRC press, 1992.
- [22] MAXWELL 3D Parameter Extractor User's Reference, Pittsburgh, TA : Ansoft, 1994.
- [23] Y. Kim, Y. Park, Y. Eo, et al., "Simulator for interconnects and general multilane analysis (SIGMA) : Simulation algorithm of lossy multiple transmission lines," J. of Kor. Phys. Society, vol. 33, pp. 129~134, Nov. 1998.

저 자 소 개

秦佑鎮(正會員)

1998년 : 한양대학교 전자공학과 졸업. 2000년 : 한양대학교 대학원 전자공학과 졸업. 2000년~현재 : 한양대학교 전자공학과 박사 과정. <주관심분야 : 고속 VLSI 회로 설계, signal integrity, IC 패키지>

魚瀛善(正會員) 第36卷 第11號 參照

沈鍾寅(正會員) 第37卷 第9號 參照