

論文2002-39TE-1-3

# 고속 PLL을 위한 이중구조 PFD

## (A Dual Type PFD for High Speed PLL)

趙正煥\*, 鄭正和\*\*

(Jeong Hwan Cho and Jong Wha Chong)

### 요약

본 논문에서는 TSPC(True Single Phase Clocking) CMOS 회로를 이용하여 출력특성을 향상시킨 고속 PLL을 위한 이중구조 PFD(Phase Frequency Detector)를 제안한다. 넓은 dead zone과 긴 지연시간을 갖고 있는 기존의 3-state PFD는 고속 동작에 사용되는 PLL(Phase-Locked Loop)에서 사용하는 것은 부적합하다. 이러한 3-state PFD의 단점을 해결하기 위하여 다이내믹 CMOS 논리회로로 구현된 다이내믹 PFD는 duty cycle의 변화에 따라 지터 잡음을 발생하는 문제점을 갖는다. 이러한 문제를 해결하기 위하여 TSPC 회로와 이중구조를 갖도록 설계되어 제안된 PFD는 dead zone과 duty cycle의 제한조건을 개선하였고, 지터잡음과 응답특성을 개선하였다. 즉, 이중구조를 갖는 PFD는 상승에지에서 동작하는 P-PFD(Positive edge triggered PFD)와 하강에지에서 동작하는 N-PFD(Negative edge triggered PFD)로 구성하여 이득을 증가시켜 응답특성을 개선한다. 제한된 내용의 입증을 위하여 Hspice 시뮬레이션을 수행하였다. 제안된 PFD는 dead zone이 존재하지 않으며, duty cycle의 변화에도 안정된 결과를 나타내며 응답특성이 우수함을 확인할 수 있었다.

### Abstract

In this paper, a dual type PFD(Phase Frequency Detector) for high speed PLL to improve output characteristics using TSPC(True Single Phase Clocking) circuit is proposed. The conventional 3-state PFD has problems with large dead-zone and long delay time. Therefore, it is not applicable to high-speed PLL(Phase-Locked Loop). A dynamic PFD with dynamic CMOS logic circuit is proposed to improve these problems. But, it has the disadvantage of jitter noise due to the variation of the duty cycle. In order to solve the problems of previous PFD, the proposed PFD improves not only the dead zone and duty cycle but also jitter noise and response characteristics by the TSPC circuit and dual structured PFD circuit. The PFD is consists of a P-PFD(Positive edge triggered PFD) and a N-PFD(Negative edge triggered PFD) and improves response characteristics to increase PFD gain. The Hspice simulation is performed to evaluate the performance of proposed PFD. From the experimental results, it has the better dead zone, duty cycle and response characteristics than conventional PFDs.

\* 正會員, 金浦大學 디지털시스템전공

(Dept. of Digital Systems, Kimpo College)

\*\* 正會員, 漢陽大學校 電子電氣컴퓨터工學部

(Division of Electrical and Computer Eng., Hanyang University)

接受日字:2001年8月28日, 수정완료일:2002年2月28日

### I. 서론

이동통신 및 데이터 통신의 발전에 따라 고주파수에서 동작하며 빠른 주파수 응답특성을 갖는 통신용 부품에 대한 수요가 증가하고 있다. PLL은 주파수 합성, 클럭

및 데이터 복원 등의 기능을 수행하기 위해 통신 시스템에서 널리 응용되고 있는 필수적인 회로이다. 최근의 통신시스템이 고주파수에서 빠른 처리능력을 갖는 PLL을 요구하기 때문에 주파수 획득속도(acquisition speed)가 빠르며 안정적으로 동작 할 수 있도록 PLL 구성요소의 성능을 향상시키는 연구가 진행되고 있다.<sup>[1-2]</sup> 즉, PLL의 기본적인 구성 요소인 PFD(Phase Frequency Detector), 전압제어발진기(Voltage-Controlled Oscillator : VCO)와 전하펌프(Charge pump) 등이 고속 PLL을 구현하기 위하여 구조 개선이 이루어지고 있다.

특히, PFD에 있어서 주파수 획득시간(acquisition time)을 개선하거나 지연시간 및 dead zone을 줄이는 방향으로 연구가 활발히 진행되고 있다. PFD의 주파수 획득시간과 지연시간이 길어지면 고속동작이 어렵고, dead zone이 크면 정확한 동기를 맞출 수 없고 지터 잡음을 많이 발생한다. 따라서 이러한 PFD의 문제점 때문에 고주파 대역에서 PLL이 동작의 제한을 받게 된다.<sup>[3-4]</sup> 현재 PFD로 널리 사용되고 있는 3-state PFD는 다수의 트랜지스터로 구성되어 회로의 지연 시간이 길고, 넓은 dead zone을 갖는다. 따라서 3-state PFD를 사용한 PLL은 고주파수에서 동작하는데 적합하지 않다. 또한 최근에 dead zone의 단점을 해결하기 위해서 개발된 다이내믹 PFD는 기준 신호와 VCO 출력 신호의 duty cycle이 같아야 한다는 제한조건이 있기 때문에 다이내믹 PFD를 이용하여 구성된 PLL은 안정한 동작을 할 수가 없다.<sup>[5-6]</sup>

본 논문에서는 PFD가 가지고 있는 이러한 단점을 해결하기 위하여 TSPC CMOS 회로를 이용하여 고속 PLL에 적용하기 위한 이중 구조로 구성된 새로운 PFD를 제안한다. 제안된 PFD는 dead zone 특성과 duty cycle의 변화에 대한 출력의 영향을 개선하여 고주파수에서도 지터 잡음을 발생시키지 않는다. 또한 상승 에지에서 동작하는 P-PFD와 하강 에지에서 동작하는 N-PFD의 이중구조로 구성하여 이득을 증가시켜 주파수 획득 속도를 향상 시켰기 때문에 PLL의 고속 동작에 적합하다. 제안된 PFD를 Hspice 시뮬레이션을 수행하여 제안된 내용을 검증하였다. 기존의 PFD와 성능을 비교한 결과 고속 동작에서도 dead zone이 거의 없으며, duty cycle과 무관한 출력 특성을 나타내고, 응답특성이 우수함을 확인할 수 있었다.

## II. 이중구조를 갖는 PFD

### 1. 기존의 PFD와 문제점

PLL의 주요 구성요소인 PFD는 기준 신호와 VCO 출력 신호 사이의 위상과 주파수를 비교하여 오차 신호를 출력하는 기능을 한다. 현재 널리 사용되고 있는 PFD의 동작원리와 문제점을 살펴보면 아래와 같다.

#### (1) 3-state PFD

현재 일반적으로 많이 사용하는 3-state PFD의 구조는 두 개의 D-Flip Flop과 한 개의 AND 게이트로 이루어져 있다.<sup>[1]</sup> 이 구조는 edge-triggered sequential circuit으로 기준 신호와 VCO 출력 신호의 positive transition에 따라 동작하기 때문에 PFD의 출력은 입력의 duty cycle에 관계없이 동작한다. 이러한 동작은 적어도 세 가지 논리 상태(up=down=0, up=0 down=1, up=1 down=0 일 때)를 발생한다. 그러나, PLL이 동기 되었을 때 즉, up 신호와 down 신호가 모두 "1" 인 경우가 존재한다. 동작 원리상으로는 up 신호와 down 신호가 "1" 인 경우에는 AND 게이트를 통하여 두 개의 D-FF을 즉시 리셋 해야 한다. 하지만 논리회로의 지연 시간으로 인해서 또 하나의 상태(up=down=1)가 존재한다. 이러한 PFD 자체의 지연 시간은 PFD의 최대 동작 주파수를 제한 한다. 따라서 PFD 자체의 최대 동작 주파수를 높여주기 위해서는 PFD의 지연 시간을 되도록 작게 하여야 한다. 또한, 고주파수 대역에서 정상적인 동작을 위해서는 지연시간에 의해 발생하는 dead zone 특성이 매우 작아야 한다. 3-state PFD는 지연 시간이 길어서 고주파 대역에서 사용이 부적합하고 dead zone이 넓기 때문에 지터 잡음을 많이 만들어 낸다.<sup>[5]</sup>

#### (2) 다이내믹 CMOS PFD

최근 들어 PFD의 속도 향상을 위해서 다이내믹 CMOS 회로를 이용한 PFD가 개발되고 있다.<sup>[5]</sup> 다이내믹 CMOS 회로를 이용한 PFD는 3-state PFD와 비교하면 입력에서 출력까지의 지연 시간이 단축되어서 고주파수에서 동작 할 수가 있고 dead zone을 크게 줄일 수 있다. 그러나 다이내믹 CMOS 로직 회로의 특성상 기준 신호와 VCO 출력 신호의 duty cycle이 같아야 한다는 단점 때문에 사용에 제한을 받는다. 즉, 다이내믹 PFD는 기준 신호와 VCO 출력 신호의 duty cycle이 다르면, precharge phase의 구간의 길이가 변함에

따라 출력신호의 펄스폭이 바뀌게 된다. 예를 들면, 기준 신호의 duty cycle이 75%이고 VCO 출력 신호의 duty cycle이 50%라면, down 신호는 up 신호에 비해서 25%의 펄스폭을 더 갖게 된다. 따라서 up 신호와 down 신호의 펄스폭의 차이는 더 이상 기준 신호와 VCO 출력 신호의 위상차이만을 나타내지 못하고, 기준 신호와 VCO 출력 신호의 위상 차이와 기준 신호와 VCO 출력 신호의 precharge phase 구간의 길이 차이의 합에 비례하는 것이다. 따라서 다이내믹 PFD는 기준 신호와 VCO 출력 신호의 duty cycle이 같다는 전제조건에서 동작되어야 한다.<sup>[6]</sup>

## 2. 제안된 이중구조 PFD

### (1) 기본 구조 및 특성

본 논문에서는 앞에서 설명한 바와 같이 기존의 PFD가 갖는 문제점을 해결하기 위하여 TSPC CMOS 회로로 구성된 PFD를 제안한다. 제안된 PFD는 기존의 다이내믹 PFD의 출력에 로직회로를 추가하여 duty cycle에 대한 제한조건을 개선한다. 다이내믹 CMOS 회로를 이용하여 구성한 PFD가 duty cycle에 무관한 출력 특성을 나타내게 하려면, 위상차에 비례하는 펄스폭이 duty cycle의 영향을 받지 않아야 한다. 이러한 과정을 만들기 위해서 그림 1과 같은 PFD를 제안한다. 즉, A 신호와 기준 신호를 AND 게이트의 입력으로 하여서 up 신호를 출력하고, B 신호와 VCO출력 신호를 또 다른 AND 게이트의 입력으로 하여서 down 신호를 출력한다. 그림 1에서 제안된 PFD의 출력 파형은 3-state PFD의 출력 파형과 동일하다. 그러나 3-state PFD와 다이내믹 PFD에서는 출력 파형의 up 신호와 down 신호가 동시에 "1" 이 되는 부분이 있지만, 제안된 PFD는 up 신호와 down 신호가 동시에 "1" 이 되는 부분이 없다. up 신호와 down 신호가 동시에 "1" 이 된다는 것은 전하펌프의 p-mos와 n-mos가 동시에 포화영역에서 동작하는 것을 의미한다. 이때 중요하게 고려할 사항이 p-mos와 n-mos의 드레인 전류의 mismatch 문제이다. 즉, p-mos와 n-mos에 각각 흐르는 드레인 전류가 같지 않을 경우를 말한다. 원래는 전류의 변화량이 "0" 이어야 하지만, 이러한 mismatch가 있는 경우에 p-mos와 n-mos가 동시에 ON이 된다면, 전류의 변화량은 "0"가 되지 못한다. 즉, mismatch 전류가 더 흘러 들어오거나 더 흘러 나가게 된다. 그 결과로 VCO의 제어 전압이 흔들리게 되고, VCO에 의한

지터 잡음이 많이 발생하게 된다. 일반적으로 전하펌프의 p-mos와 n-mos의 드레인 전류량을 정확히 일치시키는 것은 어렵다. 따라서 PFD는 이러한 mismatch에 영향을 덜 주도록 설계하여야 한다.

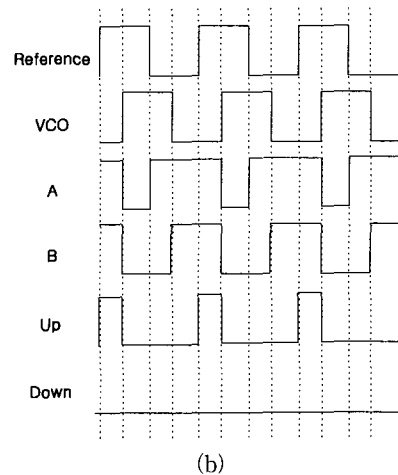
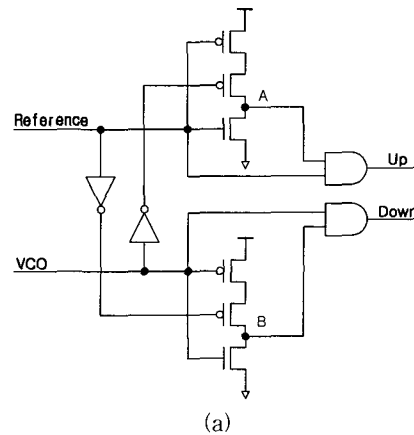


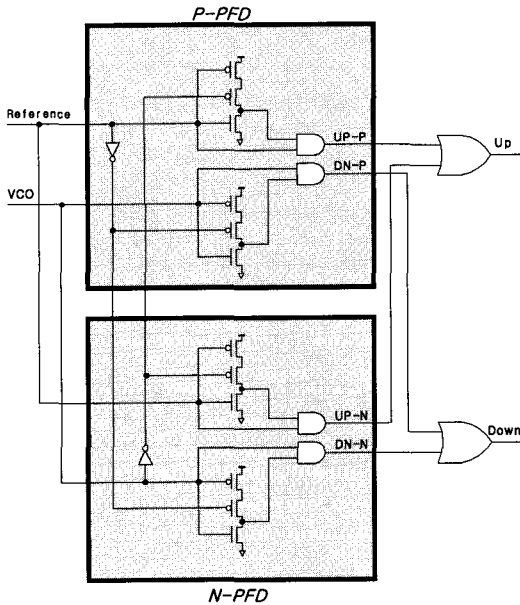
그림 1. 제안된 PFD (a) 구조 (b) 입출력 특성  
Fig. 1. Proposed PFD. (a) Structure (b) Input & output characteristics.

### (2) 이중구조의 PFD

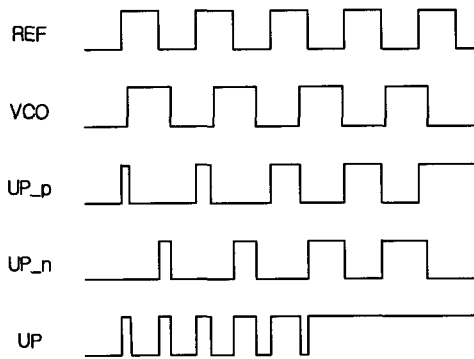
기존의 PLL은 주파수 획득 속도를 향상시키고 지터 잡음을 감소시키기 위해 이중 루프 PLL을 구성하였다.[7],[8] 이러한 이중 루프 PLL은 스위치 제어회로와 두 개의 루프필터가 필요하므로 집적화 시키기에는 부적합하며, duty cycle이 50%가 되어야 한다는 단점이 있다. 따라서 제안된 이중구조의 PFD는 이중 루프와 같은 기능을 가지고 있으면서 표1과 같이 dead zone, duty cycle과 응답특성을 개선하였다. 제안된 PFD는

표 1. PFD 특성  
Table 1. Characteristics of PFDs.

PFD Type	검출범위	Dead zone	Duty cycle
3-state PFD	$-2\pi \sim +2\pi$	70ps	무관
Dynamic PFD	$-\pi \sim +\pi$	10ps 미만	50%
제안된 PFD	$-\pi \sim +\pi$	10ps 미만	무관



(a)



(b)

그림 2. 제안된 이중구조 PFD (a) 구조 (b) 입출력 특성

Fig. 2. Proposed dual PFD. (a) Structure (b) Input & output characteristics.

그림 1과 같은 PFD를 병렬로 결합하여 그림 2(a)와 같이 P-PFD와 N-PFD로 구성되며 그림 2(b)와 같은 특성을 출력한다. 기준신호와 VCO신호가 입력으로 주어

질 때 P-PFD는 입력신호의 상승에지에서 동작하여 UP\_p 신호를 출력하며 N-PFD는 입력신호의 하강에지에서 동작하여 UP\_n 신호를 출력한다. 기존 PFD의 출력과 그림 2(b)를 비교해보면 기존 PFD는 UP신호를 한 주기동안 1번 검출하는데 비해 제안된 이중구조의 PFD는 UP신호를 한 주기에 2번 검출하여 PFD의 이득을 증가시켜 주파수 획득속도를 향상시킨 것을 알 수 있다.

출력특성을 알아보면, 위상오차  $\phi_e$ 에 대한 PFD의 평균출력전압은

$$V_d(t) = K_d \phi_e(t) + V_{DD}/2 \quad (1)$$

이고 이때 기존 PFD의 이득은

$$K_d = \frac{V_{DD}}{4\pi} \quad (2)$$

이고 제안된 이중구조 PFD의 이득은

$$K_d = \frac{V_{DD}}{2\pi} \quad (3)$$

이다. 따라서 제안된 이중구조 PFD의 이득이 기존 PFD의 이득에 비해 2배의 이득을 가진다는 것을 알 수 있다.

### III. 시뮬레이션 결과

제안된 PFD의 검증은 Hspice를 이용하여 시뮬레이션 하였다. 전체 PLL을 시뮬레이션을 하기 위해서 PFD와 전하 펌프, 루프 필터는 0.35 $\mu$ m 공정을 이용하여 설계하였다. 그림 3은 기존의 PFD와 제안된 PFD의 dead zone 특성을 비교한 것이다. 다이내믹 PFD와 제안된 PFD는 dead zone이 거의 없는 것에 반해 3-state PFD는 약 70psec 정도의 dead zone이 있는 것으로 나타났다.

그림 4는 기준 신호와 VCO 출력 신호의 위상 차가 "0" 일 때, VCO 출력신호의 duty cycle을 변화시켜 제안된 PFD와 다이내믹 PFD의 출력 신호를 비교한 것이다. 기준 신호의 duty cycle를 50%로 고정시켜 놓고, VCO 출력 신호의 duty cycle를 5%에서 95%까지 변화시키면서 각각 PFD의 출력 신호를 측정하였다. 다이내믹 PFD는 위상 차가 "0" 임에도 불구하고 VCO 출력 신호의 duty cycle이 변함에 따라 "0" 이 아닌 임의 값

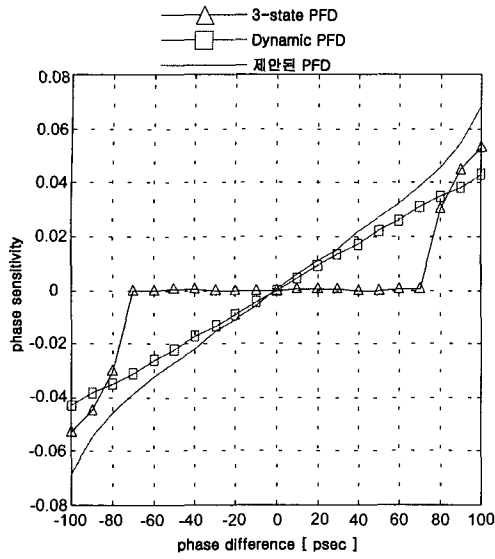


그림 3. PFD의 dead zone 특성  
Fig. 3. Dead zone of the PFD.

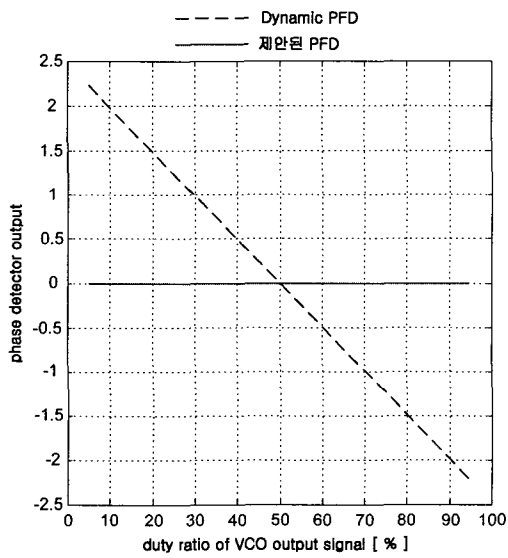


그림 4. 제안된 PFD와 다이내믹 PFD의 duty cycle의 변화에 따른 특성곡선(위상 차=“0” 일 때)  
Fig. 4. Phase characteristics of the proposed PFD & dynamic PFD with different duty cycles (at phase error=“0”).

을 출력한다. 반면에 제안된 PFD는 VCO 출력 신호의 duty cycle의 변화에 거의 무관하게 “0” 의 값을 출력한다. 따라서 제안된 PFD는 duty cycle의 변화에 따른 지터 잡음을 발생시키지 않음을 확인 할 수 있었다. 그림 5은 PLL의 응답 특성을 확인하기 위하여 다이내믹 PFD로 구성한 PLL과 제안된 이중구조 PFD로 구성한

PLL의 응답특성을 비교하였다. 응답특성을 확인하기 위해 입력 주파수를 추종하는 과도특성을 VCO의 제어 전압으로 나타내었다. 제안된 이중구조 PFD가 다이내믹 PFD에 비해 신속하고 안정적으로 기준 주파수 입력에 응답하는 것을 확인 할 수 있었다.

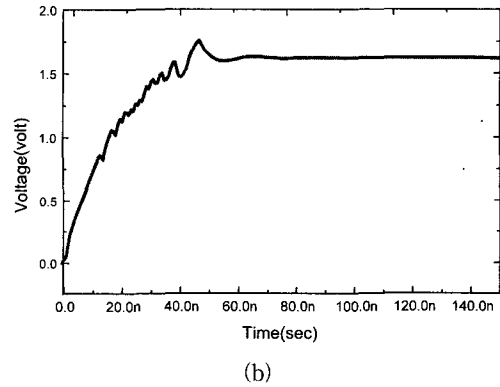
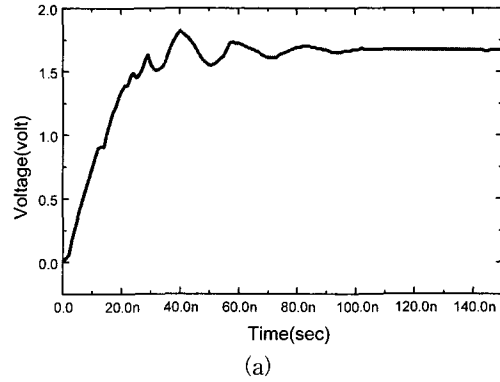


그림 5. PFD의 응답특성 (a) 다이내믹 PFD (b) 제안된 PFD  
Fig. 5. Response characteristics of the PFD. (a) Dynamic PFD. (b) Proposed dual PFD.

IV. 결 론

본 논문에서는 고속 통신시스템의 PLL에 적용하기 위하여 TSPC CMOS 회로로 구성된 이중 구조의 PFD를 제안하였다. 제안된 PFD는 dead zone이 존재하지 않으며 duty cycle의 변화에 따른 출력특성의 변동이 전혀 없다. 따라서 제안된 PFD를 사용한 PLL은 고속 동작에서도 지터 잡음을 발생시키지 않는다. 또한 Positive PFD와 Negative PFD를 병렬로 결합하여 이중구조로 설계된 PFD는 이득을 증가시켜 응답특성을 향상시킨다. Hspice 시뮬레이션을 수행하여 제안된 내

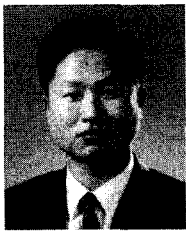
용을 입증하였고, 기존의 PFD와 성능을 비교한 결과 dead zone이 10ps 미만으로 거의 존재하지 않으며, duty cycle의 변화와 무관한 출력특성을 나타낸다. 그리고 응답특성이 40ns 만큼 개선되었음을 확인할 수 있었다.

따라서, 제안된 PFD는 고속의 응답특성을 필요로 하는 PLL에 적용할 수 있으며, 또한 고주파 대역에서 지터 잡음을 감소시킨 주파수 합성기를 구성하는데 유용하게 응용될 수 있을 것으로 사료된다.

### 참 고 문 헌

- [1] R. E. Best, Phase-Locked Loops Theory, Design, and Applications, 3rd ed., New York : McGraw-Hill, 1997.
- [2] William F. Egan, Frequency Synthesis by Phase Lock, 2nd ed., John Wiley & Sons, Inc., 2000.
- [3] Harufusa Kondoh et al., "A 1.5-V 250-MHz to 3.0-V 622-MHz Operation CMOS Phase-Locked Loop with Precharge Type Phase-Frequency Detector," IEICE Trans Electron., Vol. E78 C. No. 4, pp. 381~388, April 1995.
- [4] Sang-O Jeon, et al., "Phase/frequency Detectors for High-Speed PLL Applications," Electronics Letters, Vol. 34, No. 22, pp. 2120~2121, Oct. 1998.
- [5] Henrik O. Johansson, "A Simple Precharged CMOS Phase Frequency Detector," IEEE JSSC, Vol. 33, No. 2, pp. 295~299, Feb. 1998.
- [6] Jung-Dong Cho, et al., "A High-Speed, Low-Power Phase Frequency Detector and Charge-Pump Circuits for High Frequency Phase-Locked Loops," IEICE Trans Fundamentals, Vol. E82-A, No. 11, pp. 2514~2520, Nov. 1999.
- [7] Y. Sumi, et al., "Dead-zoneless PLL Frequency Synthesizer by Hybrid Phase Detectors," in Proc. IEEE JSSC, Vol. 4, pp. 410~414, July 1999.
- [8] Tae-Hun Kim and Beomsup Kim, "Dual-loop Digital for Adaptive Clock Recovery," in Proc. IEEE JSSC, Vol. 4, pp. 410~414, July 1999.
- [9] J. Yuan and C. Svensson, "New Single-Clock CMOS Latches and Flipflops with Improved Speed and Power Savings," IEEE JSSC, Vol. 32, No. 1, pp. 62~69, Jan. 1997.

### 저 자 소 개



趙正煥(正會員)

1988년 : 한양대학교 전자공학과 졸업(학사). 1990년 : 한양대학교 대학원 전자공학과 졸업(석사). 1995년~현재 : 한양대학교 대학원 전자공학과 박사과정. 1990~1991년 : LG전자 중앙연구소 1991~

1996년 : 한국생산기술연구원. 1996~현재 : 김포대학 디지털시스템전공 교수. 공업계측제어기술사. <주관심분야 : VLSI 설계, 디지털시스템 설계 및 응용>

鄭正和(正會員) 第37卷 SP編 第2號 參照