

신호 무결성 기술

김 승 용, 김 석 운

숭실대학교 컴퓨터학과

I. 개 요

최근 들어 디지털 시스템의 집적도와 동작 주파수가 증가하면서 신호의 무결성 기술에 대한 관심도가 증가하고 있다. 신호 무결성에 대한 논의는 개별 칩인 VLSI의 문제에서 벗어나 칩 내 외부의 구분이 없어졌으며 시스템 차원에서 고려하여야 할 중요한 문제이다. 시스템 차원에서의 고려는 디지털 시스템도 아날로그 설계 안목으로 다루어야 한다는 것을 의미한다. 오늘날 전자공학의 진수라 할 수 있는 개인용 휴대 단말기를 볼 때, 디지털과 아날로그의 구별을 한다는 것은 더 이상 의미가 없는 것 같다. 같은 보드 상에서 디지털부와 아날로그부가 함께 공존해야 하며 더욱이 아날로그 중에서도 가장 민감한 RF부와 전원부가 같이 존재하는 것이 오늘날의 현실이다. 이러한 신호혼재의 현실 속에서 디지털이 가지고 있는 신호 면역성의 특징은 더 이상 의미가 없으며, 설계자가 바라보아야 되는 안목도 시스템 전체를 고려해야 하는 것이다.

시스템에서의 실장 기술은 멀티 칩 모듈(MCM), 볼 그리드 어레이(BGA), 칩 스케일 패키지(CSP) 등과 보드 위에서의 신호 성격에 따른 전원부, RF부, 디지털부에 대한 패키징을 생각할 수 있다. 하나의 시스템에서 사용되는 주파수가 서로 다를 경우 상호간의 신호 영향을 생각할 때 각 부분에 대한 신호 무결성 설계도 중요하지만 서로 영향을 미칠 수 있는 주파수 대역에 대한 고려도 해야 한다. 예를 들면, 휴대폰에서 사용하는 800MHz, 1.7~1.8GHz 대역의 주파수나 IF

(intermediate) 주파수는 CPU의 클럭 속도가 GHz 대역으로 증가한 시점에서 사용주파수 대역이 중복될 염려가 있다. 전원부의 경우도 배터리의 전원을 DC/DC 컨버터를 사용하여 변환 시 소형화와 전력효율을 위해서는 사용 주파수가 수 MHz 대역이 되어야 된다. 디지털부에서도 클럭 주파수가 높으면 그것을 분주하여 사용되는 주파수도 수백MHz 대역이 되어 시스템 전체를 보지 않고는 신호 무결성 설계가 힘들다. 한명의 엔지니어가 전체 시스템을 모두 파악하기는 어려우므로 Cowork의 중요성은 증가하고 있으며, 프로젝트 매니저는 시스템을 종적뿐만 아니라 횡적으로도 바라볼 수 있어야 하고, 특히 문제 발생의 소지가 많은 현상들에 대한 기본 지식을 숙지해야 한다.

여기서는 전체적으로 신호 무결성에 대한 접근을 한다는 것이 사실 힘들다는 것을 인정하고, 디지털 시스템을 중심으로 논리적 오동작을 방지하기 위한 대책을 서술하고 주변부에 대한 간략한 접근을 하고자 한다.

본 고의 구성은 다음과 같다. 2장에서는 여러 가지 내부 잡음원에 대한 분류를 디지털 시스템의 관점에서 하였으며, 3장에서는 이러한 잡음에 대한 관리를 어떻게 행하여야 신호의 무결성을 지킬 수 있는가에 대하여 수치적인 계산을 통하여 다루어 본다. 4장에서는 잡음원 분석을 위한 회로 모형화 기법들을 소개하며, 모형화된 회로 해석 방법에 대하여 기술 동향을 소개하는 수준에서 서술한다. 5장에서는 신호 무결성을 위한 신호선로 설계 방법에 대하여 생각하며, 6장에서는 본 고에 대한 맺음을 하려고 한다.

II. 내부 잡음원의 분류

고속 시스템에서 신호의 무결성을 저해하는 잡음 요인들은 여러 가지가 있는데 시스템의 동작 주파수가 높아짐에 따라 증가되고 있는 요인들을 중심으로 살펴보면 크게 3가지 요소를 생각할 수 있다.

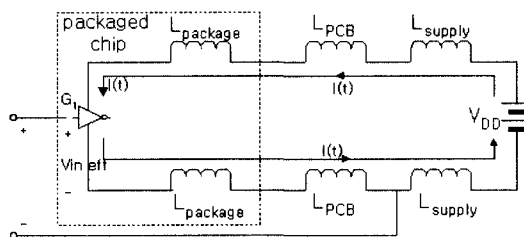
첫째는 전원 및 그라운드 공급체계 상의 잡음이다. 전원선의 경우 칩 내부에서의 기생 저항 성분, 패키징 부분 및 칩 외부인 보드 상에서의 기생 인덕턴스 성분에 의한 전압의 변동이 생긴다. 흔히들 저항 성분으로 인한 전압강하는 IR Drop이란 용어를 사용한다. 그라운드 버스에서는 이를 그라운드 바운스 또는 델타-I, 동시 스위칭 잡음(simultaneous switching noise)이라고 부른다. 이것도 기생 인덕턴스 성분이 원인이 된다. <그림 1>과 같이 전원과 그라운드의 경로가 길수록 기생성분이 커진다. 휴대용기기인 경우는 배터리 전원을 받아서 사용하는데 DC/DC 컨버터를 사용한다. 컨버터의 원리가 수 MHz의 PWM변조를 이용하여 원하는 출력 전압을 얻는다. 전원선 자체에 고주파의 리플 전압이 포함되어 있는 상황에서 기생성분에 의한 전압강하는 회로의 비정상적인 동작의 원인이 될 수 있다.

둘째는 신호 전송선로 자체의 잡음원이다. 동작주파수가 높아짐에 따라 정확한 해석을 위해서는 신호선을 ON/OFF 칩 구분 없이 전송선(transmission line)으로 다루어야 한다. 전송선의 관점에서 신호왜곡에 영향을 미치는 요소는 전송로 상의 지연시간(phase delay)과 신호반사(refl-

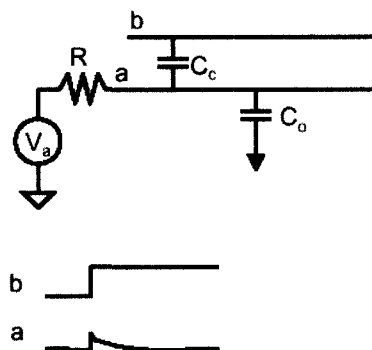
ection)이다. 이외에 보다 정밀한 해석을 위해서는 표피효과(skin effect), 근접효과(proximity effect) 등의 주파수 의존 특성도 고려해야 한다.

신호지연은 파동속도의 유한성에서 나오는 문제이다. 지연은 신호 자체의 손상을 일으키기보다는 동기화된 회로의 오동작을 일으킬 수 있는 요인이 된다. 신호반사는 회로의 종단 망 조건에 따라 그 크기가 변한다. 손실이 없고 균등한(uniform lossless) 한 개의 전송선의 경우는 종단 망을 전송선의 특성임피던스와 같은 값을 가진 저항 부하로 구성할 경우, 부하 측 반사를 없앨 수 있다는 임피던스 매칭은 잘 알려진 사실이다. 하지만 보드 위에서의 신호선로와 같은 경우는 균등하지도 않을뿐더러 여러 비아(via)나 Stub 등이 있으므로 두 개 이상의 위치에서 파동 반사가 생기면 이들 반사파가 다시 다른 위치에서 재반사 되므로 최적 종단망은 이들 모든 반사파를 최소화하는 조건에서 실현되어야 한다. 이를 이론적으로 계산하는 것이 불가능하므로 회로 선로의 구조적 정보로부터 회로 모형을 구성한 다음 시뮬레이션을 통하여 준 최적 종단망 조건을 찾게 된다.

셋째는 신호선로와 이웃한 신호 전송선로에 의한 잡음이다. 이웃한 신호 전송선로 간에는 용량성(capacitive) 및 유도성(inductive) 결합으로 말미암아 선로 상호간의 간섭현상이 나타난다. 흔히들 누화(Cross-talk)라고 한다. 누화에



<그림 1> 전원과 그라운드의 기생성분



<그림 2> 용량성 누화

도 <그림 2>와 같은 용량성 성분에 의한 간단한 경우에서 유도성 성분이 혼합된 누화에 의한 신호왜곡까지 다양하게 보드 상의 신호 무결성을 저해하는 요소로서 존재한다.

III. 잡음에 대한 분석 및 관리

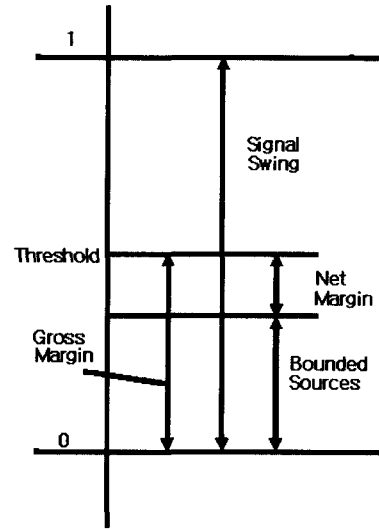
2장에서 언급한 요소 외에도 여러 기타의 잡음 요소들이 있다. 숙련된 설계자가 ON/OFF 칩에서 존재하는 여러 가지 잡음요소들에 대한 최적의 설계를 하지만, 잡음원에 대해 완전무결하게 통제를 행할 수는 없다. 그러므로 이러한 잡음원의 존재를 인정하고, 잡음 감내형(noise-tolerant)설계 방법을 취하는 것이 현실적이다. 더불어, 회로에 있어서 오동작을 일으키지 않을 정도 수준으로 여러 잡음 요소들에 대해 적절한 억제 대책을 세워야 한다.

노이즈 전압을 V_N 이라고 하면 (1)의 수식으로 잡음식을 표현할 수 있다.

$$V_N = K_N V_S + V_{NI} \quad \dots\dots (1)$$

여기서 V_S 는 신호성분이고 K_N 은 비례상수이다. $K_N V_S$ 는 신호성분에 비례하는 잡음성분을 말한다. V_{NI} 는 신호성분과는 무관한 독립적인 잡음성분이다. 신호성분에 비례하는 잡음 성분들은 누화, 신호반사 등을 고려할 수 있으며, 독립적인 잡음 성분은 전압원 잡음과 신호종단의 오프셋 전압들이 있다. <그림 3>은 1V의 신호성분에 대해서 잡음원들의 크기를 예시한 것이다. <표 1>에서는 상세한 계산을 하여 총 잡음이 250mV까지 허용될 때의 이 신호선로에 대한 Net Margin은 80mV임을 알 수 있다. 이 예산은 <표 1>에서 언급한 bounded 잡음원 이외의 외부 잡음원(ex. 열잡음, 알파입자, 전자기 간섭 등)에 대처하기 위한 것이고, 이 수치가 클수록 잡음 감내성이 좋다고 말할 수 있다. 이러한 외부잡음은 통계적으로 취급할 수밖에 없다.

설계자는 표에서 예시된 바와 같이 신호에서



<그림 3> 잡음 분석

<표 1> 잡음원별 허용 예산의 예시

신호성분 (VS)		500mV
V_{NI}	신호종단 offset	50 mV
	전압원 잡음	20 mV
K_N	Crosstalk	0.1
	Reflections	0.1
K_N 의 합		0.2
$K_N V_S$		100 mV
Gross Margin		250 mV
	V_{NI}	70 mV
	$K_N V_S$	100 mV
	V_N	170 mV
	Net Margin	80 mV
	Margin Ratio	0.32

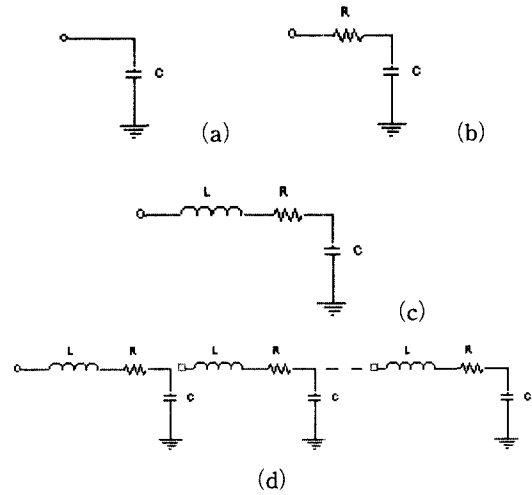
잡음이 차지하는 비율을 생각하여 어느 정도까지 잡음을 저감하여야 하는 것인가를 고려한 설계를 행하여야 한다. 표에서도 알 수 있듯이 잡음에 대한 사전 예상과 분석을 통하여 치명적인 요소에 대한 잡음 저감 설계로 잡음을 감소시키는 것이 경제적 효과를 고려할 때 효율적인 설계가 된다. 투자한 시간이나 경제적인 요소에 비하여 저감 효과가 낮은 요소에 대한 잡음 저감 설계는 잡음은 저감되었지만 경제적인 면이나 전체 잡음 요

소에서의 차지 비중을 고려할 때 효과적이지 못한 파밍 설계가 되는 것이다. 시간과 비용에 제약이 많은 오늘날의 설계 환경에서 설계자의 계량적 설계 마인드가 필요하다

IV. 모형화 및 해석

2장에서 언급한 잡음 요소들에 대한 분석을 하기 위해서는 기생 회로 성분에 대한 분석이 있어야 한다. 이러한 기생 회로 성분의 값을 추출하여 모형화 하고, 모형화된 회로의 해석을 행하는 것이 중요한 문제임에는 틀림이 없다. 기생 회로 성분인 저항, 커패시턴스, 인덕턴스 성분을 정확히 추출하는 것은 정확한 회로 해석을 위한 가장 기본적인 일이다. 추출 자체가 중요한 연구 분야이고 관련연구가 계속 이루어지고 있으며, EDA 툴들도 그 기능을 제공해 주고 있다. 본 고에서는 추출 보다는 추출한 값을 가지고 어떤 모형화 방법을 적용하고 해석하는 가에 초점을 맞추어서 서술하고자 한다. 모형화의 흐름은 연결선의 길이가 길어졌다는 이유에서 방법이 바뀌고 있다. 물리적인 길이가 길어진 것이 아니라, 시스템의 신호 주파수가 증가하여 신호의 전기적 길이가 길어졌고 신호선 주변의 방해요소의 상대적 값들이 커졌다는 것을 의미한다.

칩 내부 연결선의 모형화는 단일 lumped 커패시턴스로써 모형화가 시작 되었다. 그러나 반도체 기술과 사용 주파수의 증가로 인하여 저항 성분이 무시할 수 없는 요소가 되어 lumped RC 회로로써 모형화가 이루어졌다. 그 뒤 더욱 정확도를 향상시키기 위해서 lumped 모형은 분포(distributed) RC 회로로써 모형화가 이루어졌다. 고속 VLSI 회로에서는 인덕턴스 성분도 무시할 수 없는 요소가 되어 lumped RLC 모형, 그리고 마침내는 분포 RLC 모형이 필요하게 되었다. 지금은 RC 모형에서 RLC 모형으로 옮겨가는 과도기적인 시기에 놓여 있어 활발한 연구가 이루어지고 있다. <그림 4>는 회로 모형의 중



<그림 4> 회로모형 (a) lumped C (b) lumped RC (c) lumped RLC (d) distributed RLC

류를 나타내고 있다.

보드상의 연결선은 전통적으로 손실이 없는 이상적 전송선으로 모형화되어 왔다. 그러나 패키지 핀, 커넥터, 비아 등 실제로 신호파형의 왜곡에 큰 영향을 끼치는 요소들은 변수추출의 어려움 때문에 무시되거나 간략한 모형으로 대체되어 온 것이 현실이다. 최근에는 부품 업체들도 문제의 심각성을 인식하고 사용자들에게 전기적 모형을 제공하기 시작하고 있어서 다행스럽다.

모형화된 회로는 수십~수백, 수천~수십만 개의 회로 성분으로 구성되어 있어 이를 해석하는 일도 EDA 툴로는 오랜 시간을 요구하는 일이다. 전통적인 SPICE 해석 기법에서 좀 더 효율적인 AWE(Asymptotic Waveform Evaluation), RICE(Rapid Interconnect Circuit Evaluator) 등의 새로운 알고리즘을 사용하는 해석 기법들이 적용되었고 관련 연구가 이루어지고 있다.

V. 신호 무결성을 위한 신호 선로 설계 방법론

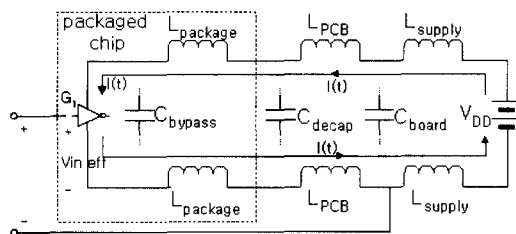
디지털 시스템뿐만 아니라 아날로그와의 혼성

시스템에서 신호 무결성을 위한 신호 선로의 설계 방법론의 필요성에는 공감을 하지만, 형식화된 방법론을 제기하기에는 어려움이 있다. 그것은 신호 특성과 종단하는 부하의 형태 등 여러 가지 요인에 의하여 경우가 다양하고, 연결선의 특성상 일반 셀처럼 미리 특성화하기가 어렵기 때문이다. 본 장에서는 신호 무결성을 위한 여러 잡음원에 대한 대책을 2장에서 분류한 잡음원의 종류에 따라 서술을 하고자 한다.

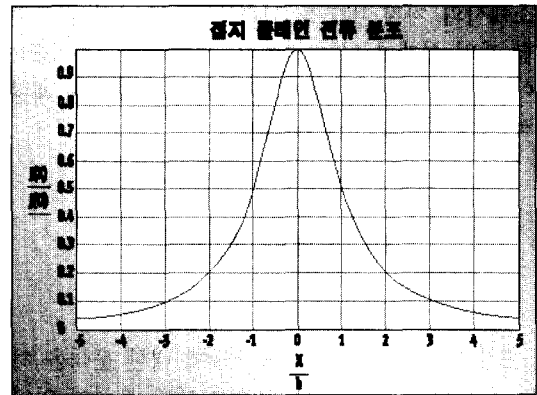
첫째는 전원선과 그라운드 버스 상의 잡음에 대한 대책이다. 전원선과 그라운드 버스에서는 도체 자체의 인덕턴스로 인하여 전류의 변화율에 따르는 역기전력이 발생한다. 소위 인덕턴스 킥이라고 불리는 이 현상을 최소화하기 위해서는 도체의 인덕턴스를 최소화 하는 설계를 하여야 한다. 즉 동적(dynamic) 전류 회귀 경로를 최소화 시키는 루프를 구성해 주어야 한다. <그림 5>는 <그림 1>에서 동적 전류 회귀 경로를 최소화 하기 위해서 PCB 보드와 칩 가까이에서의 디커플링 커패시터, 칩 내부의 바이패스 커패시터를 사용한 예이다.

디커플링 커패시터의 배치에서도 관행상 무조건적으로 칩에 가까이 배치를 하였다. 그러나 잡음 관리의 측면에서 보면 2개 보다는 1개의 커패시터로 원하는 수준의 잡음 관리가 가능하다면 경제적 측면의 설계를 행하여야 한다. 선로의 특성상 임계치가 되는 기생 인덕터 성분이 생기지 않는 정도의 거리에 필요한 용량의 커패시터를 배치하는 것이 좋다.

디지털, 아날로그 혼성 시스템의 경우 동적 전류 회귀 경로는 국지적이고 가장 작은 루프를 통



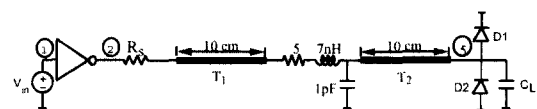
<그림 5> 전류 회귀 경로에 대한 대책



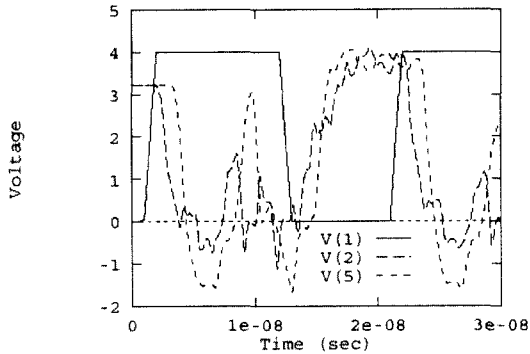
<그림 6> 거리에 따른 전류 분포

하도록 설계하여야 한다. 그렇지 않을 경우 루프 안테나가 형성된다. 그리고 소스 전압도 하나의 기준 전압이 있어야 한다. 전압원의 경로가 길어져 두 개의 기준이 생기면 2극 안테나 효과가 생성된다. <그림 6>은 전원선의 회귀 경로를 서로 다른 층에 배치하였을 경우 전원선의 회귀경로(그라운드선)에서의 전류 분포를 나타내고 있다. x 는 전원선에서부터의 거리이고 h 는 전원선과 그라운드선과의 층간의 높이이다.

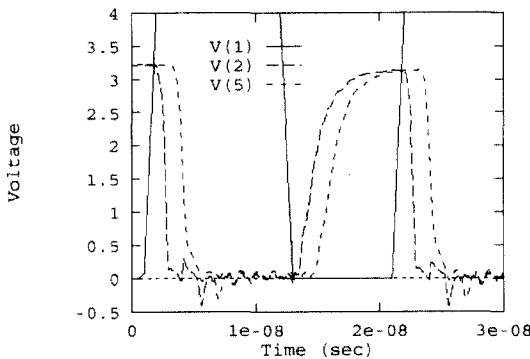
둘째는 신호 전송선로 자체에 대한 잡음 대책이다. 지연과 반사의 경우는 앞서 서술한 종단망 조건을 임피던스 정합이 이루어지도록 하여야 한다. CMOS 기술의 경우 부하단의 종단이 어려우므로 최적 직렬종단을 위하여 드라이버의 출력단에 직렬 저항을 삽입하거나 신호선 자체의 저항을 크게 하는 것도 좋은 방법이다. <그림 7>은 BJT 드라이버의 출력단에 대한 신호 반사 시뮬레이션을 수행하기 위한 회로이다. BJT 드라이버의 출력 임피던스는 CMOS에 비해 매우 낮으므로 적정 종단 조건이 이루어지지 않은 경우 <그림 8>와 같은 큰 신호 반사가 생긴다. <그림



<그림 7> 두 전송선이 직렬로 연결된 회로 예



〈그림 8〉 〈그림 7〉회로($R_s=5\Omega$)의 전압 파형



〈그림 9〉 〈그림 7〉회로($R_s=32\Omega$)의 전압 파형

8)는 $R_s=5\Omega$ 일 때, 〈그림 9〉은 $R_s=32\Omega$ 일 때를 나타낸다.

셋째는 Crosstalk에 대한 대책이다. 기본적인 대책은 이웃한 도체간의 전자기적 결합을 최소화하는 데에 있다. 즉, 가능한 한 서로 인접한 선로의 길이를 최소화 하고, 민감한 신호 선로 사이사이에 그라운드 등의 전류 회귀 선로를 배치하거나 선로의 두께를 줄임으로써 이웃한 선로와의 용량성 결합을 줄이며, 대신에 그라운드와의 상호 인덕턴스를 증가시키는 방법이 있다. 아래 수식 (2)와 같이 두 도체에서 서로 반대 방향으로 전류가 흐를 때에는 식에서와 같이 상호 인덕턴스가 클수록 전체 인덕턴스는 줄어들기 때문이다.

$$L_T=L_{11}+L_{22}-2L_{12} \quad \dots\dots (2)$$

VI. 맺음말

이제 VLSI 설계의 나노 테크놀로지 시대와 PCB 설계의 마이크로 시대, 그리고 시스템 동작 주파수의 GHz 시대가 왔다. 시스템 설계자에게 있어서 신호 무결성에 대한 국지적인 안목 보다는 전체를 보는 설계 마인드가 있어야 한다.

오늘날 대부분의 시스템은 디지털과 아날로그 혼성 시스템으로 구성되어 있다. 혼성 시스템에서의 신호 무결성에 대한 대책은 본 고에서 언급한 기본 대책 외에도 아날로그 회로에 대한 전원선 분리와 신호선의 영역 침해를 금하는 등, 설계 규칙상에서 다루어야 할 많은 것들이 있다.

신호 무결성 설계를 위해서는 잡음 감내형 설계 방법을 취하는 것이 현실적이며, 시스템 차원에서 잡음 예산을 할당 배분한 다음, 해당 예산을 달성하기 위해 신호 성격에 따른 잡음의 적절한 수준 관리를 행함으로써 잡음 저감 설계를 하게 된다. 설계 과정에서 잡음의 반복적 예측 작업이 불가피한데, 이 과정은 구동회로 모형 외에 신호선로 기생성분의 추출, 모형화, 그리고 해석을 필요로 한다. 특히, 신호선로는 일반 모듈이나 셀과는 달리 물리 설계가 끝난 다음에야 특성화가 가능하므로 설계자는 예측 목적에 따라 추출 및 모형화의 복잡도를 조절함으로써 정확도와 효율성간의 trade-off를 해야 할 것이다.

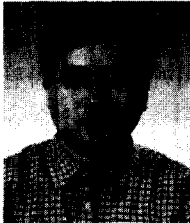
참고 문헌

- [1] William J. Dally, John W Poulton, *Digital Systems Engineering*, Cambridge University Press, 1998.
- [2] Howard W. Johnson and Martin Graham, *High-Speed Digital Design: A Handbook of Black Magic*, Prentice Hall, 1993.
- [3] H. B. Bakoglu, *Circuits Interconnections, and Packaging for VLSI*, Addi-

sion Wesley, 1990.

- [4] Henry W. Ott, *Noise reduction techniques in electronic systems*, John Wiley & Sons, 1988.
- [5] Stephen H. Hall, Garrett W. Hall, James A. McCall, *High-speed digital system design*, John Wiley & Sons, 2000.
- [6] 김석윤, *VLSI 시스템 회로연결선의 모형화 및 해석*, 시그마프레스, 1999.

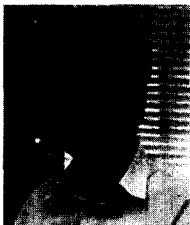
저자 소개



金昇勇

1994년 2월 부산대학교 학사(전자공학), 1999년 8월 숭실대학교 정보과학대학원 석사, 2002년 현재 숭실대학교 컴퓨터학과 박사과정, 1994년 1월~2000년 8월:

LG이노텍 연구소, <주관심 분야: 디지털 시스템공학 기술, VLSI설계 기술>



金錫潤

1980년 2월 서울대학교 학사(전기공학), 1990년 5월 Univ. of Texas at Austin 석사(ECE). 1993년 8월 Univ. of Texas at Austin 박사(ECE), 1995년 3월~현재: 숭실대학교 부교수,

1993년 9월~1995년 2월: Motorola Inc. 1989년 1월~1993년 8월: CERC. Univ. Texas. 1982년 3월~1987년 7월 한국전자통신연구소, <주관심 분야: 디지털 시스템공학 기술, VLSI설계 기술>.