

전력증폭기 동향

김정근, 김덕환, 홍성철

한국과학기술원 전자전산학과

I. 서 론

정보화시대가 발전하면서 휴대폰과 같은 단말기 시장이 급성장하고 있다. 이러한 휴대폰에 들어가는 부품 중에서 전력증폭기는 가장 중요한 부품중의 하나이다. 단말기에 들어가는 전력증폭기는 단말기 전력의 대부분을 소모하기 때문에 고효율과 함께 높은 선형성을 요구하는 전력증폭기가 요구되고 있다. 그리고 최근에는 DBS(Direct Broadcasting Satellite)와 같은 위성방송과 LMDS(Local Multipoint Distribution Services)와 같은 서비스가 시작되고 있고 점점 더 높은 데이터 전송률을 요구하고 있기 때문에 고주파용 전력증폭기에 대한 수요가 증대될 전망이다. 본고에서는 이렇게 최근에 많은 이슈가 되고 있는 단말기용 전력증폭기 모듈과 고주파전력증폭기에 대해서 살펴보도록 하겠다.

II. 단말기 전력증폭기 모듈

전력증폭기는 단말기 시스템에서 가장 중요한 RF 부품 중의 하나이며 소비전력에 크게 영향을 미친다. 여기서는 단말기 전력증폭기의 개발경향과 주요 고려사항을 알아보고, 설계방법과 최근에 연구가 활발해지고 있는 HBT, CMOS 전력증폭기에 대해서 알아본다.

1. 개발 경향

단말기용 전력증폭기의 경우 한정된 축전지의 전력을 사용하므로 낮은 전압에서 동작하고 효율을 높이는 것이 중요하다. 또한 디지털 변조방식에 따라 선형성도 매우 중요한 고려 사항이 된다. 최근에는 시장의 요구에 따라 멀티모드, 멀티밴드를 지원하는 전력증폭기모듈(PAM)의 개발이 이루어지고 있다. 그리고 저비용의 기술을 이용

〈표 1〉 서비스 방식에 따른 요구사항

	GSM	EDGE	IS-95	WCDMA	CDMA2000
변조방식	GMSK	$3\pi/8$ 8PSK	OQPSK	OCQPSK	HPSK
Data rate/slot	15.2 kbps	59.2 kbps	14.4 kbps	384 kbps	384 kbps
Channel Bandwidth	200 kHz	200 kHz	1.25 MHz	5 MHz	5 MHz
Output Power (Max.)	35 dBm	29 dBm	28 dBm	27 dBm	28 dBm
ACPR (adj.)	—	-33 dBc	-44 dBc	-38 dBc	-46 dBc
Frequency (MHz)	880-915 1710-1785	824-915 1710-1910	824-849 1850-1910	1920-1980	824-849 1850-1910

하고 크기를 줄이기 위해 MMIC화 하려는 노력이 진행되고 있으며 패키지 또한 중요해지고 있다. <표 1>은 현재 서비스되고 있는 통신방식에서 요구하고 있는 전력증폭기의 사양을 요약한 것이다.

2. 주요 사양

1) 공급전압

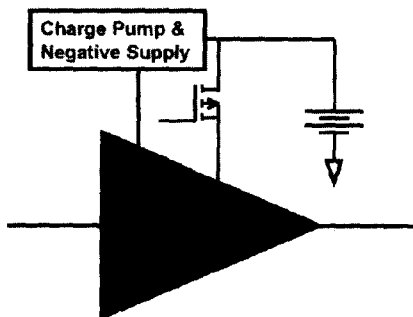
단말기 PAM의 경우 한정된 배터리를 사용하므로 배터리의 공급전압에 맞게 동작하는 회로를 설계하여야 한다. MESFET의 경우 <그림 1>에서처럼 음의 바이어스 전압을 생성해주는 회로가 추가적으로 사용되므로 단점으로 지적된다. 따라서 최근에는 enhancement FET의 연구도 진행되고 있다. HBT는 양의 단일전압을 사용하므로 각광받고 있다.

2) 효율성 (Efficiency)

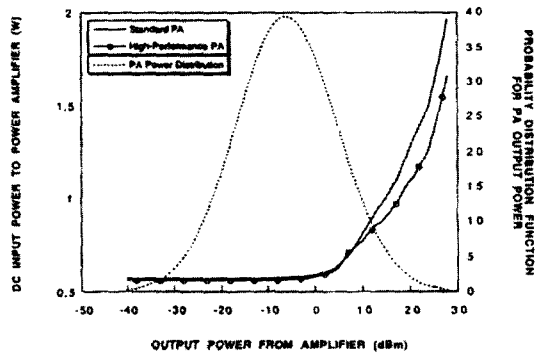
단말기용 전력증폭기에서는 축전지의 전력이 한정적이므로 효율성이 아주 중요하다. <그림 2>에서처럼 일반적으로 전력증폭기의 효율성은 출력전력이 커질수록 커진다. 그러나 실제로 전력증폭기가 가장 많이 동작하는 영역은 중간영역의 출력전력에서이다. 따라서 높은 출력전력에서의 효율성보다 중간영역출력에서의 효율성을 높이는 것이 중요하다.

3) 선형성 (Linearity)

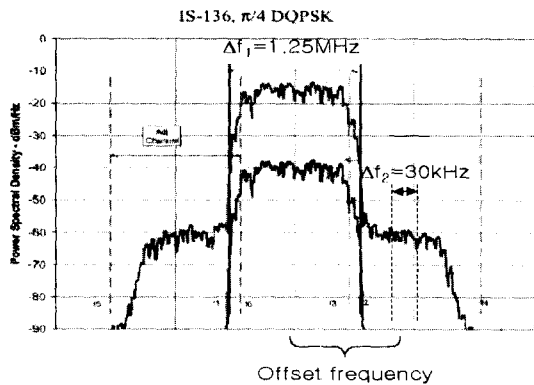
디지털 변조 방식에 따라서 전력증폭기의 선형



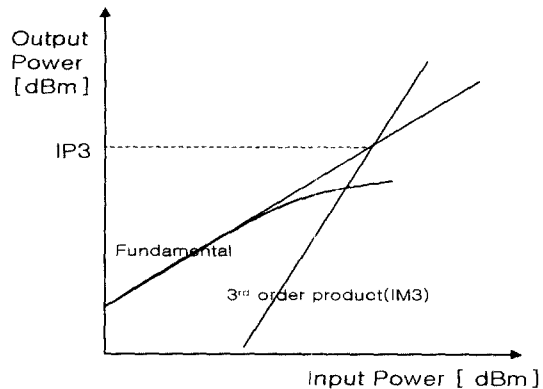
<그림 1> MESFET RF PA



<그림 2> 출력전력에 따른 효율성과 전력의 분포



<그림 3> ACPR의 정의

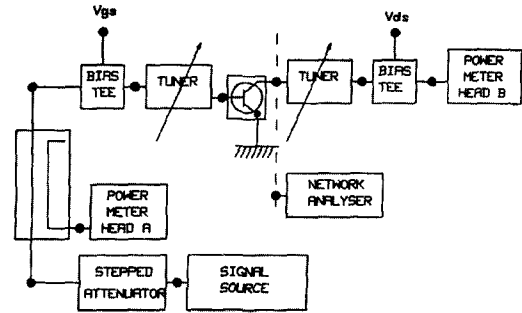


<그림 4> IP3의 정의

성이 중요한 사양이 된다. 전력증폭기의 선형성을 나타내는 파라미터로는 인접채널전력비 (ACPR) 와 IP3가 있다. ACPR은 <그림 3>과 아래 식처럼 자신의 채널과 인접 채널의 전력의 비로 나타낸다.

$$ACPR = \frac{\Delta f_1 \text{의 전력}}{\Delta f_2 \text{의 전력}}$$

IP3 또한 전력증폭기의 선형성을 나타내는 중요한 파라미터이다. <그림 4>에서처럼 IP3는 two-tone 측정을 통하여 기본파와 IM3를 측정하고 그 곡선을 선형적으로 늘여서 만나는 점으로 정의된다.



<그림 5> Source-Load Pull 측정 장치도

3. 설계 방법

1) 소자의 선택

산업단말기 시스템의 산업단말기용 전력증폭기를 만들기 위해서는 먼저 단말기 시스템의 요구 사양을 만족시키는 적절한 소자를 선정하는 것이 중요하다. MESFET/HEMT의 경우 효율성과 선형성이 좋고 온도에 대해 안정적인 반면 음의 전압을 필요로 하는 단점이 있다. 따라서 enhancement FET를 이용한 전력증폭기를 개발하려는 노력이 진행되고 있다. CMOS의 경우 온도에 대해 안정적이고 단일전압으로 동작하고 바이어스도 안정적이지만 효율성이 낮은 단점이 있다. 이것은 knee 전압이 크기 때문이다. HBT의 경우 효율성과 선형성이 좋고 전력밀도가 커서 FET보다 크기가 상대적으로 작지만 온도에 민감하므로 Ballast 저항을 삽입하여야 하고 바이어스 회로 설계가 어려운 단점이 있다.

2) 설계 방법

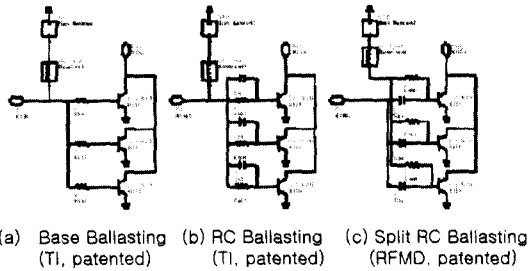
전력증폭기의 설계 방법은 크게 2가지로 나눌 수 있다. 하나는 Source-Load pull 측정을 이용한 방법과 다른 하나는 대신호 모델을 이용한 비선형회로 해석방법이 있다. <그림 5>는 Source-Load Pull 측정 장비를 나타낸다. 그림에서 소자에 연결된 튜너를 조정하여 입출력 임피던스를 변화시키고 이 때 전력측정기로 출력전력을 측정하여 최적의 입출력 임피던스를 찾아낸다. Source-Load Pull 측정 방법은 소자의 동작회로를 알 필요가 없어 간편하지만 많은 다른 소자에 대해서 각각 측정하려면 많은 시간이 소

비되고 고조파 특성을 알 수 없는 단점이 있다. 대신호 모델을 이용한 설계는 여러 측정을 통하여 소자의 비선형 특성을 예측하여 컴퓨터 시뮬레이션을 이용한 설계 방법이다. 이는 고조파 특성과 효율성, 선형성을 모두 최적화할 수 있고 시간이 절약되어 개발 시간을 단축할 수 있는 장점이 있다. 그러나 아직 완벽한 대신호 모델이 없고 모델의 파라미터를 정확히 추출하지 않으면 시뮬레이션이 수렴하지 못하는 단점이 있다.

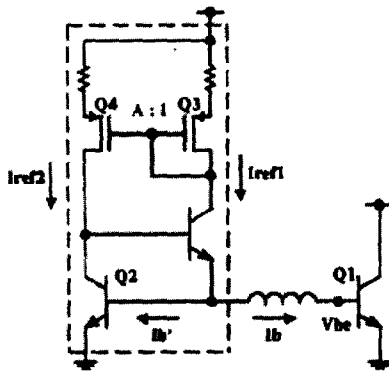
4. HBT PAM

현재 단말기용 PAM 시장에서 주력을 이루고 있는 것은 HBT기술을 이용한 전력증폭기이다. HBT는 선형성이 좋고 낮은 동작전압에서 우수한 전력특성을 가며 전력밀도가 다른 소자에 비해 커서 소자의 크기가 작은 장점을 가진다. 또한 단일 양의 전압만을 필요로 하므로 MESFET을 대체하여 시장의 대부분을 차지하고 있다. 하지만 온도에 따라 소자의 특성이 민감하게 변하므로 이를 보상하기 위하여 ballast 저항의 삽입이 필요하며 또한 바이어스 회로의 구성에도 주의를 기울여야 한다. 최근에는 보다 값싼 SiGe HBT 기술을 이용한 전력증폭기의 연구가 활발해지고 있다.

1) Ballast 저항을 삽입한 HBT 전력증폭기
Multi finger array를 갖는 HBT의 경우 하나의 소자가 다른 쪽보다 더 뜨거워지면 그 소자는 Vbe가 감소한다. 그러면 그 소자로 더 많은



〈그림 6〉 여러 가지 형태의 Ballast 저항의 구현



〈그림 7〉 셀프 바이어스 회로를 이용한 SiGe HBT PA

전류가 흐르게 되고 Vbe가 다른 소자에 비해 더 감소한다. 이런 식으로 계속 한 쪽으로 전류가 많이 흐르게 되면 결국 그 소자가 타서 죽어버리는 현상이 일어난다. 이러한 현상을 막기 위하여 베이스나 에미터에 ballast 저항을 삽입한다. 〈그림 6〉은 여러 형태의 ballast 저항을 구현한 것을 나타낸다.

2) 셀프 바이어스 회로를 이용한 전력증폭기

HBT를 이용한 전력증폭기에서는 적절한 바이어스 회로의 구성이 중요하다. 〈그림 7〉는 SiGe HBT 기술을 이용한 전력증폭기를 나타낸 것이다. 이 회로에서 바이어스 회로는 출력전력에 따라 증폭 트랜지스터의 베이스 전압을 자동적으로 조절하여 선형성을 향상시키는 역할을 한다.

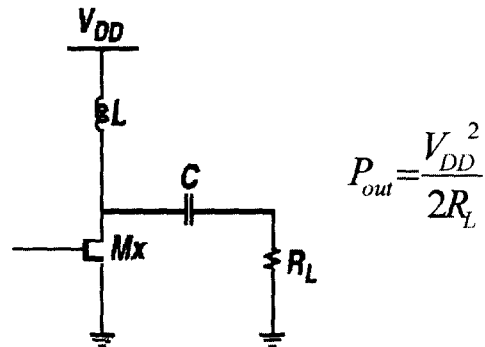
5. CMOS PAM

최근에 단말기용 전력증폭기를 가장 값싼 기술

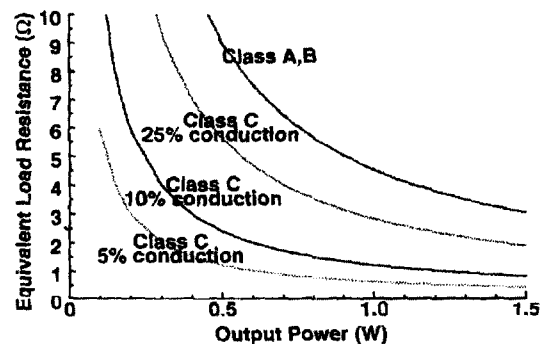
인 CMOS기술을 이용하여 다른 RF 부품과 한 칩에 집적하려는 노력이 기울여지고 있다. CMOS의 경우 낮은 항복전압, 높은 knee전압으로 인한 낮은 효율성, 그리고 실리콘 기판 위에 좋은 수동소자를 만들 수 없는 단점이 있어서 이를 극복하는 연구가 진행되고 있다.

1) 낮은 전압 동작하기 위한 설계

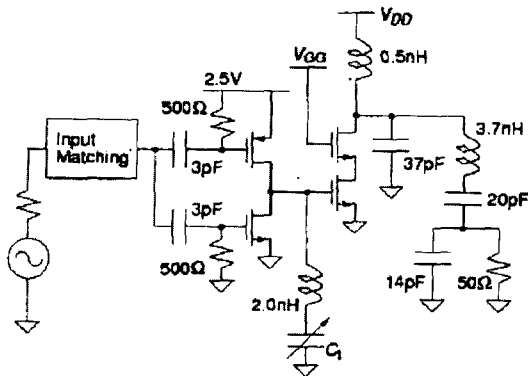
〈그림 8〉과 같이 일반적인 전력증폭기의 경우 최대출력전력은 대략 다음 식으로 나타난다. Vdd가 작을 경우 원하는 출력전력을 얻기 위해서는 부하저항이 매우 작아야 한다. 1W 출력과 3V 공급전압을 가정하면 부하저항은 4.5Ω이다. 그러나 〈그림 9〉에서처럼 단말기용 전력증폭기의 중요한 고려사항인 효율성을 생각하면 부하저항은 더욱 작아져야 한다. 효율을 높이기 위하여



〈그림 8〉 일반적인 RF 전력증폭기와 출력전력



〈그림 9〉 출력전력에 따른 등가부하저항, 3V 공급전압 가정 (Ref. [2])



〈그림 10〉 공통 게이트 구성의 Class-E PA (Ref. [4])

Class C로 동작시키고자 할 경우 필요한 등가부하저항은 0.5Ω 이다. 하지만 이 값은 기생저항 성분들 때문에 정확히 제어하기가 어렵다. 따라서 효율성을 만족시키면서 저전압 설계를 위하여 스위치 모드로 동작하는 전력증폭기^{[2][3][4]}, 임피던스 트랜스포머를 이용한 전력증폭기^[5] 등이 연구되고 있다.

2) 낮은 항복전압을 고려한 설계

CMOS의 또 하나의 단점은 항복전압이 작다는 것이다. 따라서 이를 해결하기 위한 회로구성이 연구되었다. 회로를 공통 소스(Common Source)가 아니라 공통 게이트(Common Gate)로 구성하면 소스에서의 전압 스윙이 입력 전압과 함께 변하므로 드레인-소스 전압을 줄일 수 있어 소자의 breakdown을 막을 수 있다.^[4] 공통 게이트 회로는 낮은 입력저항을 보이므로 공통 소스단을 삽입하여 〈그림 10〉과 같은 Cascode 형식의 회로를 구성하였다. 참고문헌 [6] 또한 공통 게이트 구성을 갖는 Cascode 회로를 이용

하여 Class-F로 구성하였고 낮은 Oxide 항복전압을 해결하기 위하여 공통 게이트 단의 트랜지스터에 thick oxide를 사용한 예이다.

3) 효율성과 선형성을 고려한 설계

앞에서 언급되었던 CMOS 전력증폭기들의 경우 효율성을 높이기 위한 회로 구성들(Class-C^[2], Class-E^{[3][4]}, Class-F^{[5][6]})을 사용하였다. 그러나 CDMA와 같은 통신방식에서는 선형성이 중요하므로 선형성을 향상시키는 연구가 또한 중요하다.

III. 고주파 전력증폭기

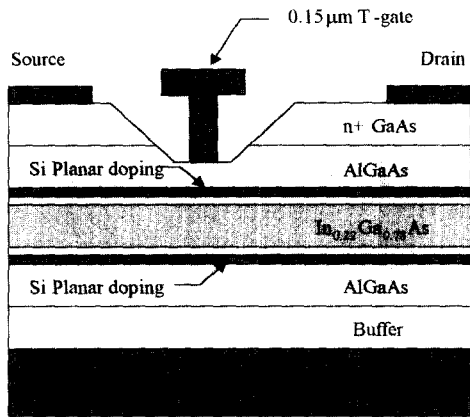
최근 위성통신과 LMDS에 대한 수요의 증가로 인하여 이 대역의 고주파전력증폭기에 대한 연구가 많이 이루어지고 있다. 그 중에서도 SSPA(Solid State Power Amplifier)는 낮은 가격과 작은 사이즈, 그리고 대량생산이 가능해서 기존에 고주파에서 많이 이용되어 왔던 TWTA(Travelling Wave Tube Amplifier)를 대체하고 있다. 〈표 2〉는 현재 상용화된 Ka-band 대역의 전력증폭기의 특성을 보여주고 있다.

1. 고주파 전력증폭기용 소자

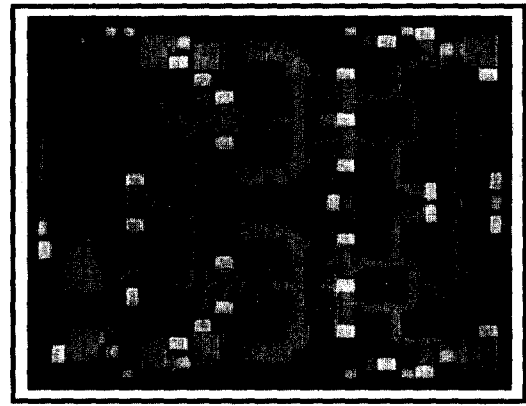
고주파용 전력증폭기 제작에는 많은 소자가 이용될 수 있지만 현재 Ka-band 대역의 전력증폭기는 $0.15\mu\text{m}$ GaAs pHEMT가 주류를 이루고 있다. GaAs pHEMT는 고출력을 위해서 〈그림 11〉과 같이 InGaAs 채널을 이용하고

〈표 2〉 Ka-band 대역의 전력증폭기

Company	Frequency	Gain	PldB	Size	Technology
TRW	27~30GHz	17dB	29dBm	$6.0 \times 2.5 \text{mm}^2$	0.15um pHEMT
Triquint	27~30GHz	16dB	29dBm	$2.7 \times 1.4 \text{mm}^2$	0.25um pHEMT
Ratheon	27~30GHz	23dB	30dBm	$5.2 \times 3.0 \text{mm}^2$	0.15um pHEMT
UMS	27~30GHz	15dB	29dBm	$3.8 \times 2.5 \text{mm}^2$	0.25um pHEMT



〈그림 11〉 GaAs pHEMT 구조



〈그림 12〉 Ka-band 대역 전력증폭기

AlGaAs 배리어영역에 Si 델타도핑을 해서 전류 밀도를 높였고, 드레인과 게이트의 항복전압을 높이기 위해서 게이트 형성시에 이중리세스 공정을 이용하고 게이트를 소스쪽으로 치우쳐서 형성하는 공정을 이용하기도 한다. 또한 heat sink를 위하여 소스단에 slot via 공정이 이용되고 있고, GaAs의 웨이퍼 두께를 50 μm 이하로 줄이는 노력이 많이 진행되고 있다.

V-band나 W-band와 같은 밀리미터와 대역에서는 주파수 특성이 좋은 InP HEMT 또는 HBT가 주류를 이룰 것이다.

최근에 고출력 전력증폭기용으로 GaAs나 InP에 비해서 항복전압이 아주 높고 주파수 특성도 좋은 GaN HEMT나 HBT에 대한 연구가 많이 이루어지고 있다. 전력소자용으로 열전도도가 아주 좋은 SiC 기판위에 GaN를 증착하는 연구가 진행중에 있지만 아직은 소자기술의 개발이 다른 기술에 비해서 미흡하다.^[7]

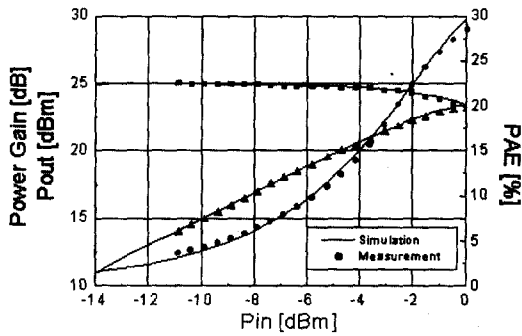
2. 고주파 전력증폭기 설계

고주파 전력증폭기의 설계방법은 기존의 저주파 전력증폭기와 설계방법과 동일하다. Ku-band 이상의 고주파 전력증폭기 설계를 위해서는 MMIC로의 제작이 불가피하기 때문에 제작 가격을 낮추기 위해서 전력증폭기의 칩 크기를 줄이는 것이 중요하다. 회로의 크기가 작아지게 되면 작은 면적 안에 많은 소자들이 집적되기 때문에 소자

들 간의, 그리고 전송선 간의 커플링효과와 꺾어진 전송선들의 효과를 무시할 수가 없게 된다. 그러므로 Momentum이나 Ensemble과 같은 2.5D나 HFSS와 같은 3D EM 시뮬레이터를 이용하여 회로를 설계하여야 한다. 〈그림 12〉는 Fujitsu에서 제작된 FMM5815X의 전력증폭기를 보여주고 있다. 그러면 고주파 전력증폭기의 제작할 때 고려할 사항들을 알아보도록 하겠다.

1) 전력소자의 모델

전력증폭기를 설계할 때는 최대의 출력전력을 내기 위해서 소자의 최적의 출력 및 입력 임피던스를 알아야 한다. 최적의 출력 임피던스를 구하는 방법은 Steve C. Cripps가 제안한 Load line 방법과, Source-Load pull 측정 방법과, 마지막으로 대신호 모델에 의한 방법으로 이렇게 세 가지로 나뉜다. Cripps의 load-line 방법은 소자의 I-V 측정결과로부터 아주 쉽게 최적의 출력저항을 추출이 가능하지만 오차를 많이 포함하기 때문에 주로 튜닝이 가능한 저주파의 하이브리드 형태의 전력증폭기제작에 많이 이용되고 한번 설계하면 튜닝이 불가능한 MMIC 전력증폭기에는 많이 이용되지 않는다. Source-Load pull 방법은 튜너를 이용해서 이용하고자 하는 소자의 최적 임피던스 값을 구하는 방법이 기 때문에 정확하지만 Ka-band 이상의 고주파에서는 아직은 정확한 측정이 어렵다. 마지막으로



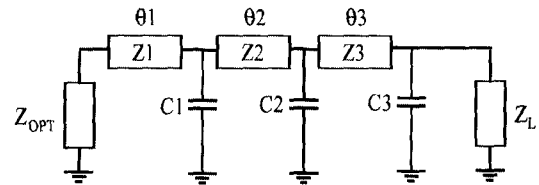
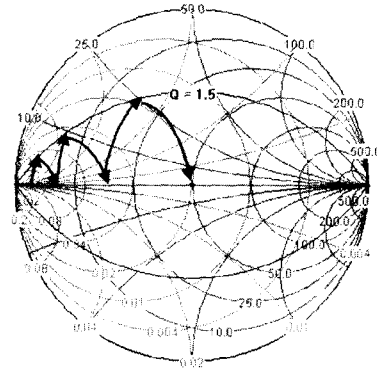
<그림 13> 대신호 모델 시뮬레이션

로 대신호 모델에 의한 방법은 실제 전력증폭기 설계에 가장 많이 이용되는 방법으로 정확한 모델의 추출이 필요하다. FET나 HEMT의 경우는 EEFET3 모델이나 테이블 베이스 모델인 ROOT, Spline 모델이 많이 이용되고 있다. FET의 경우는 트랩과 열효과를 잘 모델링하는 것이 중요하다. HBT의 경우는 BJT에 이용되는 Gummel-Poon 모델을 변형시킨 모델을 많이 이용한다. HBT의 경우도 Self-heating과 같은 열효과가 잘 모델링되어야 하는데 이러한 열효과를 모델링하기 위해서 Pulse I-V와 같은 측정도 필요하다.

2) 매칭 회로의 구현

트랜지스터에서 나오는 출력전력을 부하로 효율적으로 전달하기 위해서 매칭회로가 아주 중요하다. 다른 RF 회로와 달리 전력증폭기의 경우는 출력전력을 최대로 끌어내야 하기 때문에 출력단 매칭이 아주 중요하다. 매칭순서는 출력단 매칭을 제일 먼저 하고 그 다음 중간단, 입력단 순으로 구현하게 된다.

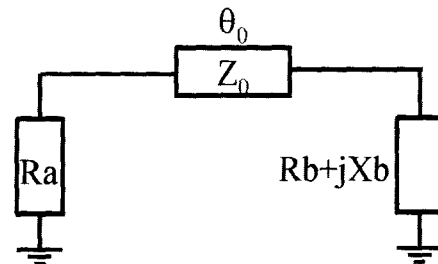
전력소자의 경우 충분한 출력전력을 내기 위해서 단위소자가 multi-finger 구조로 되어 있어서 수 Ω 정도의 낮은 입력, 출력 저항을 가지게 된다. 그러므로 50Ω 에 매칭하기 위해서는 임피던스 변환비가 커지게 되어서 원하는 대역내에서 좋은 매칭특성을 갖는 매칭회로를 구현하는 것이 어렵게 된다. 그래서 보통은 <그림 14>와 같이 다단의 저역통과 LC 네트워크를 이용하여 매칭



<그림 14> 3단 저역통과 LC 매칭 네트워크

을 하게 된다. 이때 인덕터를 이용할 경우 자기공진주파수가 낮고 또한 Q값도 낮기 때문에 Ka-Band 이상의 고주파에서는 마이크로스트립라인을 인덕터 대신 이용하여 매칭회로를 구현해야 한다.^[8]

<그림 15>에서처럼 짧은 전송선을 이용하여 임의의 임피던스를 매칭할 수 있다. 이러한 매칭은 칩 크기를 줄일 수 있는 장점이 있지만 특성임피던스 값과 전송선의 길이가 구현 불가능한 값이 나올 수도 있다.



$$Z_0 = \sqrt{\frac{R_b(R_b^2 - (R_b^2 + X_b^2)R_a)}{R_b - R_a}}, \theta_0 = \tan^{-1} \left[\frac{Z_0(R_b - R_a)}{-R_a X_b} \right]$$

<그림 15> 전송선을 이용한 매칭

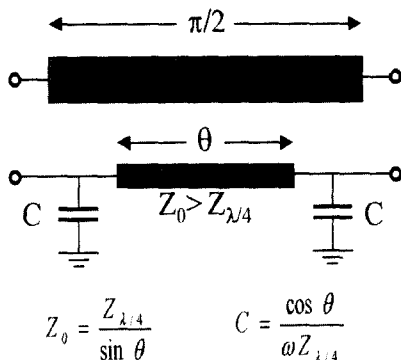
이주 광대역에서 평탄한 이득을 얻는 전력증폭기의 경우는 저항을 이용한 손실매칭을 할 수 있지만 저항이 추가되기 때문에 출력전력과 이득이 줄어들고 잡음이 증가하게 되는 단점이 있다.

실제 매칭회로를 구현할 때에는 위에서 언급된 매칭회로를 적절히 조화시켜서 설계하여야 한다. 또한 원하는 대역에서 매칭회로를 구현하기 위해서는 전송선의 길이와 lumped 소자의 값이 제한되기 때문에 이를 고려한 매칭회로의 설계가 필요하다.

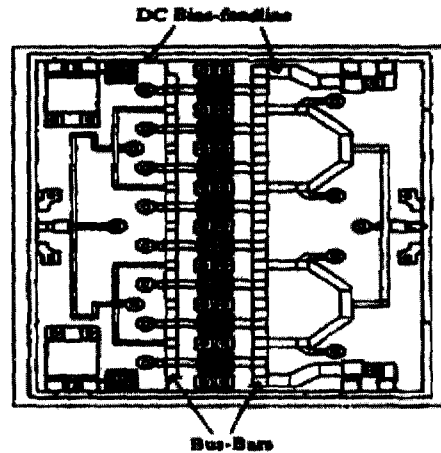
3) 전력합성기

Watt급 이상의 고출력 전력증폭기를 설계하기 위해서는 하나 이상의 단위소자를 전력합성기를 이용하여 묶어야 한다. 이러한 전력합성기는 광대역동작이 가능하여야 하고, 효율을 높이기 위하여 삽입손실이 작아야 한다. 그리고 각 포트간의 격리도가 좋아야 하고 MMIC 제작을 위해서는 크기 또한 작아야 한다. 가장 많이 쓰이는 전력합성기인 Wilkinson 전력합성기의 경우 격리용 저항이 삽입되어 있어서 포트간의 격리도가 좋으나 $\lambda/4$ 길이의 전송선을 필요로 하기 때문에 MMIC로 제작시에 전체 칩 사이즈가 커지게 된다. 그래서 <그림 16>에서처럼 전송선의 길이를 줄이기 위해서 높은 특성임피던스를 가지는 전송선과 그 양단에 lumped 캐패시터를 단 등가회로를 이용하여 많이 제작한다.^[9]

최근에는 MEMS 기술을 이용하여 높은 Q 값



<그림 16> $\lambda/4$ 전송선 등가회로



<그림 17> Bus-bar를 이용한 전력증폭기

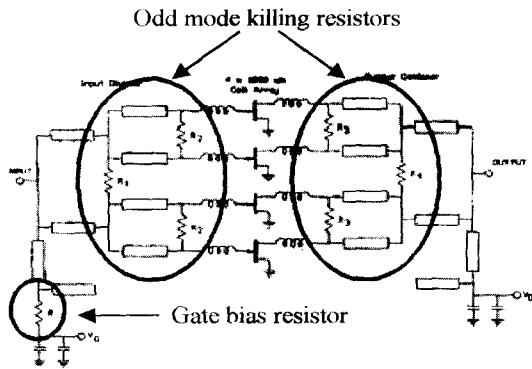
과 높은 자기공진주파수를 가지는 인덕터를 전송선 대신 이용하여 크기가 작으면서 낮은 삽입손실을 가지는 Wilkinson 전력합성기에 대한 연구도 진행되고 있다.

칩 크기를 줄이기 위해서 bus-bar 전력합성기를 이용한 전력증폭기도 제안되고 있다. Bus-bar 전력합성기는 드레인에 흐르는 최대 전류를 견딜 수 있게 bus-bar를 설계하고 이 bus-bar에 출력단의 트랜지스터를 모두 연결하는 방법이다. 이러한 bus-bar에 트랜지스터를 함께 묶기 때문에 칩 크기를 줄일 수 있고, 드레인 바이어스를 인가하기 쉽다는 장점도 있다.^[10]

Quadrature 입력과 출력이 필요한 밸런스 형태의 전력증폭기에는 비교적 사이즈가 작은 Lange 커플러도 많이 이용되고 있다.

3. 그 외의 고려사항

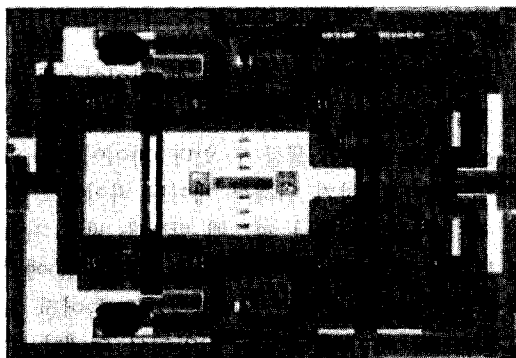
고주파 전력증폭기를 설계할 때 바이어스에 의한 저주파 발진과 전력소자간에 페루프가 형성되어 odd 모드발진이 생길 수 있다. 바이어스에 의한 발진을 억제하기 위해서 게이트 바이어스 단에 저항을 삽입하거나 피드백 방법을 써서 저주파 발진을 막는 방법을 이용한다. <그림 18>에서처럼 Odd 모드 발진은 전력합성기로 묶어진 두 트랜지스터 사이에 저항을 삽입해서 억제할 수 있다.



〈그림 18〉 Odd 모드 및 바이어스 발전 억제 방법

4. 앞으로의 발전 방향

Source-Load pull 측정이 밀리미터 대역의 고주파에서는 쉽지 않기 때문에 고주파 전력증폭기를 설계할 때는 이용하고자 하는 소자의 정확한 모델이 필요하다. 또한 아직까지는 대부분의 전력증폭기가 높은 선형성을 위해서 Class A 또는 Class AB로 설계되고 있어서 PAE (Power Added Efficiency)가 낮다. 그래서 높은 효율을 가지면서 좋은 선형성을 가지는 회로의 설계가 필요하다. 또한 고주파전력증폭기에는 아직 단말기 전력증폭기에서 보여지고 있는 입력전력레벨에 따라 바이어스 전압을 바꿔주는 스마트기능이 내장되고 있지 못하고 있지만 앞으로는 이러한 기능을 가지는 전력증폭기에 대한 개발이 이루어질 것으로 보인다. 그리고 FET 소자를 이용한 전력증폭기는 게이트 바이어스로 마



〈그림 19〉 CPW를 이용한 Ka-band 전력증폭기

이너스 전압이 필요하게 되는데 최근에는 enhancement 모드로 동작하는 소자의 개발이 이루어지고 있고 마이너스 전압을 발생시키는 회로를 함께 집적한 전력증폭기도 선보여지고 있다.

전력증폭기는 Heat sink를 얼마나 잘하느냐가 성능에 아주 큰 영향을 미치기 때문에 상대적으로 기판두께가 얇고 다룰 수 있는 전력이 높은 마이크로스트립라인을 많이 이용했지만, 최근에는 Flip-Chip 기술이 발전하고 밀리미터 대역에서는 신호간의 간섭이 크기 때문에 이를 줄이기 위해서 CPW를 이용한 전력증폭기의 개발도 많이 이루어질 것으로 보인다.^[11]

IV. 결 론

지금까지 단말기용 RF 전력증폭기와 고주파용 전력증폭기의 소자와 설계방법 등에 대하여 알아 보았다. 단말기용 전력증폭기는 한정된 배터리 용량에서 동작하기 위하여 낮은 전압에서 동작하고 효율을 극대화하는 것이 중요하다. 또한 디지털 변조 방식에 따라 선형성이 중요하다. 최근에는 값싼 실리콘 공정을 이용하여 집적화하려는 노력이 진행중이다. 고주파용 전력증폭기는 높은 출력전력을 내기 위하여 전력합성기를 이용해야 하기 때문에 MMIC로 제작시에 칩 크기를 줄이는 것이 중요하고 단말기용 전력증폭기에서와 마찬가지로 높은 선형성과 고효율을 동시에 이룰 수 있는 전력증폭기에 대한 연구가 앞으로도 많이 수행되어야 하겠다.

참 고 문 헌

- [1] S. Shinjo, "Low Quiescent Current SiGe HBT Driver Amplifier Having p-MOSFET Current Mirror Type Self Bias Control Circuit", IEICE General Conference Proceedings, C-2-29, 2001

- [2] David Su and William McFarland, "A 2.5V, 1W Monolithic CMOS RF Power Amplifier", IEEE Custom Integrated Circuits Conference, pp.189-192, 1997
- [3] King-Chun Tsai and Paul R. Gray, "A 1.9GHz, 1W CMOS Class-E Power Amplifier for Wireless Communications", IEEE Journal of Solid-State Circuits, vol. 34, No. 7, pp.962-970, July 1999
- [4] Changsik Yoo and Qiuting Huang, "A Common-Gated Switched, 0.9W Class-E Power Amplifier with 41% PAE in 0.25 μ m CMOS", IEEE Symposium on VLSI Circuits Digest of Technical Papers, pp.56-57, 2000
- [5] Ichiro Aoki, Scott D. Kee, David Rutledge, and Ali Hajimiri, "A 2.4 GHz, 2.2W, 2V Fully-Integrated CMOS Circular-Geometry Active-Transformer Power Amplifier", IEEE Custom Integrated Circuits Conference, pp.57-60, 2001
- [6] Timothy C. Kuo, Bruce B. Lusignan, "A 1.5W Class-F RF Power Amplifier in 0.2 μ m CMOS Technology," IEEE International Solid-State Circuits Conference, pp.154-155, 2001
- [7] B. Green, "High-Power Broad-Band AlGaIn/GaN HEMT MMICs on SiC Substrate", IEEE Trans. Microwave Theory and Techniques, Vol 49, No. 12, pp.2486-2493, Dec, 2001
- [8] A. Grebennikov, "Create Transmission-Line Matching Circuits For Power Amplifiers", Microwaves & RF, pp. 113-172, Oct, 2000
- [9] T. Hirota, "Reduced-Size Branch-Line and Rat-Race Hybrid for Uniplanar MMIC's", IEEE Trans. Microwave, Theory and Tech., Vol. 38, pp.270-275, Mar, 1990
- [10] S. P. Marsh, "Design and analysis of an X-band MMIC "bus-bar" Power combiner", EDMO, pp.164-169, Nov, 1999
- [11] A. Bessemoulin, "Ka-Band High-Power and Driver MMIC Amplifiers Using GaAs pHEMTs and Coplanar Waveguides", IEEE Microwave and Guided Wave Letters, Vol. 10, No. 12, pp.534-536, Dec, 2000

저자 소개



金汀根

1976년 10월 16일생, 1999년 2월 한국과학기술원 전기및전자공학과 학사, 2001년 2월 한국과학기술원 전기및전자공학과 석사, 2001년 현재 한국과학기술원 전자전산학과 박사과정, <주관심

분야: Ku, Ka-band 전력증폭기 설계 및 MES-FET 모델>



金德桓

1975년 12월 18일생, 1999년 2월 한국과학기술원 전기및전자공학과 학사, 2001년 2월 한국과학기술원 전기및전자공학과 석사, 2001년 현재 한국과학기술원 전자전산학과 박사과정, <주관심

분야: RF전력소자 모델링 및 회로설계>



洪聖喆

1959년 2월 19일생, 1982년 2월 서울대학교 전자공학과 학사, 1984년 2월 서울대학교 전자공학과 석사, 1989년 4월 University of Michigan 전자공학과 박사, 1985년~1989년: Univ. of

Michigan Research Assistant, 1991년 8월~1992년 3월: University of Michigan Visiting Professor, <주관심 분야: 반도체소자 모델, MMIC 회로설계, 광소자 및 양자기능소자>