

## SOC를 위한 효율적인 IP 재활용 방법론

배 종 홍

Hynix 반도체 SP BU

### 요 약 문

VLSI 기술의 발전은 보다 많은 양의 로직을 단일 칩에 집적 가능하게 했고, 이는 System-on-a-chip 시대의 도래를 가능하게 했다. System-on-a-chip을 가능하게 하기 위해서는 많은 종류의 IP(Intellectual Property)가 필요하고, 공정 변환을 쉽게 하기 위해서는 합성이 가능한 RTL 설계가 절실히 요구된다. 본 논문은 이러한 요구에 부응하기 위해서 hard macro 형태의 기존의 IP로부터 합성 가능한 IP를 자동 생성해 주는 ART(Automatic RTL Translation)로 명명된 기법에 관한 것이다. 제안된 ART 기법을 이용하여 80C52 호환의 8-bit MCU(Micro-controller Unit)의 합성 가능한 RTL model을 자동 생성하였고, 개발된 Soft IP를 이용하여 TCP/IP 전용 MCU를 포함해서 다양한 제품들을 개발하였다.

Key Words : System-On-Chip, IP, ART

### I. 서 론

VLSI 기술의 발전으로 보다 많은 양의 로직을 단일 칩에 집적할 수 있게 되었고, 이는 System-On-Chip 시대의 도래를 가능하게 했다. 고집적의 시스템을 단 기간에 개발하기 위해서는, IP(Intellectual Property)로 통용되는 기존에 잘 설계된 core를 이용하는 것이 절실히

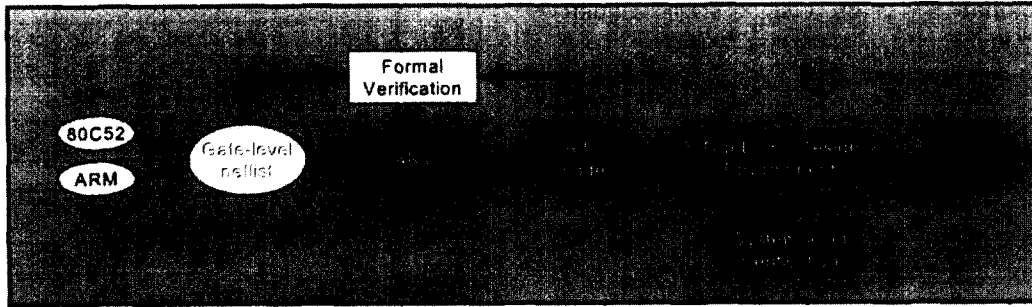
요구된다<sup>[1]</sup>.

그러나, 기존에 설계된 많은 IP들은 gate 수준 및 circuit 수준의 hard core로 되어 있다. 이는 공정 변환(technology migration)을 위해 많은 시간이 소요되며, IP의 인식성(readability)이 낮은 문제도 있다. 따라서 최근에는 공정 변환이 용이하며, 인식성이 뛰어난 RTL(Register Transfer Level) 코드로 설계된 soft IP를 선호하는 경향이 있다. 이 글은 기존에 설계되어 있는 hard core IP로부터 로직 합성이 가능한 soft RTL IP를 Verilog HDL(Hardware Description Language)<sup>[2]</sup> 형태로 자동 생성할 수 있게 하는 시스템에 관한 것이다. 이 시스템은 하이닉스 반도체에서 개발되었으며, ART(Automatic RTL Translation)시스템으로 명명된다.

본 논문의 구성은 다음과 같다. 2장에서는 이 과제를 진행하는 필요성에 대해서 언급한다. 3장에서는 제안된 ART 시스템에 대해서 설명하며, 4장에서는 재활용을 위해서 개발된 IP의 기능 검증을 위한 2가지의 설계 검증 방법에 대해서 설명한다. 5장에서는 구현 결과를 보여 주고, 최종적으로 6장에서는 결론으로 이 글을 맺는다.

### II. 과제의 필요성

일반적으로 이미 보유하고 있는 많은 IP들은 회로 및 게이트 단계로 구성된 하드 매크로(Hard macro) 형태로 되어 있다. 필자가 속해 있는 회



〈그림 1〉 ART 과제 전체 진행도

사도 80C52 및 ARM 호환 MCU 코어를 비롯해서 I/O 관련 IP들까지 다양한 IP들을 보유하고 있는데, 이들의 상당부가 하드 매크로 구성되어 있다. 이들을 이용해서 제품을 개발할 경우에 공정변환이나 설계 변경에 많은 어려움이 있었다. 따라서 이 과제에서는 아래와 같은 일들을 진행하는 것을 목표로 하였다.

• RTL 코드의 자동 생성 환경

먼저 보유하고 있는 하드 매크로와 등가적인 Verilog 형태의 RTL 수준의 IP를 생성할 수 있는 시스템을 구성하는 것이다. 우리는 이 시스템을 ART(Automatic RTL Translation)으로 명명하였다. 그리고 생성된 RTL IP의 1차적인 검증 및 ART 시스템의 기능을 검증하기 위해서 Formal Verification 기법<sup>[4]</sup>을 사용하였다.

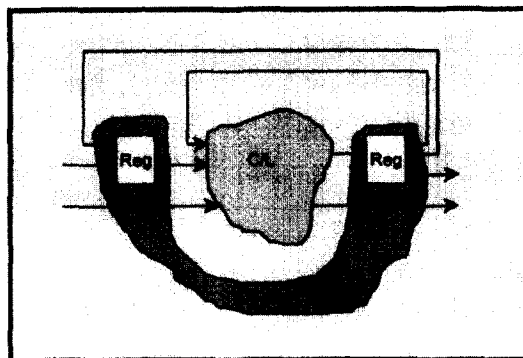
• 효율적인 시스템 수준의 설계 검증 방법

생성된 IP의 검증을 위해서 Top-Down의 설계환경을 구축하였다. 기능검증을 보다 원활히 하기 위해서 IPC(Inter-Process Communication)에 의한 시스템 수준의 설계 방법을 제안하고 구현한다.

III. ART(Automatic RTL Translation) 시스템

1. 로직 모델

구현된 ART(Automatic RTL Translation) 시스템은 기존의 gate 및 circuit 수준의 설계로부터 RTL 모델을 자동적으로 생성한다. ART 시스템은 〈그림 2〉에서와 같은 로직 모델을 근거로 하여 구현되었다. 그림에서의 로직 모델과 같이 전체 설계를 구성하는 모든 모듈은 com-



〈그림 2〉 ART를 위한 로직 모델

binational 블록(이하, C/L 블록)과 sequential 블록(이하, Reg 블록)으로 구분되는 것으로 간략화 할 수 있다<sup>[3]</sup>. 이 때, 각각 블록의 입력 및 출력 신호는 다음과 같이 구성된다.

Reg 블록의 입력 신호로 될 수 있는 것으로는 전체 모듈의 입력 포트와 C/L 블록의 출력 포트, Reg 블록의 출력 포트 등이 있다. Reg 블록의 출력 신호로 될 수 있는 것으로는 Reg 블록의 입력 포트와 전체 모듈의 출력 포트, C/L 블록의 입력 포트가 된다. 또한 C/L 블록의 입력 신호로 될 수 있는 것으로는 전체 모듈의 입력 포트와 Reg 블록의 출력 포트가 있고, 출력 신호로 될 수 있는 것으로는 전체 모듈의 출력 포트와 Reg 블록의 입력 포트가 있다. ART 시스템은 상기와 같이 모든 모듈을 C/L 블록과 Reg 블록으로 분리해서 등가적인 RTL 코드를 자동 생성한다.

## 2. ART 시스템의 처리 알고리즘

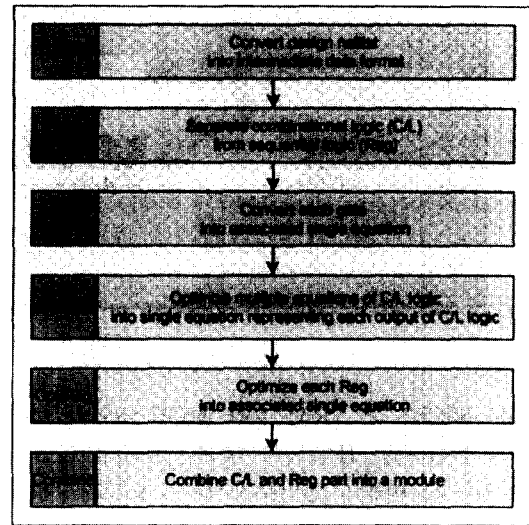
ART는 앞에서 설명된 로직 모델을 기본으로 한다. ART 시스템은 기존의 모델을 C/L 블록과 Reg 블록으로 분리한다. 분리된 각각의 블록은 인식성(readability)을 향상시키기 위해서 최적화 과정을 거치며 최종적으로 2개의 블록은 1개로 합쳐진다. <그림 3>은 1) Conv, 2) Combi, 3) G2r, 4) OptiCL, 5) OptiReg, 6) Combine 등 6개의 과정으로 구성된 제안된 ART 시스템의 처리 알고리즘을 보여준다.

### • Conv 단계 :

Design netlist의 모든 cell들을 중간 형태(intermediate format)의 cell로 변환한다. 이 때, 중간 형태의 cell이라고 함은 후술되는 Combi단계에서 인식되는 cell들을 의미한다.

### • Combi 단계 :

<그림 2>에서 설명한 것과 같이 모듈을 C/L 블록과 Reg 블록으로 나눈다. 이와 같은 과정은 G2r과 OptiCL을 통해서 C/L 블록의 등가 RTL 변환을 하고, OptiReg과정을 통해서 Reg



<그림 3> 제안된 ART 시스템의 처리 알고리즘

블록의 등가 RTL 변환을 용이하게 하기 위한 것이다.

### • G2r 단계 :

C/L 블록의 각각의 combinational cell들을 등가의 Verilog HDL(Hardware Description Language)의 continuous assignment statement로 변환하는 과정이다.

### • OptiCL 단계 :

G2r에 의해서 모든 출력들은 입력 및 중간 node를 입력으로 하는 assignment statement로 구성된다. OptiCL 과정은 모든 출력 신호들을 입력만으로 구성된 등가 assignment statement로 변환하여 코드의 인식성(readability)을 높인다. 이를 위해서는 중간 node들을 해당하는 등가 로직으로 변환시키고, 등가 신호의 입력 신호가 모두 C/L 블록의 입력만으로 될 때까지 이 과정을 반복한다.

### • OptiReg 단계 :

Reg 블록의 sequential cell들을 해당하는 Verilog HDL의 procedural assignment로 변환한다.

• Combine 단계 :

분리 되었던 C/L 블록과 Seq 블록을 한 개의 모듈로 결합하여 RTL 코드 자동 생성 과정을 마무리 한다.

IV. 설계 검증 환경

ART 시스템을 이용하여 생성된 RTL 모델은 이전의 gate 모델 또는 circuit 모델과 논리적 기능이 일치하는 것을 목표로 한다. 그러나 ART 시스템의 처리과정 알고리즘 등에서 오류가 있을 수 있다. 이러한 오류들을 해결하기 위해 1) formal verification과 2) IPC(Inter-Process Communication)에 기반을 둔 시스템 레벨의 기능 검증 방법, 이 두 가지 방법을 사용하였다.

1. Formal Verification

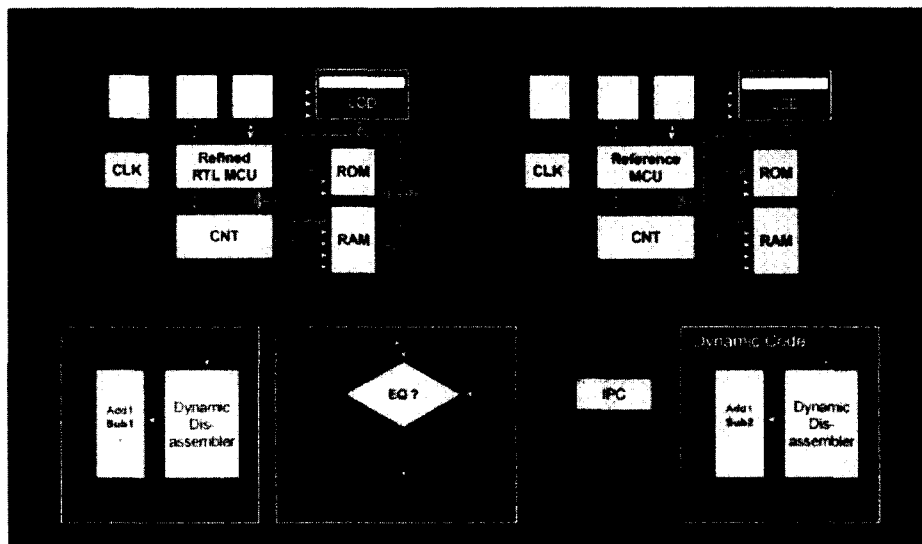
ART 시스템을 이용해서 생성된 RTL 모델을 검증하기 위해서 formal verification 툴의 한 종류인 Chrysalis Symbolic Design사의 Design

VERIFyer<sup>[4]</sup>를 사용하여 논리적 기능을 검증하였다.

Formal verification은 수학적 해석을 통해 설계 자료의 로직 검증을 가능하게 하는 방법이다. 보편적으로 로직 검증에 사용되는 시뮬레이션 방법은 사용된 테스트 프로그램에 한정하여 로직을 검증하므로 테스트 프로그램이 완벽하지 못할 경우에 로직 검증에 허점이 생길 수 있다. 반면에, formal verification을 이용하면 설계의 논리적인 오류를 사용된 테스트 프로그램에 제한 받지 않고 쉽고, 정확하게 검증할 수 있는 장점이 있다. 본 연구에서는 formal verification을 이용해서 ART시스템의 논리상의 오류를 쉽게 발견할 수 있었다.

2. 시스템 수준에서의 기능 검증 기법

기준 모델인 gate 모델과 RTL 모델과의 논리적 기능 뿐만 아니라 timing을 같이 check하기 위해서 <그림 4>에 도시한 시스템 레벨의 설계 검증 환경을 구축하였다. 본 설계 검증 환경은 Target 시스템과 동일하게 모델링 된 Virtual 시스템 2개와 Virtual 시스템의 내부 상태를 IPC(Inter-Process Communication)<sup>[5]</sup>를 통해



<그림 4> IPC 기반의 시스템 수준의 기능 검증 환경

비교하게 될 State-Checker, 그리고 좀 더 쉬운 디버깅 환경을 위해 구현된 dynamic disassembler로 구성 되어진다.

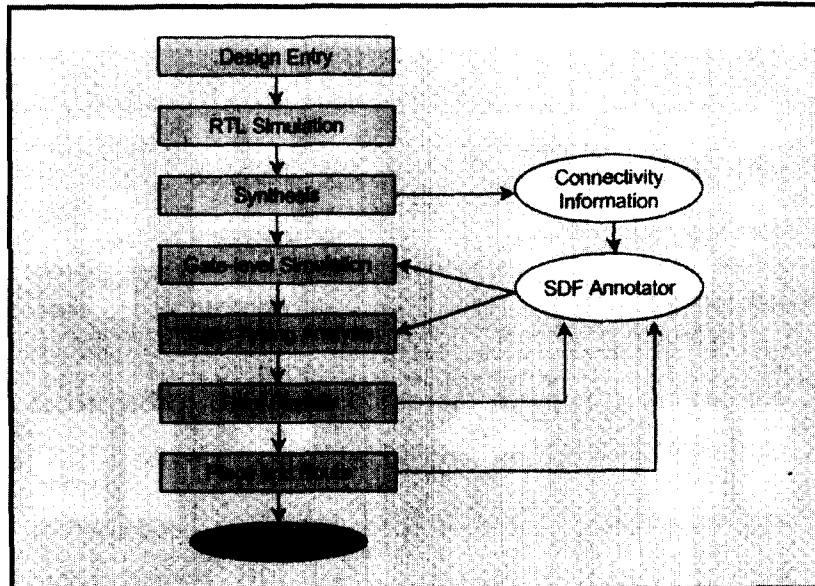
Target 시스템은 MCU (Micro-Controller Unit)와 RAM, ROM 그리고 여러 디바이스로 구성되어 있다. Master virtual 시스템과 Slave virtual 시스템의 MCU 모델로는 새롭게 개발된 MCU의 RTL 모델과 기존의 gate-level 모델을 각각 사용한다. 이외의 주변 블럭들은 동일한 기능을 수행하도록 Verilog HDL로 모델링 하였다. 각각의 MCU는 ROM으로부터 프로그램 코드를 폐치하여 디코딩 한 후 해당 명령어를 실행하게 된다. 하나의 명령어가 수행되고 나면 Master virtual 시스템의 내부 상태 변수들과 Slave virtual 시스템의 내부 상태 변수들이 IPC를 통해 State-Checker로 전달된다. State-Checker는 두 내부 상태 변수들을 서로 비교한 후 차이가 없으면 각각의 virtual 시스템에게 다음 명령어를 실행하게 하는 신호를 보내 주게 된다. 만약 내부 상태의 차이에 의해서 오류가 발생하게 되면 두개의 virtual 시스템은 시뮬레이션을 멈추게 되며 에러가 발생한 내부 상태 변수들

을 출력하게 된다. 또한 쉬운 디버깅을 위하여 두개의 virtual 시스템상에서 현재 실행되고 있는 명령어를 disassembler로 분석하여 결과를 보여 준다. 이와 같은 방법을 사용하여 오류 검증이 쉬운 시스템 레벨 로직 검증 환경을 구축하였다.

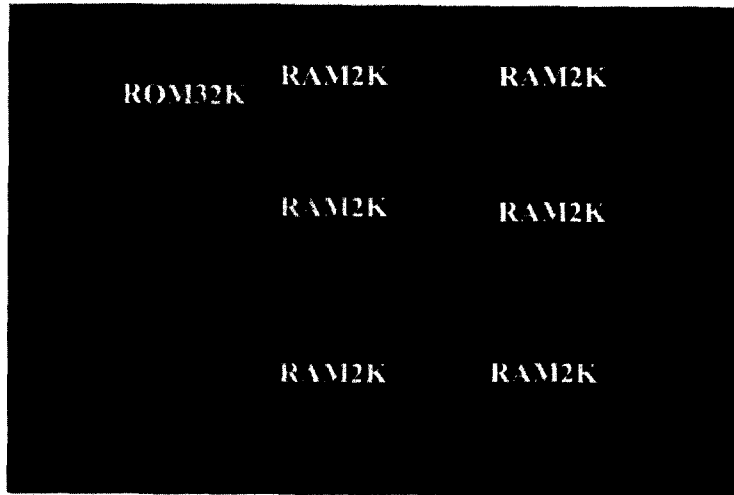
## V. 실 험

구현된 ART 시스템을 이용하여 80C52 호환 hard-macro MCU로부터 이와 등가적인 soft IP를 개발하였다. 개발된 모델은 <그림 5>에 도시화한 디자인 단계를 통해 구현되었다.

먼저 ART 시스템 환경을 적용하여 새로운 RTL 모델을 생성하였다. Formal verification을 이용해서 1차적인 로직 검증을 하였다. RTL 모델을 시스템 수준의 기능 검증 환경에서 Verilog-XL<sup>[2]</sup> 시뮬레이터를 사용하여 dynamic RTL 시뮬레이션을 완료하였다. 이때는 설계된 MCU의 timing 문제를 같이 고려하여 로직 검증을 한다.



<그림 5> 최적화된 IP의 구현을 위한 디자인 흐름도



〈그림 6〉 개발된 soft IP를 이용하여 구현된 TCP/IP 전용 MCU chip의 P & R 결과(5.3×3.5mm<sup>2</sup>)

검증된 RTL 모델은 Synopsys사의 합성툴인 Design Compiler<sup>[6]</sup>를 사용하여 gate-netlist와 SDF 파일을 생성하였다. SDF(Standard Delay Format) 파일은 wire delay를 포함한 netlist의 delay parameter를 포함하는 파일로서 보다 정확한 timing simulation을 가능하게 한다. 먼저 gate 단계에서는 합성툴에서 gate 상호간 연결 정보를 이용하여 통계학적으로 wire load를 계산한 값을 이용해서 시뮬레이션을 진행하고, floor plan 및 최종 P & R을 거치면 보다 정확한 SDF를 추출하여 simulation을 할 수 있게 된다. 검증된 gate-netlist는 Pathmill툴을 이용해 STA(Static Timing Analysis)<sup>[7]</sup>를 수행하게 되며 최종적으로 레이아웃 툴인 Avante사의 Apollo<sup>[8]</sup>로 gate-netlist가 넘겨져 플로어 플랜 후 place & route를 수행하게 된다. 최종적인 레이아웃이 끝나기 전에 설계 최적화를 위한 몇 가지 작업들이 피이드백을 통해 반복해서 수행된다.

일련의 과정으로 개발된 80C52 호환 soft IP는 여러 가지 SOC 제품으로 그 기능이 검증되었다. 〈그림 6〉은 상기의 soft IP를 이용하여 하이닉스 반도체에서 개발된 TCP/IP 전용 MCU core의 구현 결과를 보여준다.

## VI. 결 론

Legacy hard macro IP로 부터 soft IP를 자동으로 변환시켜 주는 ART(Automatic RTL Translation) 시스템을 개발하였다. ART 시스템은 변환할gate-netlist를 combinational 블록과 sequential 블록으로 분류하고 각각의 블록을 최적화한 후 두개의 블록을 결합하는 방식으로 soft IP를 생성한다. 개발된 RTL 모델은 formal verification 툴과 IPC(Inter-Process Communication)에 기반을 둔 시스템 수준의 기능 검증 방법으로 그 기능을 검증한다. 하이닉스 반도체에서는 검증된 80C52 soft IP를 이용하여 TCP/IP 전용 MCU를 포함한 다양한 응용제품을 개발하였다. 추후의 연구과제로서는, 이 ART 시스템을 이용하여 기존의 다양한 soft IP를 개발하여 보다 강력하고 효율적인 SOC 환경을 구축하는 것이 되겠다.

## 참 고 문 헌

[1] Michael Keating and Pierre Bricaud,

- Reuse Methodology Manual for System-on-a-Chip Designs, KAP, 1998.
- [2] Verilog-XL reference manual, Cadence Design Systems, Inc., 2000.
  - [3] M. Morris Mano, Digital Logic and Computer Design, Prentice-Hall, 1979.
  - [4] Design VERIFYer reference manual, Chrysalis Symbolic Design, 2000.
  - [5] W. Richard Stevens, Advanced Programming in the UNIX Environment, Addison-Wesley Publishing Company, 1992.
  - [6] Design Compiler Family Reference Manual, Synopsys, 2000.
  - [7] PathMill reference manual, EPIC group of Synopsys, 2000.
  - [8] Apollo reference manual, Avante, 2000.
  - [9] A Manual of HMS91C7432, an 8-bit MCU for TCP/IP, Hynix, 2001.

## 저 자 소 개

裴鍾洪

1966년 9월 15일생, 1989년 2월 한양대학교 전자공학과 (학사), 1991년 2월 KAIST 전기 및 전자공학과 (석사), 1996년 2월 KAIST 전기 및 전자공학과 (박사), 1996년 1월~1999년 12

월 : Hynix 반도체/선임 연구원, 2000년 1월~현재 : Hynix 반도체/책임연구원, <주관심 분야 : VLSI for MCU and mixed mode design, SoC and IP, DSP(Digital Signal Processing), Computer architecture>