

IP 기반 SOC 설계 기술 동향

서지선*, 유회준**

*반도체설계자산연구소 책임연구원, **한국과학기술원 전기및전자공학과 교수, 반도체설계자산연구소장

I. 소개

SOC는 지금보다 더 큰 시스템을 의미하며 엄밀한 기술적 용어라기 보다는 인간의 기술 향상 욕구를 표현하는 말이다. 응용제품의 종류 및 기능이 많아질수록 SOC의 설계는 복잡 다양해지고 커져서 설계 생산력이 설계 요구량을 따라갈 수 없다는 위기감은 SOC 설계 방법론이 출현하는 계기가 되었다. 그중 한 가지 방법으로 제안되어 지금도 활발하게 연구되고 있는 방법이 검증된 설계 블록인 IP를 사용하는 SOC 설계방법론이다.

본 논문에서는 IP 기반 SOC 설계 기술 동향을 알아보기 위해 우선적으로 IP의 설계 동향에 대해 알아보고 IP를 이용한 SOC 설계 사례에 대해 알아보려 한다.

II. SOC 설계를 위한 IP 설계 기술 동향

1. IP와 SOC

IP를 기반으로 SOC를 설계하려는 움직임은 4~5년전부터 있었다. IP로 SOC를 설계하겠다는 기본 생각은 필요한 기능의 여러가지 칩을 한 보드에 꽂아서 원하는 기능의 전자시스템을 구현했던 것에서 출발했다. 그 후로 여러 칩을 한 칩에 집적하는 ASIC 기술이 발전되면서 많은 수의 칩들이 한 칩에 집적되어 갔고 이로 인해 PCB 사이즈와 수량이 줄어드는 효과를 보았다. 그러

나 시스템의 기능은 더 많은 것을 요구하게 되었고 이 요구에 맞추어 더 복잡한 기능을 한 칩으로 집적해야만 했다. 그 결과 한 칩을 설계하고 검증하기 위한 시간은 커져만 갔고 여러 전문분야의 기술이 필요해짐으로써 더 이상 한 회사에서 원하는 제품을 원하는 시간에 완성한다는 것은 어렵게 되었다. 그래서 기존의 설계된 블록들을 다시 사용하고 필요한 모든 블록을 자체적으로 개발하기 보다는 다른 업체등에서 개발된 블록을 가져다 사용함으로써 개발 시간을 훨씬 줄일 수 있다는 생각을 하게 되었다. 다시 사용할 수 있는 반도체 설계 블록 또는 모듈을 VC(virtual Component)라 부르게 되었고 여기에 거래의 개념이 추가되면서 IP(Intellectual Property)라는 말로 통용되고 있다. 그러나 기존의 설계된 블록을 다른 칩의 설계에 그대로 사용하기에는 문제점이 많았다. 첫번째는 IP의 서지였다. 내가 원하는 기능과 성능을 가진 IP를 간단히 찾을 수 있어야 했다. 두번째는 IP의 품질이었다. 안심하고 쉽게 사용할 수 있는 IP가 필요했다. 세번째는 IP의 사용방법이었다. IP끼리 간단히 연결되어 원하는 동작이 나와야 했다. 각각의 문제를 해결하기 위한 노력은 반도체 선진국에서부터 시작되었고 기관 또는 기업들이 이를 위해 활발히 움직이고 있다.

2. Integrate-centric IP

IP를 이용한 SOC 설계가 장점을 가지기 위해서는 빠른 개발시간이 보장되어야 한다. 이렇게 되기 위해서는 SOC 설계에 사용될 IP가 재 검증 또는 수정 없이 SOC에 바로 집적되어야 한다.

재검증 또는 수정없이 바로 사용될 수 있는 IP를 개발하기 위해서는 IP와 SOC에 대한 통일된 규격이 필요하게 된다. 혹자는 IP-centric SOC와 Integrate-centric SOC로 구분하기도 하는데 IP-centric은 flexible한 IP를 개발하여 필요에 따라 약간의 수정을 한 후 다양한 응용 칩에 사용하는 것을 목표로 하고 Integrate-centric은 응용 칩에 딱 맞는 IP를 개발하여 수정없이 바로 사용하는 것을 목표로 하고 있다. 어느 것이든 IP를 이용한 SOC 설계는 빠르고 쉬워야 한다는 것이 공통적인 목표이다.

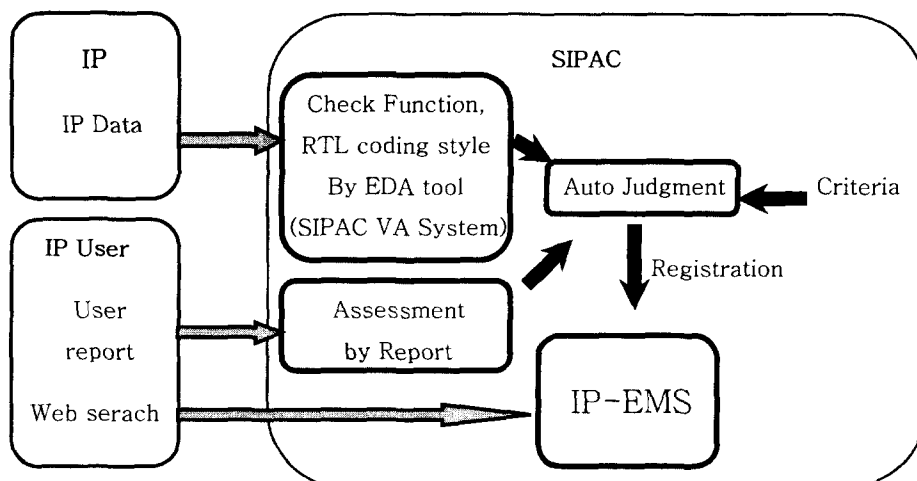
3. IP의 품질 보증

IP를 이용한 칩 설계시 IP의 품질보증 문제는 무엇보다 중요하다. IP의 품질을 크게 두 가지로 나눌 수 있다. 하나는 성능이고 둘은 IP 표준화 사양이다. 성능은 가장 기본이 되는 항목이지만 개발자가 IP의 성능을 정확히 평가해 보았는지를 검증해 볼 필요가 있다. 일본의 IPTC는 IP의 품질을 검사하는 절차가 엄격하여 5% 정도만 인증되고 있다. IPTC의 품질검사 방법은 IP 개발자가 작성한 보고서와 code coverage, RTL coding style등을 EDA tool로 직접 검사한 결과를 토대로 7가지 품질항목을 수량화하여 홈페이지에 게재하고 있다. IPTC는 어떤 기준 이상

의 점수를 획득하여야 인증해주고 있으며 이런 과정을 통해 전반적인 IP의 품질향상을 기대하고 있다. 또한 IPTC는 일본내 hd lab Inc. 에서 출판한 'RTL Design Style Guide - Verilog'로 Soft IP에 대한 표준화를 추구하고 있다. SIPAC에서도 IP 검증 및 평가시스템을 구축하여 IP 기능평가와 다른 IP와의 연결에 의한 간단한 SOC 기능 평가를 Web 기반으로 할 수 있게 되었다. 또한 SIPAC에서 제정한 HDL coding 지침서에 따라 HDL coding style을 Web을 통해 검사할 수 있는 과정시스템을 2002년 하반기부터 운영하게 된다. <그림 1>은 SIPAC의 IP 품질검사 과정을 보여준다.

4. Configurable IP

SOC의 정확한 요구사양을 맞추기 위해서는 IP의 수정이 불가피한 경우가 많다. 이런 과정에서 시간낭비뿐만 아니라 딱 맞는 IP를 만들지 못할 수도 있다. 이를 해결하기 위해 SOC에 필요한 IP의 다양한 기능특성의 셋을 IP와 함께 구현함으로써 SOC 사양에 정확히 맞는 IP를 선택적으로 생성시킬 수 있게 한 configurable IP가 Palmchip사와 Synopsys사에서 발표됐다. Configurable IP에는 임베디드 프로세서, standard-based function, architectural com-



<그림 1> SIPAC의 IP 품질 검사 과정

ponent에 적용될 수 있다. Configurable 프로세서는 따로 DSP를 추가하지않고도 어떤 DSP 명령어를 추가함으로써 필요한 사양을 맞출 수가 있으며 프로세스의 성능을 향상시키는 효과가 있다. standard-based configurable IP의 예는 PCI이다. Configurable PCI core는 Clock, BUS width 등 많은 변수들을 SOC 사양에 맞추어 지원하게 된다. SOC architectural component는 SOC block integration의 핵심이 되는 것으로 configurable IP를 사용함으로써 성능을 향상시킬 수 있다. 예로 Palmchip사에서 제공하는 CoreFrame on-chip integration architecture <그림 6>에서 MAC의 경우 고속의 명령어와 데이터 기능을 수행하는데 매우 중요한 IP이다. MAC는 SOC 성능에 큰 영향을 주기 때문에 SOC의 특성에 맞추어 설계해야 하는데 Configurable IP가 없다면 SOC에 맞는 MAC을 처음부터 설계하거나 기존의 IP에 많은 수정을 하여야 한다.

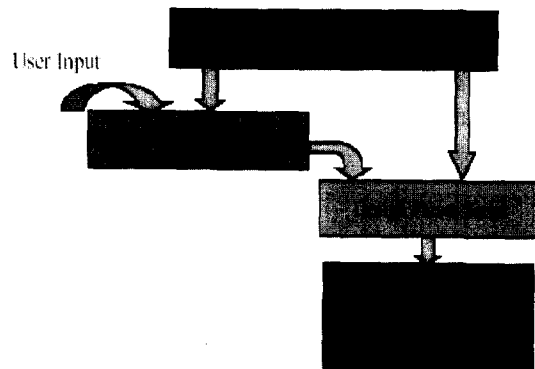
Configurable MAC IP는 다음과 같은 기능을 가질 수 있다.

- PCI 133 SDRAM, DDR SDRAM, Fast Page DRAM, EDO DRAM, ROM, FLASH, Compact Flash, SRAM memory types 지원
- 8 independent memory banks 까지 지원
- programmable 8/16/32/64 bit bus
- 128M memory depths까지 지원
- coreFrame, AMBA, VSIA VCI를 지원하는 Command, multi-master DMA port interface
- Burst matching DMA(2, 4, 8, 16, 32 memory burst lengths)
- 등등

Verilog IP의 경우 'define, 'include, 'ifdef, 'else, 'endif의 compiler directive와 conditional compilation을 사용하여 Configurable IP를 개발한다. 예를 들면 아래와 같다

```
'define timerblk
'define TMR_EV0
....
'define TMR_EV1
....
'define TMR_REG_EV0XXX_ADDR 8'hC0
....
module timer (
....
'ifdef TMR_EV0
event0_trig;
....
'endif
....
);
....
'ifdef TMR_EV0
input event0_trig;
....
'endif
....
endmodule
```

이렇게 개발된 Configurable IP를 system 요구에 맞춰 configure하는 방법은 <그림 2>와 같다. top level에서 shell script를 수행하면 parameter generation과 design parser의 두 PERL script를 부르게 된다. parameter genera-



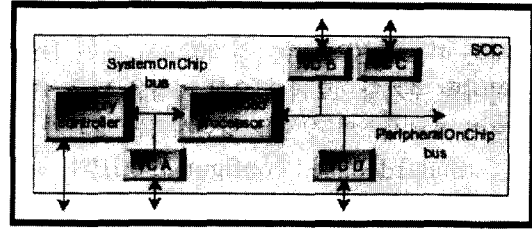
<그림 2> Configure IP를 System에 맞춰 configure 하는 과정

tion script는 params. v를 생성하고 일반적인 configuration error를 check한다. design parser script는 params. v를 사용하여 IP를 configure하고 쓸모없는 RTL code, test bench, synthesis scripts가 제거된다. 그 결과로 compact한 IP가 생성되게 된다.

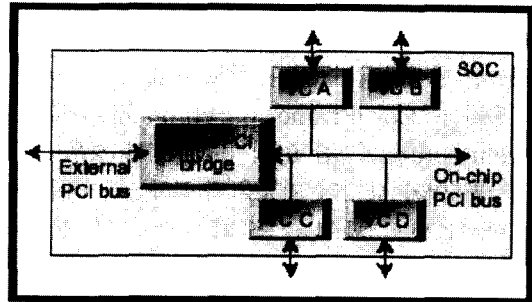
III. IP 기반 SOC 설계 방법

1. On-Chip-Bus

한 개 이상의 IP를 사용하여 SOC를 설계하기 위해서는 IP간의 연결방식이 중요하다. IP간의 연결은 IP간에 직접 연결이 아닌 OCB(on-chip-bus)를 이용한다. OCB는 일반적으로 System bus와 Peripheral bus로 구분된다. System bus에는 임베디드 프로세서 또는 DSP에 메모리 컨트롤러와 고속의 IO device들이 연결된다. Peripheral bus에는 저속의 IO device들이 연결된다. 두 bus간의 연결은 프로세서가 직접 드라이브하더라도 인터페이스 블락이 다리역할을 하게 된다. <그림 3>은 두 bus를 가진 SOC를 보여주고 있다. 실제 칩을 보면 system bus에는 400Mbps 1394 interconnect IP가 연결되고 peripheral bus에는 USB, RS232, IrDA 같은 비교적 느린 IO device가 연결된다. 거의 모든 임베디드 프로세서는 그들만의 독특한 system bus를 가지고 있기 때문에 모든 IP에 적용될 수 있는 OCB 표준은 불가능하다. 이 때문에 ARM 프로세서를 위한 AMBA bus 같은 몇몇 버스들은 어떤 응용영역의 SOC 설계에 적합하도록 bus 표준을 제공하기도 한다. Peripheral bus로 관심을 끄는 것 중에 PCI OCB가 있다. PCI는 거의 모든 프로세서에서 지원하고 있고 또 다른 interface로 변환이 쉽기 때문에 PCI OCB를 사용하게 된다. <그림 4>는 multi-protocol I/O 컨트롤러를 보여주고 있다. PCI가 붙어있는 IP들로 multiple I/O(예, USB, 1394, Ethernet)를 구성하고 IP간에는



<그림 3> 두 bus구조를 가진 On-Chip-Bus (OCB)



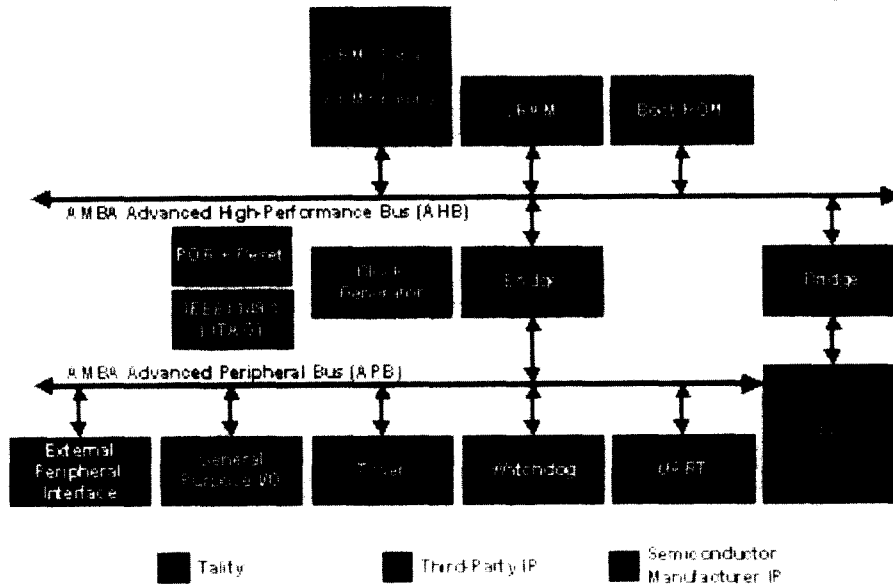
<그림 4> PCI OCB 구조

PCI OCB로 연결하게 된다. PCI-to-PCI 브리지는 시스템의 PCI slot등 외부의 PCI와 연결하는 것을 지원해준다.

VSIA는 IP 인터페이스 표준인 VCI(Virtual Component Interface)를 정의하였다. VCI는 OCB가 아니라 OCB 사용을 가능하게 해주는 IP의 인터페이스 표준안이다. VCI와 함께 개발된 IP를 사용할 경우 OCB와 VCI를 연결해주는 bus translator만 추가로 개발하면 어떤 OCB라도 사용할 수 있기 때문에 IP간 interface 설계시간을 줄일 수 있게 된다. VCI는 널리 쓰이고 있는 PCI 같은 OCB에 쉽게 변환되도록 정의되었다.

2. IP 기반 SOC 설계 사례

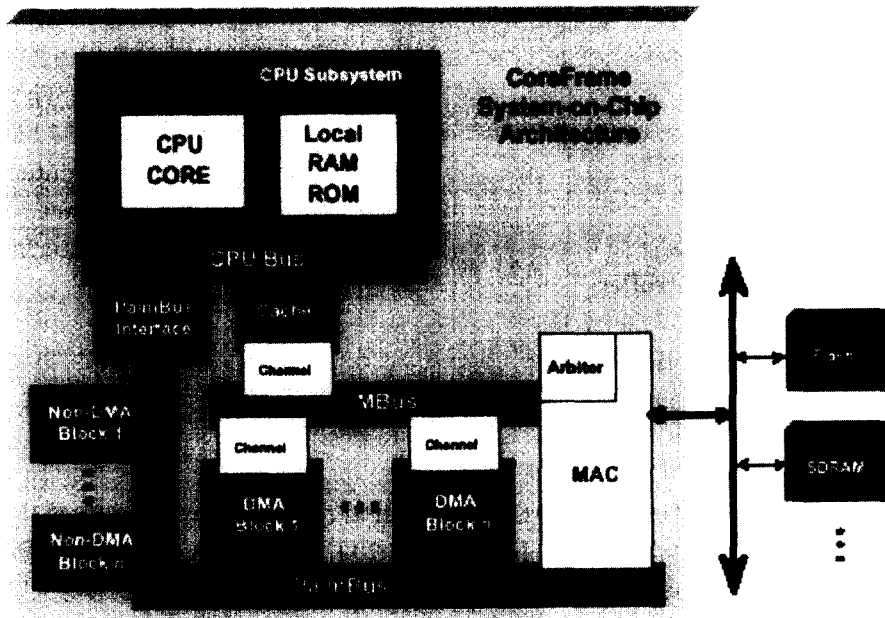
<그림 5>의 Tality사의 ARM integration platform은 ARM core를 포함하는 SOC 설계를 위하여 넓은 영역의 IP와 functional block을 빠르게 mix-and-match 시켜준다. Platform은 IP 선택, 집적, 검증을 위한 방법을 제공한다. ARM7과 ARM9뿐만 아니라 주변기기



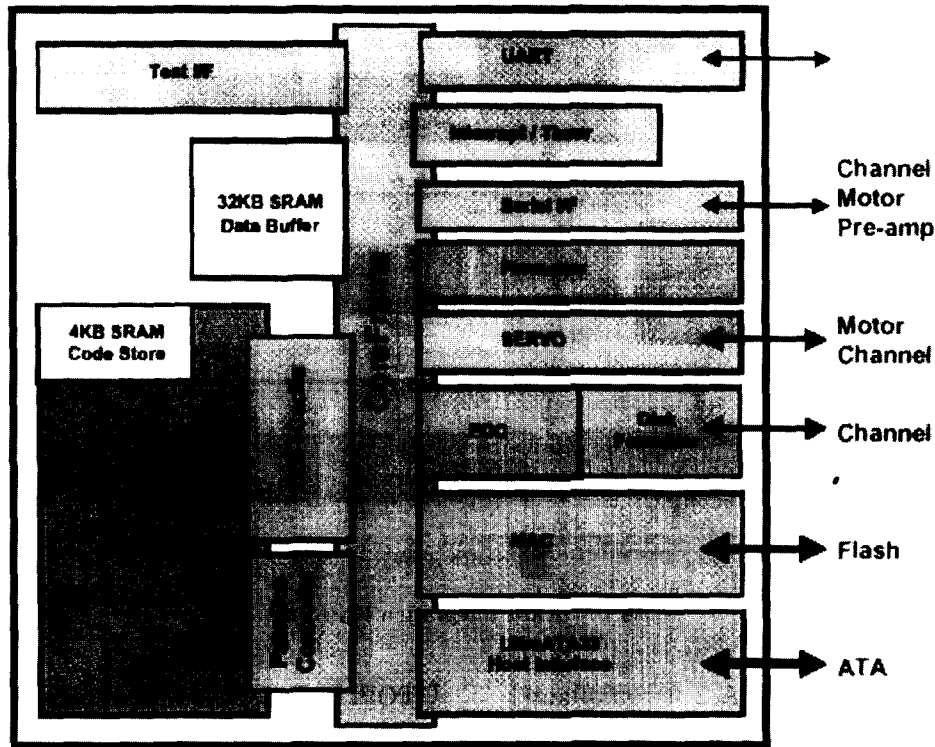
<그림 5> ARM Integration Platform

의 IP들을 선택하여 AMBA 2.0-compliant가 되도록 소켓에 끼우는 것처럼 연결한다. Tality는 이를 사용하여 ARM7TDMI, ARM720T,

UTOPIA, PCI, SDRAM interface로 구성된 ADSL칩을 개발했다. PALMCHIP사의 system-on-chip bus archi-



<그림 6> CoreFrame SOC Architecture



〈그림 7〉 CoreFrame을 사용한 HDD Controller

structure인 CoreFrame은 다음과 같은 인자로 구성되어 있다.

- PalmBus
- MBus
- CPU Core(RISC, DSP)
- Internal memory blocks
- PalmBus Interface Controller
- DMA Channels
- Memory Access Controller(MAC)
- Arbiter
- Peripheral Blocks

CoreFrame의 큰 특징은 Memory와 I/O의 Bus가 다르다는 것이다. PalmBus는 I/O backplane을 지원하여 processor, peripheral block을 조정하고 MBus는 processor의 방해 없이 주변장치의 데이터를 직접 shared memory

로 전송하기 위하여 DMA를 지원한다. 〈그림 6〉은 coreFrame 구조의 예를 보여준다.

〈그림 7〉은 CoreFrame을 사용하여 개발된 HDD Controller이다. ARM7TDMI core, local SRAM, ATA-33 host interface, data buffer, MAC, servo interface, formatter, Reed Solomon ECC, serial interface, UART로 구성되어 있다.

IV. 결 론

IP기반 SOC설계는 두 가지 관점에서 접근하고 있다. 하나는 범용적인 IP를 개발하여 다양한 SOC에 적용하는 방법이고 둘은 시스템 사양에 잘 맞는 specific-IP를 개발하여 specific-SOC를 설계하는 방법이다. 첫번째 설계 방법은 표준

화된 IP를 개발하는게 중요하다. 그리고 자신의 IP를 널리 알려서 많은 IP 사용자를 확보해야 IP의 가치가 발생하게 된다. 이 IP가 SOC에 사용되기 위해서는 빠른 IP 서치와 기술 보호를 위한 DB-유통시스템, IP 평가를 위한 검증 시스템, IP 사양 및 사용방법 등의 정보를 제공하기 위한 datasheet, IP 집적을 위한 기술적 지원 등을 요구하게 된다. 두번째 설계 방법은 specific-SOC를 위한 platform 개발이 중요하다. 개발해야 할 SOC 구조를 정한 후 이 구조의 interface를 고려한 IP를 개발하게 된다. 이 IP는 범용 IP에 비해 compact하게 설계되며 수정이 거의 없이 platform에 사용하게 된다. 지금은 Star IP를 보유하고 있는 기업체에서 이 IP에 맞는 platform을 제공하거나 target-centric platform을 개발하여 IP 및 SOC 설계의 표준화를 주도하려 하고 있다.

인간의 설계용량을 초과하는 시스템 칩의 시장성 때문에 대두된 IP 기반 SOC 설계 방법론은 표준화의 경쟁이 되고 있다. 국내에서도 IP의 표준화를 위해 SIPAC에서 활발히 활동하고 있고 MML 공정에서 memory가 중심이 되는 memory-centric platform 개발을 계획하고 있는데 이러한 노력들이 세계 IP 기반 SOC 시장에서 앞서 나갈 수 있는 방법이라고 생각한다.

참 고 문 헌

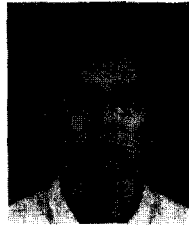
- (1) Henry Chang et al, Surviving the SOC Revolution, Kluwer Academic Publishers, 1999
- (2) Hiroshi Imai, Quality Check, IPTC presentation, 2001
- (3) Bill Cordan et al, Configurable IP-The Next Generation of Reusable System-on-Chip IP, SNUG San Jose 2000 Conference
- (4) Thomas Anderson, System-on-Chip Design with Virtual Components, Fea-

ture Article of Circuit Cellar, Aug. 1999

(5) <http://www.tality.com/>

(6) Bill Cordan, A Bus Architecture for System on Chip Design, D&R Papers, 2001

저 자 소 개



徐知仙

1966년 9월 21일생, 1988년 2월 고려대학교 전자전산공학과 학사, 1990년 2월 KAIST 전기및 전자공학과 석사, 1990년 2월~1995년 12월 : 삼성전자 연구원, 1996년 1월~2001년 4월 : KAIST IDEC 선임연구원, 2001년 5월~현재 : KAIST SIPAC 책임연구원, <주관심 분야 : IP authoring, SOC 설계 방법론>



柳會峻

1960년 7월 30일생, 1983년 2월 서울대 전자공학과 학사, 1985년 2월 KAIST 전기및전자공학과 석사, 1988년 8월 KAIST 전기및전자공학과 박사, 1988년 9월~1990년 12월 : Bell-core 연구원, 1991년 2월~1995년 5월 : 현대전자 수석연구원, 1995년 3월~1998년 1월 : 강원대학교 전자공학과 교수, 1998년~현재 : KAIST 전기및전자공학과 교수 <주관심 분야 : 고성능 메모리 설계, EML, OEIC, System IC, IP authoring>