

IMT-2000 전방궤환 디지털 적응 선형전력증폭기 설계

김갑기* · 박계각**

*목포해양대학교 해양전자통신공학부 교수
 **목포해양대학교 해상운송시스템학부 교수

Design of IMT-2000 Feedforward Digital Adaptive Linear Power Amplifier

Kab-Ki Kim* · Gyei-Kark Park**

*Mokpo National Maritime University Faculty of Marine Electronic and Communication Eng.
 **Mokpo National Maritime University Faculty of Maritime Transportation System

요약 : 현재의 디지털 통신시스템은 매우 다양한 디지털 변조방식을 채택하고 있다. 이러한 통신시스템에서는 인접채널에 대한 간섭을 최대한 줄이기 위해서 필연적으로 선형 전력증폭기를 요한다. 선형 전력증폭기는 매우 다양한데 그 중에서 전방궤환 전력증폭기는 구조상 광대역이면서 선형화 정도가 매우 우수하다. 전방궤환 전력증폭기에 사용되는 지연선로의 손실로 인하여 전체효율이 감소한다. 본 논문에서는 이러한 지연선로를 손실이 매우 작은 지연필터를 사용함으로써 효율과 선형성을 동시에 개선하였다. 측정된 결과 ACLR이 약 17.43dB 개선되었으며 이것은 지연필터를 사용함으로써 2.54dB 더 개선되었음을 나타낸다.

핵심용어 : 디지털 변조방식, 전방궤환 전력증폭기, 지연필터, 선형 전력증폭기

Abstract : Currently digital communication systems adapt various digital modulation schemes. All these communication systems are required to cause the minimum interference to adjacent channels, they must therefore employ the linear power amplifiers. In respect to linear power amplifiers, there are many linearization techniques. Feedforward power amplifier represent very wide bandwidth and high linearization capability. In the feedforward systems overall efficiency is reduced due to the loss of delay line. In this paper, delay filter instead of transmission delay line adapted to get more high efficiency. Experimental results showed that ACLR has improved 17.04dB which is added 2.54dB by using the delay filter.

Key words : linear power amplifiers, feedforward power amplifier, delay filter, digital modulation schemes

1. 서론

IMT-2000 시스템은 음성에서 멀티미디어로의 변환을 추구하고 있다. 차세대 통신 시스템에서는 제한된 주파수 대역에서 많은 양의 데이터를 취급해야 하므로 매우 복잡한 디지털 변조방식을 채택하게 된다. 이러한 디지털 변조 방식에서는 전체 통신 시스템의 선형성이 매우 우수해야 한다. 특히 전력 증폭기의 선형성이 전체 통신 시스템의 선형성을 좌우하므로 선형 전력증폭기가 필요하다.

현재까지 널리 알려진 선형화 방법으로는 백오프(back-off) 방식, 부궤환(negative feedback)방식, 포락선 궤환방식(envelope feedback)방식, 전치왜곡(predistortion)방식, 전방궤환(feedforward)방식 등이 있다. 그 중에서 전방궤환 방식은 구조가 복잡한 반면에 다른 방식에 비해 선형화정도가 매우 우수하며 광대역의 특성을 갖고 있다. 이러한 전방궤환 선형 전력증폭기는 디바이스의 열화나 환경에 의한 전체 성능을 보상해주기 위해 적응제어가 필수적으로 필요하다. 본 논문에서는 이러한 디지털

적응제어 방식의 전방궤환 선형 전력증폭기를 제작하였으며 특히 지연선로의 손실로 인한 효율의 감소를 줄이기 위해서 지연필터를 사용하였다.

2. 전방궤환방식 선형 전력증폭기

2.1 전방궤환루프

가장 간단한 형태의 전방궤환 증폭기는 Fig. 1과 같이 구성되어진다. 전방궤환 증폭기의 기본 동작 원리는 두 입력 신호를 동시에 인가했을 때 각 요소에서의 스펙트럼을 비교함으로써 설명할 수 있다

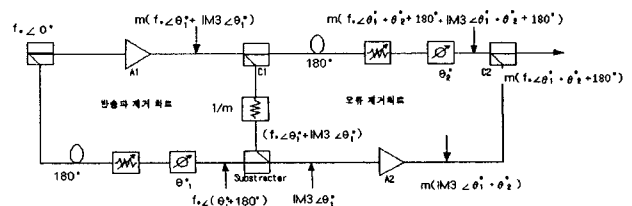


Fig. 1 Basic operation of feedforward power amplifier

* 정회원, microkim@mail.mmu.ac.kr, 061)240-7119
 ** 정회원, gkpark@mail.mmu.ac.kr, 061)240-7128

주 증폭기의 출력은 $V_{\epsilon}(t)$ 의 입력 신호에 대해서 다음과 같다.

$$V_{A1}(t) = \frac{A_{A1}}{2} V_{\epsilon}(t) e^{-j\omega\tau_{A1}} + V_d(t) \quad (1)$$

여기서, τ_{A1} 은 증폭기의 시간 지연, A_{A1} 은 주 증폭기의 이득, $V_d(t)$ 는 주 증폭기에 왜곡이다.

이때, 빼기회로의 출력 신호는 다음과 같다.

$$V_{err}(t) = V_{s1}(t) - V_{s2}(t) = \frac{A_{A1}}{2C_{C1}} V_{\epsilon}(t) e^{-j\omega\tau_{A1}} + V_d(t) - \frac{V_{\epsilon}(t)}{2} e^{-j\omega\tau_n} \quad (2)$$

식(2)에서 $\tau_n = \tau_{A1}$, $C_{C1} = A_{A1}$ 일 경우 다음과 같다.

$$V_{err}(t) = \frac{V_d(t)}{C_{C1}} \quad (3)$$

유사하게 전체 출력신호는

$$V_{out}(t) = \frac{A_{A1}}{2} V_{\epsilon}(t) e^{-j\omega(\tau_{A1} + \tau_n)} + V_d(t) e^{-j\omega\tau_n} - \frac{A_{A2}}{C_{C1}C_{C2}} V_d(t) e^{-j\omega\tau_{A2}} \quad (4)$$

이때, $\tau_{A2} = \tau_{A1}$, $A_{A2} = C_{C1}C_{C2}$ 이면 식(4)는 다음과 같다.

$$V_{out}(t) = \frac{A_{A1}}{2} V_{\epsilon}(t) e^{-j\omega(\tau_{A1} + \tau_{A2})} \quad (5)$$

그러므로 출력 신호는 주 증폭기의 왜곡 성분이 제거되고 입력 신호에 대하여 시간 지연과 증폭이 되어진 신호가 된다.

2.2 전방배환 선형 증폭기의 루프제어 방식

2.2.1 Look-Up 테이블을 이용한 루프 제어

만약 증폭기의 이득과 위상이 이상적인 루프 제거를 위한 값이 충분히 결정되어 질 수 있다면 이들의 값은 함수로서 제어 파라미터들을 테이블화 할 수 있다. 그리고 나서 이들은 상대적으로 간단한 작업으로 루프 제어기를 구성할 수 있다. 예를 들어 온도나 입력 신호의 크기 또는 입력 전압 등이 루프 제어의 파라미터들로 이용될 수 있다. 온도 센서로 현재의 온도를 검출하여 이에 대응하는 테이블에서의 진폭과 위상을 읽어서 이 데이터를 이득과 위상 제어 회로에 적용할 수 있다. 보정 데이터들은 EEPROM에 저장되었다 적당한 간격으로 센서를 통해 검출되어진 신호를 통해 제어 신호가 필요한지를 나타낼 수 있다. Look-Up 테이블 방식의 장점은 루프 밸런스에 대한 정보가 필요 없다는 장점이 있으나 모든 각각의 증폭기에 대해 테이블을 만들어야 한다는 단점이 있다.

2.2.2 아날로그 제어기를 이용한 루프 제어

Fig. 2는 아날로그 제어기에 의한 캐리어 상쇄루프의 예를

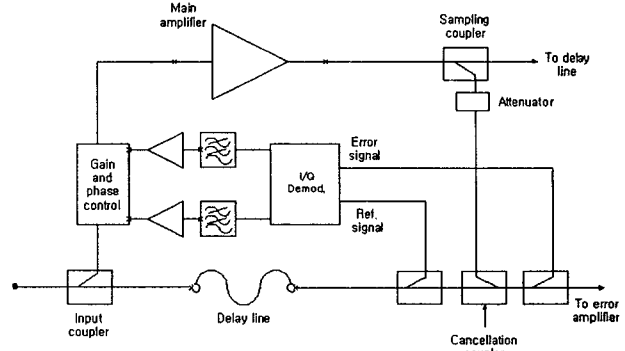


Fig. 2 Feedforward amplifier using analog control technique.

보여준다. 여기서 왜곡을 포함하는 오차 신호와 캐리어만을 포함하는 기준신호의 일부가 상관(correlated) 되어진다. 이로부터 얻어진 정보는 루프여파기에 피드백 되어 이득과 위상을 제어하게 된다. 루프밸런스는 기준신호와 오차신호가 비상관(uncorrelated)일 때 얻어진다. 이 제어기방식의 장점은 빠른 변화에 대한 보상을 할 수 있다는 것이다.

2.2.3 디지털 적응방식의 전방배환 선형화기

전방배환 방식은 이득변화와 위상지연으로 인한 전력증폭기의 비선형성을 선형화시킬 수 있으나 정교한 진폭과 위상의 조정을 요구한다. 만약 불균형성이 발생되었을 때 이를 검출기를 통해 그 크기 및 위상오차를 구해 가변 감쇠기와 가변 위상 변위기를 제어하여 교정해주어야 한다. 첫 번째 파일럿 신호로 쓰이는 반송파를 포함한 입력 신호가 주 증폭기에 공급되면, 증폭된 출력 신호가 생성되고, 두 번째 파일럿 신호가 증폭된 출력 신호에 주입된다. 주 증폭기에서 증폭된 신호는 지연선로를 통과하는 증폭 시스템의 출력 단에 공급되고, 증폭기와 관련된 첫 번째 루프와 보조 증폭기를 포함하는 두 번째 루프에 있어서는 파일럿 신호 성분을 가지는 두 개의 제어신호가 생성된다. 이 파일럿 신호성분들은 이산 푸리에 변환으로 계산되어진 후 주 증폭기와 보조 증폭기의 입력신호는 진폭과 위상 값의 두 개의 푸리에 변환 값이 서로 같도록 맞추어진다.

다른 경로로 발생되어진 파일럿 신호가 입력신호에 삽입된다면 신호처리 과정은 변함이 없으나 대역통과 여파기가 시스템의 출력부에 첨가되어지고, 이 때문에 첫 번째 파일럿 신호를 약화시킨다. 이러한 디지털 제어회로를 부가한 선형화기가 Fig. 3에 나타나 있다.

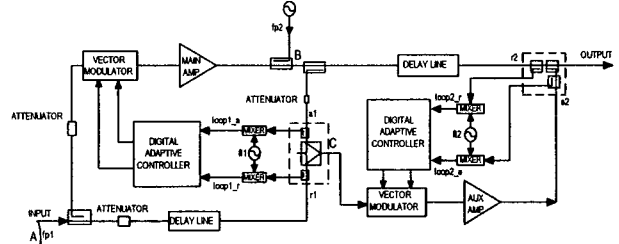


Fig. 3 Feedforward linearizer using digital adaptive control technique

디지털제어방식에 의한 각 루프의 크기와 위상을 보정해 주기 위한 여러가지 알고리즘이 보고되었다. 이중에 가장 일반적인 방식으로 제어신호에 대한 검출된 신호의 변화치를 이용해 최적의 제어값을 찾아내는 그래디언트 알고리즘이 있으며 이는 파일럿신호를 인가하지 않는 장점이 있다.

3. 설계 및 제작

3.1 주 증폭기 블록 설계

최종 출력전력을 10W로 하고 IMD를 -40dBc이상이 되도록 하기 위해 본 논문에서는 모토로라에서 제공하는 MRF21125인 LDMOS를 사용하였다. 전체 주증폭기의 설계 사양은 Table 3과 같고 전체 블록도는 Fig. 4와 같이 구성하였다.

입출력 정합회로의 설계는 2140MHz에서의 입출력 임피던스 점을 이용하여 복소 정합(conjugate matching)의 방법으로 설계하였다.

Fig. 5에서 Z_{in} 은 소스 임피던스 Z_S 의 복소 공액인 점이고, Z_{OL} 은 최적 출력을 내는 부하 임피던스이다. 증폭기의 입출력단의 정합회로는 소자의 데이터 시트에서 주어지는 입, 출력반사계수 또는 입, 출력 임피던스의 값으로부터 각각 정합회로로 구성한다. 이때 전력 소자에서 주어지는 입출력 임피던스의 값은 이 값을 정합 포인트로 했을 때 1dB의 출력을 얻을 수

Table 3. Design specification of main amplifier

출 력	125W (53dBm)Peak
입 력	-16.5dBm
이 득	56.5dB
소 자	MHL21336, MRF21060, MRF21125
I M D	-40dBc

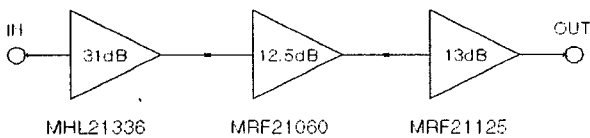


Fig. 4 Block diagram of main amplifier

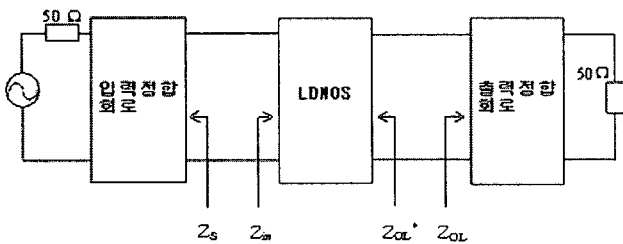


Fig. 5 Matching circuits of LDMOS amplifier

있도록 하는 값이므로 정합 회로는 입, 출력 임피던스로부터 최대 출력을 내도록 구성할 수 있다.

3.2 오차 증폭기 블록 설계

오차 증폭기에서는 선형성이 매우 우수해야 하므로 본 논문에서는 선형성이 우수한 A급 증폭기로 각 단을 구성하였으며 구성된 오차 증폭기의 블록도를 Fig. 6에 보인다.

Ansoft사의 회로 시뮬레이션 프로그램인 Serenade를 이용하여 입, 출력 정합회로를 구성하여 원하는 잡음지수와 이득을 얻는 회로를 구성하였다. 설계된 BFP620 첫번째 증폭기의 회로가 Fig. 7에 나타내었으며 시뮬레이션 결과는 Fig. 8과 같다.

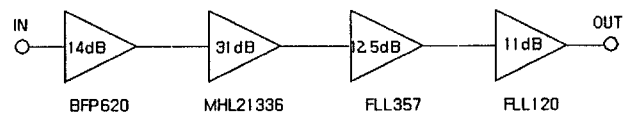


Fig. 6 Block diagram of error amplifier

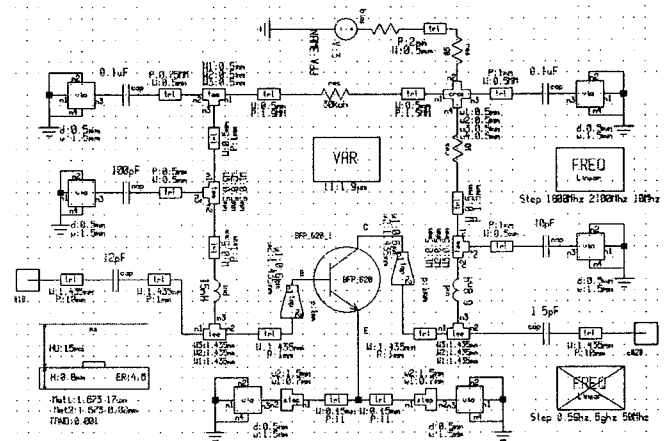


Fig. 7 Schematic of first-stage error amplifier using BFP620

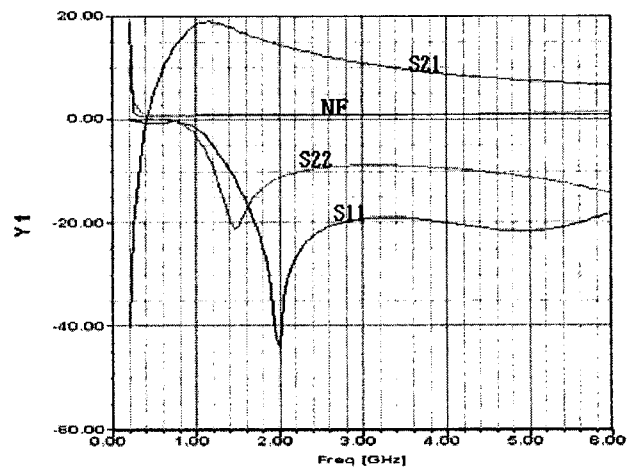


Fig. 8 Simulation results of designed BFP620 amplifier

3.3 지연대역통과 여파기 블록 설계

기존의 케이블을 사용하여 지연 시간을 조정하는 경우 위상의 안전성과 선형성이 좋은 장점이 있지만 원하는 시간 지연을 얻기 위해 케이블의 길이가 매우 길어지므로 큰 부피를 차지하며 케이블의 삽입손실로 인한 증폭기의 출력이 감소하는 단점이 있다. 특히 오차 증폭기의 시간 지연을 보상하기 위해 주 증폭기의 뒤에 위치하는 지연 선로의 손실은 전체 증폭기의 출력을 감소시킨다. 대역통과 여파기는 주파수 대역 통과 특성 외에 주파수에 따른 군 지연 특성을 동시에 가지므로 대역 통과 여파기의 군 지연 특성을 지연 선로로 대체할 수 있으며 이러한 경우 부피를 줄여서 내부에 적재할 수 있으며 삽입손실이 지연 선로에 비해 적은 캐비티 형태의 대역 통과 여파기로 구성할 수 있다.

Fig. 9는 주 증폭기 블록의 출력 신호를 입력하고 오차 신호의 신호 지연을 보상하기 위한 캐비티 형태 대역 통과 여파기와 오차신호 제거 회로인 -10dB 방향성 결합기로 구성된 지연 여파기 블록의 구성도이다. 설계된 캐비티 형태 대역 통과 여파기와 군 지연 특성이 Fig. 10과 Fig. 11에 보여진다.

3.4 디지털 적응 제어기 블록 설계

주 증폭기와 오차증폭기의 출력을 검출하여 반송파제거 루프와 오차 신호제거 루프의 위상과 크기를 맞추어 주기 위하여 실시간 디지털 신호처리로 사용되는 DSP를 사용하여 제어신호를 발생하고 이 제어신호를 가변 위상변위기와 가변감쇠기를 사용하여 적응제어기 블록을 구성하였다.

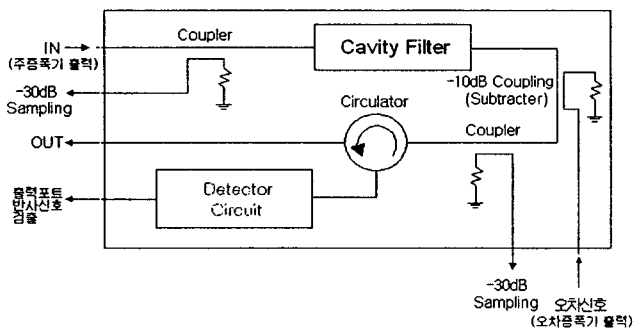


Fig. 9 The configuration of delay filter.

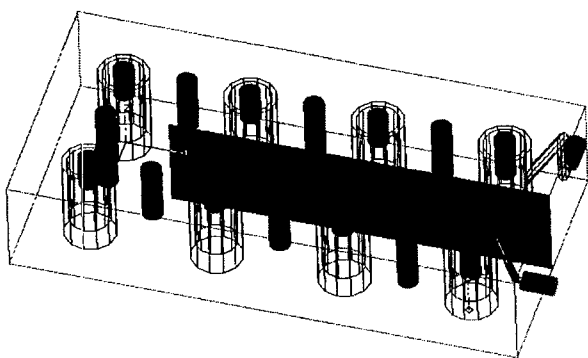


Fig. 10 Designed cavity filter model using HFSS.

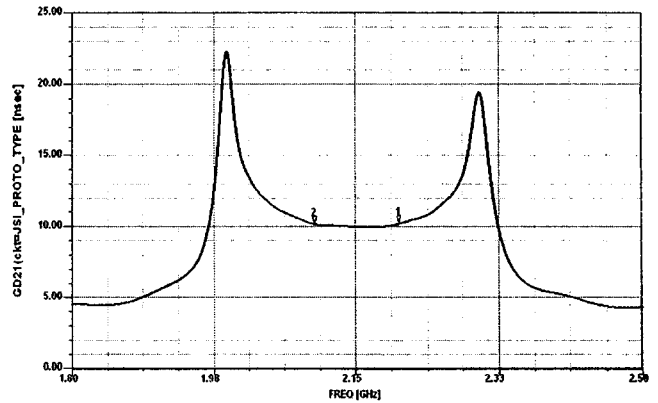


Fig. 11 Group delay of designed cavity type delay filter.

Fig. 12는 TI사의 TMS320c31-40 DSP를 사용하여 구성된 DSP 블록의 구성도이다.

3.5 이득위상 제어기 및 검출기 블록 설계

DSP를 통한 적응 제어 신호는 가변 위상 변위기와 가변 감쇠기의 가변 전압으로 인가되어 가장 이상적인 상쇄가 일어나도록 위상과 이득을 맞추어 주어야 한다. 상쇄가 된 후 신호는 검출기에 입력되어 검출기의 출력은 다시 DSP의 적응 알고리즘의 입력 신호로 사용된다. 가변 위상 변위기는 Fig. 13과 같이 3dB 하이브리드 결합기와 Alpha사의 SMV1245-011 버랙터 다이오드를 사용하여 구성하였다.

가변 감쇠기는 Fig. 14와 같이 PIN 다이오드를 사용하여 π 형 감쇠기를 구성하였으며 다이오드는 Alpha 사의 SMP1307을 사용하였다.

검출기 회로는 방향성 결합기를 통해 샘플링 된 RF신호를 DC전압으로 바꾸어 신호의 크기를 검출해주는 회로이며 요구되는 입력 RF신호의 검출 범위는 -50dBm ~ -10dBm 사이의 값이며 이러한 작은 신호를 검출하기 위해 Analog Devices사의 로그 검출기인 AD8313을 사용하였다.

가변위상 변위기와 가변 감쇠기 그리고 방향성 결합기와 검출기로 구성된 이득위상 제어기 및 검출기 블록의 레이아웃이 Fig. 15에 보여진다.

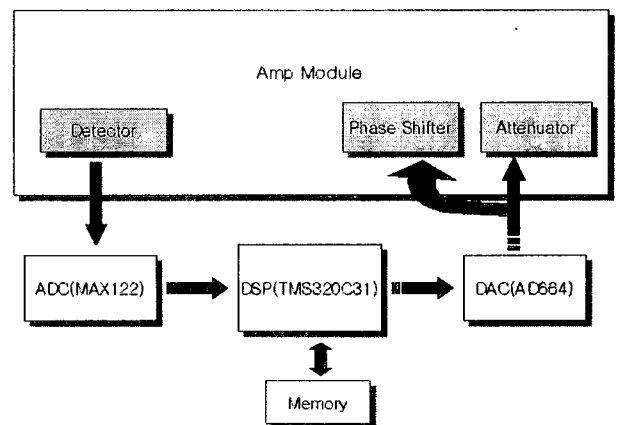


Fig. 12 Configuration of control block using DSP.

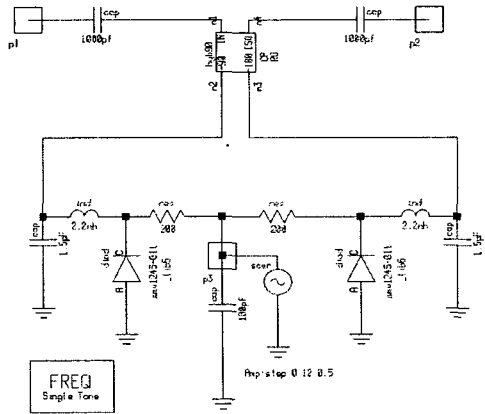


Fig. 13 Variable phase shifter circuit.

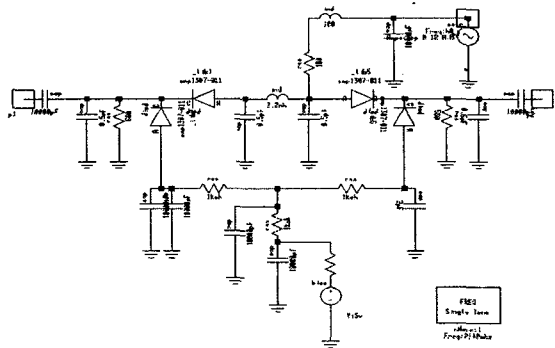


Fig. 14 Variable attenuator circuit.

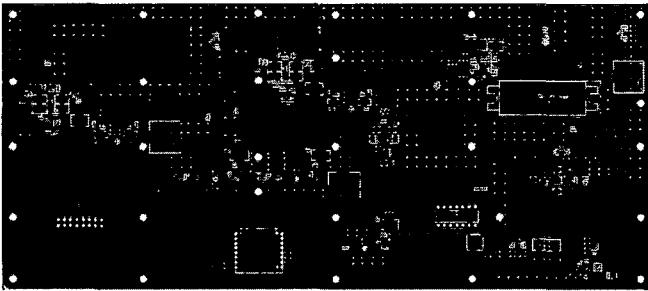


Fig. 15 Layout of designed error amplifier and detector board.

4. 실험 및 고찰

4.1 지연 여파기 실험 결과

Fig. 16은 제작된 지연 여파기 블록의 주파수 응답 특성의 측정값을 보여준다. 측정 결과로부터 통과 대역은 2010MHz~2290MHz로 약 280MHz의 대역폭을 갖는다. 2110MHz~2170MHz인 IMT-2000 주파수 대역에서의 삽입 손실은 약 1.188dB, 반사 손실은 27.9dB의 값을 나타낸다. 삽입 손실 1.188dB에는 캐비티 여파기의 손실과 30dB 방향성 결합기 2개와 10dB 방향성 결합기의 삽입 손실이 포함되므로 방향성 결합기에 의한 삽입 손실을 약 0.5dB로 가정하면 캐비티에 의한

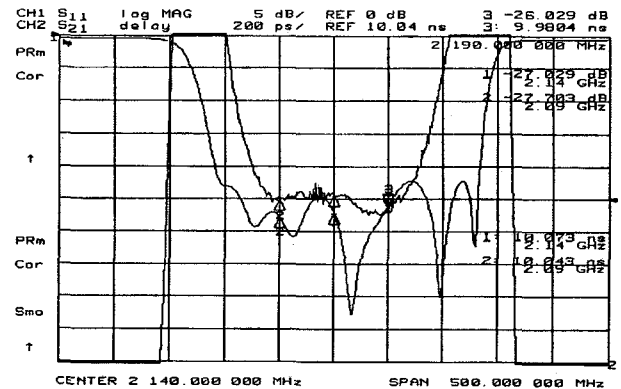
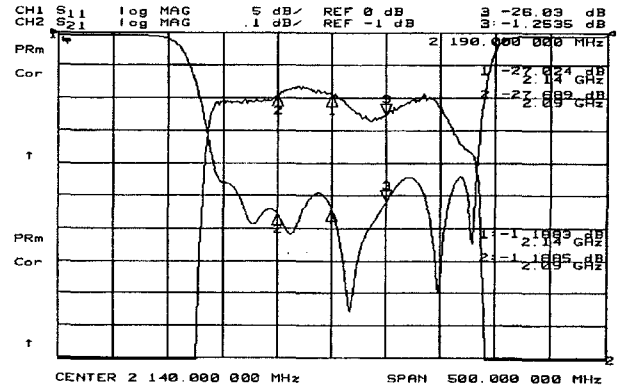


Fig. 16 Measured frequency responses and group delay of delay filter

삽입 손실은 0.7dB이므로 같은 지연 시간을 갖는 지연 선로에 비해 삽입 손실이 작음을 알 수 있다.

4.2 제작된 선형 증폭기의 실험 결과

Fig. 17은 전체 주증폭기 블록과 오차증폭기 블록 그리고 지연 여파기 블록과 이득위상 제어기 및 검출기 블록과 DSP제어기 블록으로 구성된 전체 전방귀환 선형 전력 증폭기의 사진이다.

Fig. 18의 (a)에 나타낸 결과는 주증폭기에 의한 ACLR값이

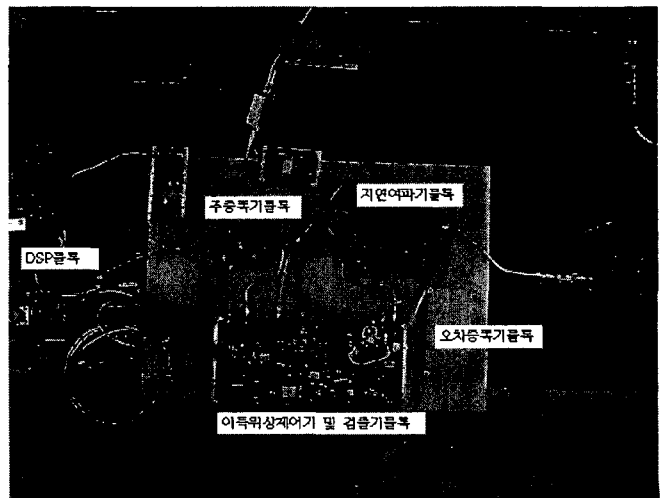
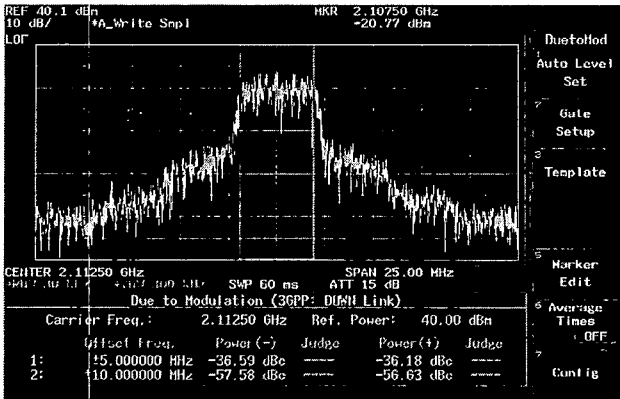
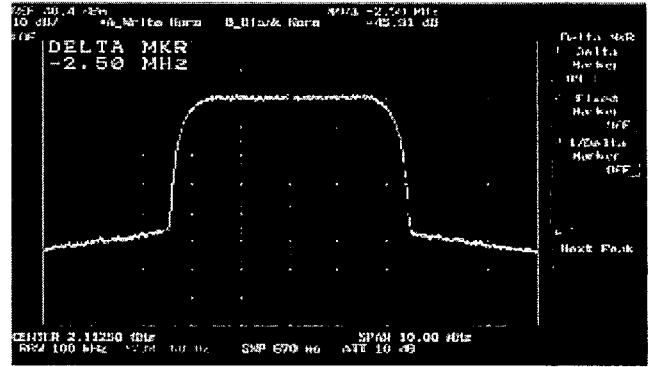


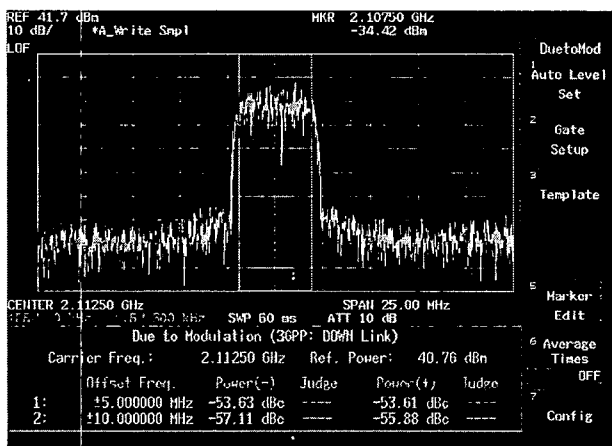
Fig. 17 Photograph of fabricated feedforward amplifier.



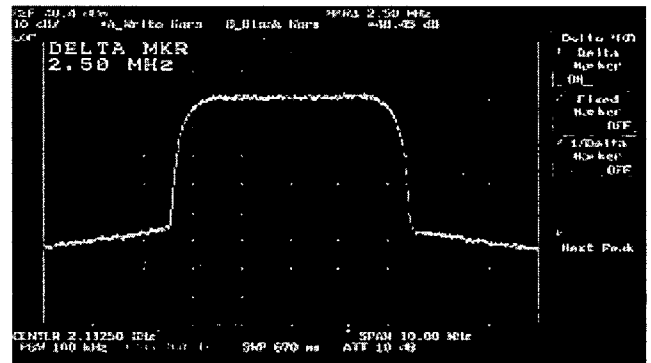
(a) 주 증폭기의 출력 스펙트럼



(a) 지연선로로 구성된 증폭기의 ACPR



(b) 전방궤환 증폭기의 출력 스펙트럼



(b) 지연여파기로 구성된 증폭기의 ACPR

Fig. 18 Output spectrums of main amplifier and feedforward amplifier

며 (b)는 전방궤환 증폭기의 출력 스펙트럼이다. 주 증폭기의 ACLR 값은 -36.18dBc 임을 알 수 있고, 전방궤환 증폭기의 출력 스펙트럼으로 부터 ACLR이 약 -53.61dBc 이다. 따라서 ACLR의 전체 선형화 정도는 주 증폭기만을 이용했을 때보다 17.43dB 선형성이 개선되었음을 나타낸다.

Fig. 19의 (a)는 전방궤환 증폭기의 지연여파기 블록 대신에 기존의 지연선로로 구성하여 측정된 ACPR 값이며, (b)는 전방궤환 증폭기의 지연여파기 블록으로 구성하여 측정된 ACPR 값이다. 측정된 결과로부터 지연선로를 지연여파기로 대체하여 구성하는 경우 ACPR의 값이 3.44dB 개선되어짐을 알 수 있다.

5. 결론

본 논문에서는 W-CDMA 시스템에 사용되는 고출력 전력 증폭기의 선형성을 개선하기 위해서 지연여파기를 이용한 전방궤환 방식의 선형 전력 증폭기에 대하여 연구하였다. 제작된 지연 여파기는 약 0.69dB 의 삽입손실을 나타내었으며 이는 기존의 지연선로에 비해 0.5dB 정도 개선되었음을 보인다. 지연

Fig. 19 ACPR of feedforward amplifier using delay line and delay filter

여파기는 Ansoft사의 HFSS를 통한 시뮬레이션으로 캐비티 형태의 공진기의 공진 주파수, 부하 Q값과 결합 계수를 각각 구하여 대역 통과 여파기를 구성하여 설계 제작하였다.

전방궤환 전력 증폭기의 측정결과 ACLR값은 5MHz 오프셋에서 -53.61dBc 이며 이 값은 주 증폭기만으로 증폭되었을 때의 -36.18dBc 보다 -17.43dB 만큼 선형성이 개선됨을 알 수 있었다. 또한 지연선로를 지연 여파기로 대체하였을 경우 ACPR의 값이 3.44dB 더 개선됨을 측정 결과로부터 알 수 있었다.

앞으로 여러 채널의 신호를 인가했을 경우 최적화 알고리즘과 그에 대한 선형성 개선의 연구가 진행되어야 할 부분이며 출력 전력이 큰 경우와 온도 보상에 대한 연구가 더 진행되어야 할 것으로 사료된다.

Reference

- [1] R. Prasad and T. Ojanpera,(1998) "An Overview of CDMA Evolution Toward Wideband CDMA", IEEE Communications Surveys, Fourth Quarter, vol. 1, no. 1.
- [2] P. B. Kenington,(2000) High-Linearity RF Amplifier Design, Artech House Inc.
- [3] N. Potchecary,(1999) Feedforward Linear Power Amplifier, Artech House Inc.

- [4] T. T. Ha,(1981) Solid state microwave amplifier design, John Wiley & Sons Inc.
- [5] M. Johnson and M. Faulkner,(1993) "Linearization of multi-carrier power amplifier", IEEE.
- [6] J. K. Cavers,(1995) "Adaptation behavior of a feed-forward amplifier linearizer", IEEE Trans. Vehicular Tech., vol. 44, no. 1, pp. 31-40, Feb.
- [7] Y. Wang, Y. Qian and T. Itoh,(2000) "A polar gradient algorithm for adaptive feedforward amplifier linearizer", IEEE Topical Workshop on Power Amplifiers for Wireless Sept.
- [8] Y. Yang, Y. Kim, and B. Kim,(2000) "Digital Controlled Adaptive Feedforward Amplifier for IMT-2000 Band", IEEE MTT-S Dig., Boston, June.
- [9] Y. Chen, B. P. Ng and A. C. Kot,(2000) "Adaptive Algorithms for Feed-Forward Power Amplifier Linearizer", IEEE Trans. Microwave Theory & Tech.
- [10] A. Wood, W. Brakensick, C. Dragon and W. Burger, (1998) "120 Watt 2GHz Si LDMOS RF power transistor for PCS base station applications", MTT-S. International Microwave Symposium Digest., vol. II, pp. 707-710.

원고접수일 : 2002년 04월 30일
원고채택일 : 2002년 06월 27일