

고속 데이터 통신을 위한 Blind DFE Equalizer의 설계

준회원 박 원 흠*, 정회원 선우 명훈*

Design of a Blind DFE Equalizer for high-speed data communication

Weon-Heum Park* Associate Member, Myung-Hoon Sunwoo* Regular Members

요 약

본 논문에서는 케이블 모뎀을 위한 DFE(Decision Feedback Equalizer) 구조의 blind 등화기를 설계하였다. 변복조 방식은 64/256 QAM이며 채널 적응 알고리즘으로는 제안한 MMA(Multi-Modulus Algorithm)와 LMS (Least Mean Square) 알고리즘을 같이 사용하였다. MMA 알고리즘과 DFE 구조를 가진 등화기는 본 논문에서 처음 제안한다. 기존의 MMA 등화기는 두 개의 FIR 필터를 사용하여 두 개의 탭 계수를 갱신하였으나, 본 논문에서 제안하는 MMA 알고리즘은 하나의 탭 계수 갱신만으로 채널 등화가 가능하도록 제안하였으며, DFE 구조에 적용하여 두 개의 DFE 필터를 사용하여 채널 적응 능력을 높이고 탭 수를 줄였다. 0.35 μm standard cell library를 이용하여 ASIC 칩을 설계하였다. 설계한 등화기는 약 16만개의 게이트 수와 8 MHz의 동작속도를 보였으며 데이터 전송 속도는 64Mbps까지 지원한다.

ABSTRACT

This paper proposes a DFE (Decision Feedback Equalizer) equalizer ASIC using the Multi-Modulus Algorithm (MMA) for cable modem applications. We believe that it is the first effort to combine the DFE structure and the MMA algorithm. The proposed equalizer has been designed for 64/256 QAM modems. The existing MMA equalizer uses two transversal filters and updates two tap weights while the proposed equalizer uses two DFE filter banks to improve the channel adaptive performance and to reduce the number of taps and updates only one tap weights. We have used the 0.35 μm standard cell library. The implemented equalizer ASIC operates at 8 MHz and provides 64 Mbps which is higher than existing equalizers. The total number of gates are about 160,000.

I. 서론

고속으로 데이터를 전송하려 할 때나 무선 통신의 경우 다중 경로에 의한 페이딩 영향으로 충격 응답이 긴 시간동안 확산됨으로 인해 신호간 간섭(ISI : Intersymbol Interference)이 발생한다. 신호간 간섭으로 인하여 수신 신호의 진폭과 위상은 심하

게 왜곡되며, 수신단에서 비트 오류를 일으키는 주된 원인이 된다. 무선 이동 통신 환경이나 대역 제한된 채널에서 고속 데이터 전송시 ISI가 큰 영향을 끼치게 되는데 이러한 채널 임펄스 응답으로 인해 왜곡되는 신호를 보상해 주기 위하여 등화기를 사용해 ISI의 영향을 줄여야 한다. 또한 일반적으로 채널 특성을 정확히 알기 힘들고 채널 특성이 시간

* 아주대학교 전자 공학부 통신신호처리 프로세서 연구실(sunwoo@madang.ajou.ac.kr)

논문번호 : 020058-0205, 접수일자 : 2002년 2월 5일

※ 본 연구는 산업자원부와 과학기술부에서 시행하는 시스템 집적 반도체 기반기술 개발사업 및 과학기술부에서 시행하는 국가지정 연구실 사업(NRL)과 IDEC 사업의 일부 지원을 받아 수행되었습니다.

에 따라 수시로 변하기 때문에 등화기의 탭 계수를 채널 특성에 맞게 계속 갱신시키는 적응(adaptive) 알고리즘을 사용하는 것이 효과적이다. 적응 알고리즘은 등화기의 탭 계수를 고정시키지 않고 입력되는 데이터를 통해 채널의 특성을 파악하고 이에 맞게 계수를 갱신시킨다^{[1][2][3]}.

등화기를 구성하는 방법으로 transversal, lattice, DFE 등 여러 가지 구조가 사용되고 있으나 복잡도에 비하여 가장 우수한 성능을 보이는 구조는 미리 검출된 데이터들을 이용하여 ISI를 제거해 주는 DFE이다^{[2][3][4]}. DFE 구조의 feedback 필터는 이전의 판정된 신호에 의해 생긴 현재 심볼의 ISI를 제거하기 위해 사용되며 feedforward 필터는 판정되기 이전의 신호에 의한 현재 심볼의 ISI를 제거하기 위해 사용된다. 에러 발생률이 충분히 작다면 판정된 심볼에는 잡음성분이 들어 있지 않으므로 DFE 등화기는 같은 탭 수의 선형 등화기(lattice, transversal 등)에 비해 빠른 채널 적응 속도와 낮은 BER 값을 가지며 ISI가 심한 환경에서도 좋은 성능을 나타내는 장점이 있다^{[1][3][4][5]}.

일반적인 등화기는 추적모드와 직접 판정(decision-directed) 모드로 동작한다. 추적모드에서 송신기는 약속된 훈련순열(training sequence)를 보내고, 등화기는 훈련순열을 받아 탭 계수를 초기화하며 등화기의 탭 계수가 수렴되면 추적모드에서 직접 판정 모드로 전환되어 훈련 순열 대신 판정된 데이터로 채널의 잔존 오류를 보상한다^[8].

방송 서비스, HDTV^[6], LMDS(Local Multipoint Distribution Service) 그리고 DOCSIS의 하향링크^[2] 등의 표준안에는 훈련 순열이나 파일럿 채널없이 채널 적응할 것을 요구한다. 이러한 표준안을 지원하기 위하여 제안된 적응 알고리즘이 블라인드(blind) 적응 알고리즘이다. 블라인드 적응 알고리즘은 전송 신호의 통계적인 성질을 이용하여 송신되는 신호의 사전 정보없이 채널 등화를 시작한다. 블라인드 알고리즘은 RCA(Reduced Constellation Algorithm), CMA (Constant Modulus Algorithm)^{[9][10]}와 MMA를 이용한 알고리즘이 있다^[7]. RCA 알고리즘은 송신 신호의 성좌도(Constellation)을 줄여서 채널 적응을 시작하고 채널 적응이 된 후에는 원래 성좌도로 복귀하여 적응하는 알고리즘이다. CMA 알고리즘은 성좌도의 원점을 중심으로 하나의 원을 그리고, 원과의 거리를 계산하여 거리를 줄이는 방향으로 탭 계수를 적응시키는 블라인드 알고리즘이다.

본 논문에서 적용한 알고리즘은 등화기가 블라인드 기법 중에서 QAM, CAP(Carrierless AM/PM)과 같은 직교 변조방식에 적합하도록 제안된 MMA 알고리즘을 사용하였다. 기존의 MMA 알고리즘을 사용한 등화기는 실수 축과 허수 축을 따로 두 개의 transversal 필터를 사용하여 두 개의 탭 계수를 갱신하므로써 서로 독립적으로 동작하도록 설계되었다. 본 논문에서 제안한 등화기는 MMA 알고리즘과 DFE 구조를 연동하였으며, 하나의 탭 계수 갱신만으로 채널 적응이 가능한 MMA 알고리즘을 제안하였다^{[4][5]}. (출원번호 제 00-48603 호)

본 논문은 다음과 같이 구성된다. 제 2 절에서 기존의 MMA 알고리즘과 등화기 구조에 대하여 소개한다. 제 3 절에서는 제안한 MMA 알고리즘에 대해 서술한다. 아울러 제안한 등화기의 구조에 대해 설명한다. 제 4 절에서는 기존의 등화기와 제안한 등화기의 시뮬레이션 결과를 보였다. 마지막으로 제 5 절에서는 결론과 추후 연구에 대하여 논한다.

II. 기존의 MMA 알고리즘과 등화기의 구조

등화기의 탭 계수 W_n 은 채널에 등화기가 적용할 수 있도록 하는 값들로서 채널의 특성에 따라 그 값들이 변하게 된다. 이 값들을 조정해주는 방법으로 여러 가지 알고리즘이 사용되며 각각 그 장단점이 있다. 구현된 등화기에는 MMA 알고리즘을 사용하였다. MMA 알고리즘은 1997년에 발표되었으며, 그 동작원리 및 특징은 다음과 같다. MMA의 에러함수를 수식으로 나타내면 식 (1) 과 같다^[10].

$$\begin{aligned} \varepsilon_{n,r} &= (y_{n,r}^2 - R_{M,r}^2) \cdot y_{n,r} \\ \varepsilon_{n,i} &= (y_{n,i}^2 - R_{M,i}^2) \cdot y_{n,i} \end{aligned} \quad (1)$$

$y_{n,r}$ 은 등화기 출력의 실수 부분, $y_{n,i}$ 는 등화기 출력의 허수 부분을 나타낸다. 식 (1)에서 나타내듯이 MMA 알고리즘의 에러 함수는 등화기의 출력 y_n 값과 고정된 상수인 R_M 값에 의하여 결정된다. R_M 은 MMA 등화기를 채널에 적용시키기 위한 적응상수이며, 송신되는 신호의 통계적인 정보를 가지고 있어서 전송 신호의 사전 정보 없이 채널에 적응 가능하도록 한다. R_M 은 식 (2)로 생성된다^[12].

$$R_M^2 = \frac{E[s(t)^4]}{E[s(t)^2]^2} \quad (2)$$

식(2)에 나타난 $s(t)$ 는 송신되는 신호를 나타낸다. MMA에 사용되는 상수 R_M 은 변조방식이 정하여지면 특정한 값을 가지게 되며, 64 QAM에서는 $R_M \cong 6.01$ 이며, 128 QAM일때는 $R_M \cong 10.25$ 이고, 256 QAM에서는 $R_M \cong 14.17$ 이다.

식 (3)은 MMA의 탭 계수 갱신 수식을 나타낸다. 기존의 MMA는 실수(In-phase) 계수와 허수(Quadrature-phase) 계수가 독립적으로 갱신된다.

$$C_{n+1,r} = C_{n,r} - \mu_r (y_{n,r}^2 - R_{M,r}^2) \cdot y_{n,r} \cdot x_n^* \quad (3)$$

$$D_{n+1,i} = D_{n,i} - \mu_i (y_{n,i}^2 - R_{M,i}^2) \cdot y_{n,i} \cdot x_n^*$$

식 (3)에서 나타내듯이 MMA를 사용한 등화기는 다른 두 개의 등화기를 함께 구동하는 것처럼 동작하게 된다. x_n^* 은 등화기의 입력 신호의 켈레 복소수를 나타낸다.

그림 1은 기존의 MMA 알고리즘을 사용한 등화기의 구조를 나타낸다. 두 개의 필터가 병렬로 연결되어 있으며, 각각 허수축과 실수축이 독립적으로 동작한다. 두 개의 필터 출력($y_{n,r}$, $y_{n,i}$)은 식 (2)의 연산을 수행하는 에러 함수 생성 블록으로 공급되며, 생성된 에러 함수는 두 개의 탭 계수 갱신을 위해 필터로 공급된다.

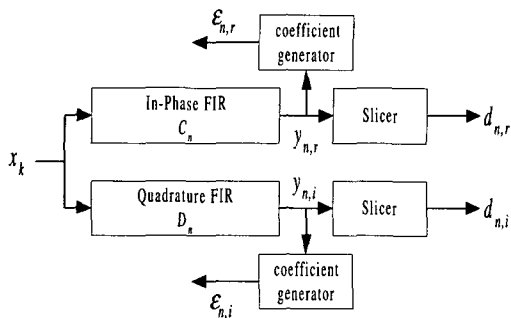


그림 1. 기존의 MMA 알고리즘을 사용한 등화기

MMA를 사용한 탭 계수 갱신은 채널 추적 알고리즘인 LMS 알고리즘의 탭 계수 갱신 수식과 상이하여 두 가지 알고리즘을 함께 사용하기 위해서는 알고리즘마다 전용의 탭 계수 갱신 하드웨어가 필요하고 알고리즘 전환시 사용되는 제어 블록이 필요하다.

그림 2는 기존의 MMA 알고리즘을 사용한 등화

기 필터 구조이다. 그림 2에서 나타낸 필터를 두 개 병렬로 사용하여 등화기를 구성한다. 필터는 등화기의 입력인 x_n 을 지연시키기 위한 딜레이 소자, x_n 과 에러 함수 생성 블록에서 생성된 에러 함수($\epsilon_{n,r}$, $\epsilon_{n,i}$)를 곱하여 탭 계수를 생성하기 위한 복소수 곱셈기와 누적기, 탭 계수를 저장하기 위한 레지스터와 등화기의 출력인 y_n 을 생성하기 위한 곱셈기와 덧셈기로 구성되어 있다. 두 개의 필터 출력($y_{n,r}$, $y_{n,i}$)은 실수 신호이기 때문에 마지막 곱셈기는 복소수 곱셈기가 아니라 실수축 필터는 실수만을, 허수축 필터는 허수만을 생성하는 곱셈기이다. 그림 2에서 굵은 선으로 나타낸 신호는 복소수 신호이며 실선으로 나타낸 신호는 실수 신호이다.

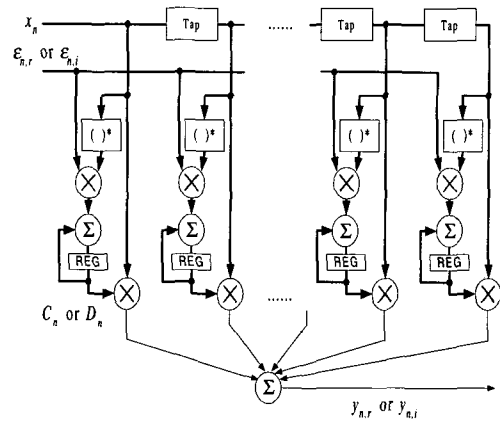


그림 2. 기존의 등화기 필터 구조

GMMA(Generalized MMA)는 MMA를 좀더 일반화시킨 형태이다. MMA를 256 이상의 고차 QAM이나 CAP 변조방식에 적용하면 생성되는 에러 함수가 매우 큰 값을 갖게 된다. 에러 함수가 매우 큰 경우 등화기는 발산하거나 진동하게 되는 확률이 높아진다. 이런 경우를 방지하기 위하여 제안된 알고리즘이 GMMA이다^[13].

GMMA는 등화기의 출력의 크기를 기준으로 적용되는 상수 R_M 의 값을 변화하여 생성되는 에러 함수의 값을 적정 범위 안으로 제한해 주는 알고리즘이다. 등화기 출력의 절대값에 따라 식 (4)와 같이 적용되는 R_M 의 값을 변화시켜 에러 함수의 크기를 줄임으로서 등화기의 동작을 안정시키게 된다.

$$\begin{aligned} \text{If } 0 \leq |y_n| < 8 & \text{ then } R_{M1} \cong 6.01 \\ \text{If } 8 \leq |y_n| < 12 & \text{ then } R_{M2} \cong 10.25 \\ \text{If } |y_n| \geq 12 & \text{ then } R_{M3} \cong 14.17 \end{aligned} \quad (4)$$

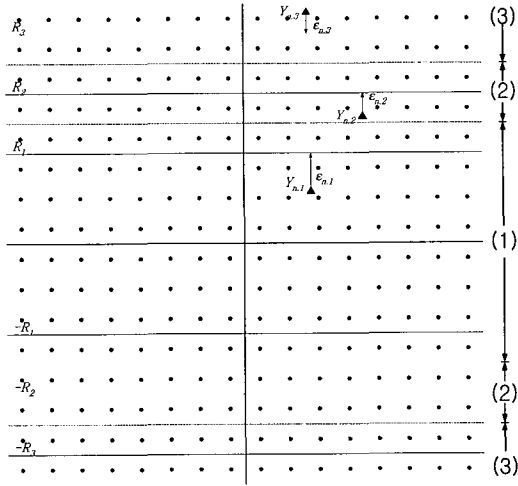


그림 3. 256 QAM에 적용한 GMMA(허수축만)

즉, 그림 3의 (1)의 범위에서는 64 QAM 변조방식을 사용한 R_M 과 동일한 R_{M1} 이 사용된다. 등화기의 출력이 (2)의 범위에 위치하면 R_{M2} 가 사용되며, (3)의 범위에서는 R_{M3} 가 적용되어 에러 함수의 크기를 줄여 등화기의 동작을 안정시키게 된다.

III. 제안한 MMA 알고리즘과 제안한 등화기의 구조

제안한 MMA 알고리즘은 기존의 MMA 알고리즘이 두 개의 필터를 통하여 채널 적응하는 것에 비하여 하나의 필터를 통하여 하나의 탭 계수 갱신만으로 채널 적응이 가능하도록 제안하였다. 또한, MMA, GMMA(Generalized MMA)와 LMS 알고리즘을 연동하여 모뎀이 초기에 동작하는 시기에 혼란 순열 없이 채널을 등화할 수 있게 하고, 채널에 적응하여 MSE 값이 기준 값 이하로 떨어지면 LMS 알고리즘으로 전환하여 계속적으로 변화하는 채널을 적응한다. 제안한 MMA 알고리즘의 에러 함수 수식은 식 (5)와 같다.

$$\epsilon_n = (y_{n,r}^2 - R_M^2) \cdot y_{n,r} + j(y_{n,i}^2 - R_M^2) \cdot y_{n,i} \quad (5)$$

제안된 에러 함수 생성 블록은 LMS 알고리즘 에러 함수와 MMA 알고리즘 에러 함수를 동시에 생성하고, MSE 값을 기준으로 두 개의 에러 함수 중 하나를 선택한다.

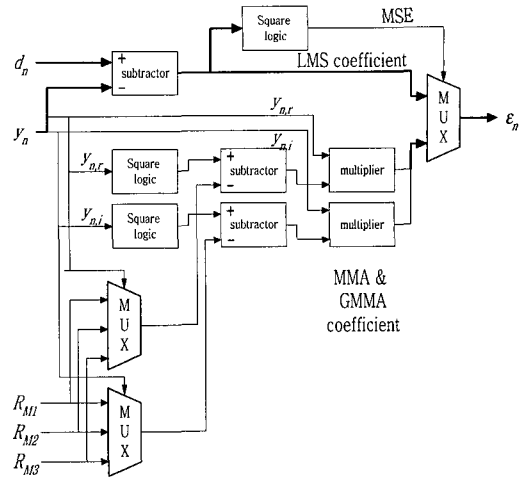


그림 4. MMA와 LMS 알고리즘을 사용한 에러 함수 생성 블록

그림 4는 제안한 등화기의 에러 함수 생성 블록의 구조이다. 등화기의 출력 y_n 과 판정기의 출력 d_n 이 입력되고, 변복조 방식에 따라 정하여지는 R_M 값을 저장하여서 MMA 및 GMMA 알고리즘 에러 함수를 생성한다. y_n 과 d_n 의 차인 LMS 알고리즘 에러 함수를 병렬로 생성하고, 두 개의 에러 함수 중 MSE 값에 따라 표 1과 같이 멀티플렉서에 의해 선택된다.

표 1. MSE 값에 따라 선택되는 알고리즘

MSE 값의 범위	사용되는 알고리즘	예
$MSE \geq 1.5$	블라인드 알고리즘	only MMA
$0.5 \leq MSE < 1.5$	직전에 사용된 알고리즘	Last used algorithm MMA/LMS
$0 \leq MSE < 0.5$	LMS 알고리즘	only LMS

그림 4에 나타난 굵은 선은 복소수 신호를 나타내며, 실선은 실수 신호를 나타낸다. 입력 신호 y_n 을 제공하고 MSE를 생성하는 제곱은 곱셈기 대신 제곱기를 사용하여 하드웨어를 줄이고 동작속도를 높였다.

$$\begin{aligned} W_{n+1} &= W_n - [a_r \cdot (y_{n,r}^2 - R_M^2) \cdot y_{n,r} \\ &\quad + ja_i \cdot (y_{n,i}^2 - R_M^2) \cdot y_{n,i}] \cdot x_n^* \\ &= W_n - [a_r \cdot \epsilon_{n,r} + ja_i \cdot \epsilon_{n,i}] \cdot x_n^* \end{aligned} \quad (6)$$

탭 계수 갱신 수식은 LMS 알고리즘의 탭 계수 갱신 수식과 동일하다. 실제로 식 (5)에서 나타낸 에러함수를 생성할 때까지는 허수축과 실수축이 독립적으로 동작하지만, 필터 내에서는 하나의 복소수 신호로 간주되어 그림 5에 나타난 필터로 입력되어 탭 계수를 생성하게 된다.

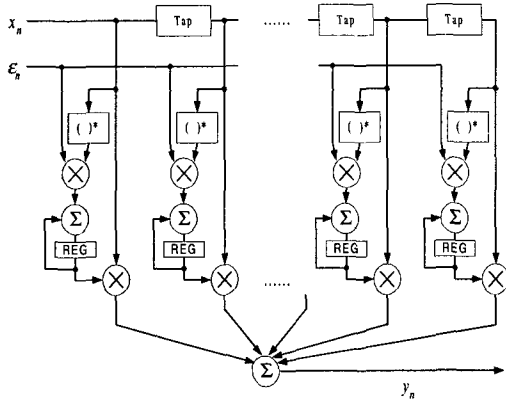


그림 5. 제안한 등화기의 필터 구조

그림 5에 제안한 등화기의 필터 구조를 나타내었다. 그림 2의 기존 필터 구조와 비슷하나 기존의 필터는 출력이 실수 신호 형태($y_{n,r}$ 또는 $y_{n,i}$)로 출력된다. 제안한 필터 구조는 하나의 필터로 채널 적응이 가능하며 필터의 출력이 복소수 신호(y_n)인 점이 다르다.

식 (6)에 나타낸 탭 계수 갱신 수식은 DFE 구조에 적용하면 식 (7)과 같이 변화된다

$$W_{n+1}^f = W_n^f - [a_r \cdot \epsilon_{n,r} + ja_i \cdot \epsilon_{n,i}] \cdot x_n^* \quad (7)$$

$$W_{n+1}^b = W_n^b - [a_r \cdot \epsilon_{n,r} + ja_i \cdot \epsilon_{n,i}] \cdot d_{n+1}^*$$

W_n^f 와 W_n^b 는 각각 feedforward 필터와 feedback 필터의 탭 계수를 나타낸다. 기존의 MMA 알고리즘과 비교하여 갱신되는 탭 계수의 수는 같지만 W_n^b 탭 계수는 DFE 구조에 적용하여 추가된 탭 계수이며, 제안한 MMA 알고리즘은 하나의 탭 계수(W_n^f)만으로 채널에 적응할 수 있다.

그림 6은 제안한 MMA 알고리즘을 사용한 등화기의 구조를 도시하였다. 기존의 MMA를 사용한 등화기 구조인 그림 1과 비교하여 같은 수의 필터

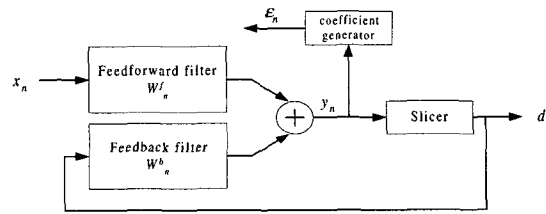


그림 6. 제안한 MMA 알고리즘을 DFE 구조에 적용한 등화기의 구조

가 사용되었지만, 그림 1에서는 채널 적응을 위하여 실수축과 허수축의 두 개의 필터가 필요한 반면, 제안한 MMA 알고리즘을 사용한 등화기는 한 개의 필터로도 채널 적응이 가능하다. 그림 6에 두 개의 필터로 나타난 것은 DFE 구조를 적용한 형태로 DFE 구조는 등화기 입력 신호가 입력되는 필터와 판정된 신호가 다시 케환되어 입력되는 필터가 필요하기 때문이다.

등화기의 출력 y_n 은 식 (8)과 같이 정의된다.

$$y_n = \sum_{i=0}^{M-1} x_{n-i} \cdot W_{n-i}^f + \sum_{j=0}^{N-1} d_{n-j+1} \cdot W_{n-j}^b \quad (8)$$

여기서, M 과 N 은 각 필터의 탭 수를 나타낸다.

그림 7은 제안한 등화기의 전체 구조를 나타낸다. Feedforward 필터와 feedback 필터의 연산결과에 더하여 y_n 값을 만들어내고 판정 블록에서 y_n 을 이용하여 d_n 값을 만들어 낸다. 탭 계수 생성 블록에서는 y_n 과 d_n 을 이용하여 LMS, MMA 알고리즘에 해당하는 에러 함수를 생성하고 이들 중 어느 것을 사용할지는 MSE 생성 블록에서 만들어 낸 MSE 값에 의해 결정된다.

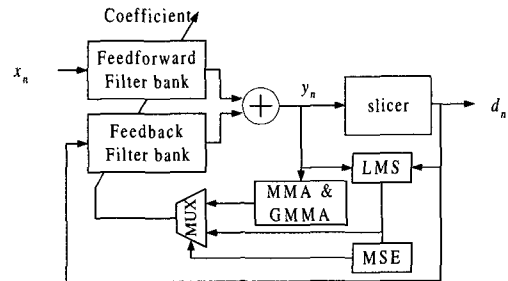


그림 7. 제안한 등화기의 전체 구조

기존의 MMA 알고리즘을 사용한 등화기는 두 개의 필터를 통해 채널을 적응하므로 하드웨어의

크기가 크다. 제안한 MMA 알고리즘을 사용한 등화기는 탭 계수 갱신 수식을 변형하여 LMS 알고리즘의 탭 계수 갱신 수식과 동일한 하나의 수식으로 생성하므로 LMS 알고리즘과 연동하기 쉬우며, 탭 계수를 하나만을 갱신하므로 탭 계수를 계산하기 위한 곱셈기와 덧셈기의 수와 탭 계수를 저장하기 위한 레지스터의 수를 50%가 줄었다. 또한, DFE 구조에 적용하여 판정된 신호를 다시 채환시켜 현재 입력되는 신호의 상호 신호간 간섭을 제거하므로 채널 적응 성능을 높이도록 하였다.

DFE 구조를 사용하므로 채널 적응 성능을 개선하였고, 일반적으로 판정된 신호(d_n)는 입력되는 신호(x_n)보다 비트 폭이 작으므로 사용되는 곱셈기의 하드웨어를 줄일 수 있다. 곱셈기의 하드웨어 크기는 입력 비트 폭이 1/2로 줄어들면 1/4로 줄어들므로 전체 곱셈기의 크기를 줄일 수 있다. 시뮬레이션에 의하여 목표한 성능에 부합하면서도 가능한 최소의 비트 수를 가지도록 하여 y_n 에는 14비트, weight는 23비트 coefficient에는 7비트, 그리고 d_n 에는 5비트를 할당하였다. 표 2는 기존의 등화기와 제안한 등화기의 차이를 나타낸 표이다. 표에서 보는 바와 같이 등화기의 구조 및 연산형태를 변형시켜 기존의 등화기 보다 더 좋은 성능을 나타내는 것을 알 수 있다.

표 2. 기존의 등화기와 제안한 등화기의 차이점

구분	기존의 등화기	제안한 등화기
등화기 구조	· Transversal 구조	· DFE 구조
연산형태	· 실수와 허수를 분리하여 연산	· 복소수 형태로 연산
하드웨어 크기	· 실수와 허수를 분리해 연산을 수행, 탭 수 증가	· 복소수 형태로 연산을 수행함으로써 탭 수 감소 · DFE 구조를 사용하여 입력비트 폭이 감소함으로 하드웨어 크기 감소

IV. 시뮬레이션 및 논리 합성의 결과

제안한 구조의 채널 적응 성능을 분석하기 위하여 SPWTM CAD 툴을 사용하여 시뮬레이션을 수행하였으면 그 결과를 그림 8에 나타내었다.

위의 시뮬레이션 채널환경은 AWGN과 다중 경

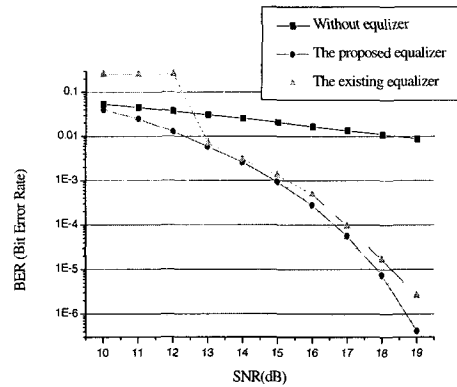


그림 8. 기존의 등화기와 제안한 등화기의 BER 성능 비교

로 잡음이 존재하는 것으로 하였다. 훈련 순열없이 성공적으로 채널을 등화한 것을 볼 수 있다. 기존의 등화기의 성능보다 BER이 10^{-5} 인 점을 기준으로 해서 SNR이 0.5dB정도 향상된 것을 볼 수 있다. 또한, 기존의 등화기는 SNR이 12dB이하에서는 채널에 적응하지 못하지만 제안한 등화기는 채널에 성공적으로 적응하였다.

실제한 등화기는 동작 속도를 빠르게 하기 위해 Square 연산 블록, Booth multiplier와 CSA(Carry Save Adder) tree를 사용하였다. 그림 9는 등화기를 논리 합성한 결과를 보인 것이다. 논리합성에는 0.35 μ m standard cell 라이브러리를 이용하였다. 실제한 등화기의 기능 검증과 성능 분석을 위해 SYNOPSISTM을 사용하여 논리합성하고, CadenceTM의 Verilog-XL을 사용하여 타이밍 시뮬레이션을 수행하여 8MHz로 동작함을 검증하였다.

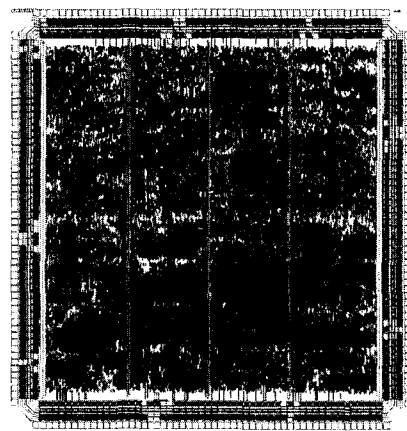


그림 9. 개발한 칩의 레이아웃

V. 결론

본 논문에서는 MMA, LMS 알고리즘을 이용한 DFE 구조의 등화기를 설계하였다. 기존의 MMA 등화기는 두 개의 FIR 필터를 사용하여 두 개의 탭 계수를 갱신하였으나 본 논문에서의 MMA 알고리즘은 DFE 구조를 적용 하나의 탭 계수 갱신만으로 채널 등화가 가능하도록 설계하였다. 등화기의 탭 수를 결정하기 위해 SPW™와 COSSAP™ 캐드 틀을 사용하여 시뮬레이션을 수행하였고, VHDL을 이용하여 모델링을 하였다. 시뮬레이션의 결과에 따라 feedback 부분과 feedforward 부분에 각각 5개와 6개의 탭을 사용하였으며, SYNOPSIS™를 이용한 논리합성의 결과 설계한 등화기는 약 16만개의 게이트 수와 8 MHz의 동작속도를 보였다. 구현된 등화기는 64/256 QAM 방식의 모뎀을 사용하는 유무선 케이블 모뎀과 xDSL 등에 다양하게 사용될 수 있다.

참고 문헌

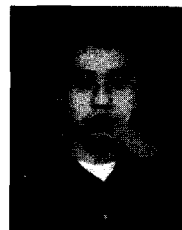
- [1] S. Haykin, *Adaptive Filter Theory-third edition*, Upper saddle river, NJ: Prentice-Hall, 1996.
- [2] T. S. Rappaport, *Wireless communications Principles & Practice*, Upper saddle river, NJ: Prentice-Hall, 1996.
- [3] D. K. Shin, S. J. Hwang, and M. H. Sunwoo, "Design of a DFE equalizer ASIC chip using MMA algorithm," in *Proc. IEEE Workshop on SiGNAL PROCESSING SYSTEMS Design and Implementation*, Oct. 2000, pp. 200-209.
- [4] R. Prasad, *Universal Wireless Personal Communications*, Boston-London: Artech House Publishers, 1998.
- [5] D. K. Shin, S. J. Hwang, and M. H. Sunwoo, "Design of a DFE equalizer ASIC chip for 64/256 QAM modulation," in *Proc. Asia-Pacific Conf. on Commun.*, vol. II, Nov. 2000, pp. 1002-1006.
- [6] G. Mathew, B. Farhang-Beroujny, and R. W. Wood, "Design of multilevel decision feedback equalizers," *IEEE Trans. Mag.*, vol. 33, pp. 4528-4542, Nov. 1997.
- [7] G. L. Studer, *Mobile Communication-second*

edition, Norwell, MC: Kluwer Academy Publishers, 2001.

- [8] 신 대교, 선우 명훈, "MMA 알고리즘을 이용한 Decision Feedback Equalizer ASIC 칩 설계," 제10회 통신정보합동학술대회 논문집 2권중 1권, 경주, 2000년 5월, pp. 433-436.
- [9] Z. Ding and Y. Li, *Blind Equalization and Identification*, New York, NY: Marcel Dekker, 2001.
- [10] J. Yang, J. J. Werner, and G. A. Dumont, "The multimodulus blind equalization algorithm," in *Proc. IEEE Int. Conf. Digital Signal Proc.*, vol. 1, July 1997, pp. 127-130.
- [11] C. R. Johnson, "Blind equalization using the constant modulus criterion: A review," in *Proc. IEEE(Special Issue on Blind System Identification and Estimation)*, vol. 86, July 1997, pp. 1927-1950.
- [12] J. C. Lee and C. K. Un, "Performance of transform domain LMS adaptive digital filters," *IEEE Trans. Acoust., Speech and Signal Proc.*, vol. ASSP-34, pp. 499-510, June 1986.
- [13] F. Rodrigo, P. Cavalcanti, J. Cesar, and M. Mota, "A predictive constant modulus algorithm for blind equalization in QAM systems," in *proc. IEEE Int. Conf. Commun.*, vol. 2/3, 1997, pp. 1080-1084.
- [14] J. R. Treichler and B. G. Agee, "A new approach to multipath correction of constant modulus signals," *IEEE Trans. Acoust., Speech and Signal Proc.*, vol. ASSP-31, pp. 459 -472, Apr. 1983.

박 원 흠(Weon-Heum Park)

준회원



2001년 2월 : 강원대학교

전자공학과 졸업(학사)

2001년 3월~현재 : 아주대학교

전자공학부 석사과정

<주관심 분야> 통신용 ASIC

설계

선우 명훈(Myung-Hoon Sunwoo) 정회원



1980년 2월 : 서강대학교
전자공학과 졸업(학사)
1982년 2월 : 한국과학기술원
전기 및 전자공학 석사
1982년~1985년 : 한국전자통신
연구소(ETRI) 연구원

1985년~1990년 : Univ. of Texas at Austin 전기 및
컴퓨터 공학과 박사

1990년~1992년 미국 Motorola, DSP Chip Division

1992년~현재 : 아주대학교 전자공학부 교수

2001년~현재 : IEEE Senior Member

<주관심 분야> VLSI 및 SoC Architecture, 멀티미디어
통신용 DSP 칩 및 ASIC 설계