

LTCC RF 소자 특성 추출에 관한 연구

유찬세 · 이우성 · 강남기 · 박종철
전자 부품 연구원

Study on the Extraction of Characteristics of LTCC RF Components

C. S. Yoo, W. S. Lee, N. K. Kang, J. C. Park
Korea Electronics Technology Institute (KETI)

초 록: LTCC 시스템은 가격이 저렴하고 공정이 안정적이고 전기적 특성에서도 손실값이 작은점등의 많은 장점을 가지고 있다. 그러나 일단 제작된 소자들에 대해서는 튜닝 작업이 어려운 단점이 있다. 이 때문에 수 GHz이상의 고주파수 대역에서 내장형 소자에 대한 정확한 평가 및 특성 예측을 필요로 하게 된다. 본 연구에서는 고주파수 대역에서 내장형 소자들을 정확하게 측정할 수 있는 방법을 고찰하였는데 이 과정에서 여러 형태의 측정 지그를 비교 검토하여 최적화하였다.

Abstract: LTCC system has many kinds of advantages, like low loss, low cost of process, stability of process etc. But it is so hard to adjust the characteristics of passives in ceramic module after fabrication. So the exact prediction of behavior of components in high frequency region upper than GHz must be made. In this procedure, the exact measurement is need. In this study, many kinds of measurement Jigs are compared and optimized, and measurement methods of each parameter are designed.

Key words: LTCC, Measurement Jigs, RF Componets

1. 서 론

현재까지 연구 개발되어 온 세라믹 칩 부품을 집적화하고 일체화하여 모듈로 제작하는 연구가 수행되고 있다. 이 과정에서 내장형 소자들에 대한 연구도 병행되어 진행되고 있는데 그 측정하는 치구의 형태 및 측정 방법에 따라 그 특성이 다르게 나타난다. 그리고 각 소자의 등가 성분들을 추출함에 있어서도 측정하고자 하는 파라미터에 따라 가장 적합한 방법이 적용되어야 한다. 본 연구에서는 측정 지그 및 각 파라미터에 적합한 측정 방법을 최적화하였다.

2. 실험방법

내층형 소자 제작에 있어 유전체는 Dupont 9599 powder (Er=7.8), 도체는 Ag paste를 사용하였다. 제작 공정은 일반적인 적층 공정을 적용하였는데 외부 단자를 형성함에 있어서 MLCC는 paste를 칩 앞면에

dipping하고 도금하는 반면 내장형의 경우는 via를 이용하여 칩 외부의 pad와 연결하였다. 고주파 특성 측정시에는 Network Analyzer (HP 8753D)를 이용하였고 소자의 모델링에는 ADS 1.3 (Agilent), HFSS 5.3 (Agilent)를 사용하여 등가회로 분석을 시행하였다.

3. 결과 및 고찰

3.1. Measurement Jig

Co-axial type, PCB type, Probe type 이렇게 세가지 형태를 기반으로 측정 결과를 비교하였다. 실험에 사용된 지그의 형태가 아래 그림에 나타나있다.

Fig. 1의 co-axial type의 경우에는 Network analyzer로부터 연결된 connector를 이용하여 측정하기 때문에 그 측정의 정확도는 높게 나타난다. 그림에 나타난 것처럼 전면 ground short를 설정할 경우 reference를 거의 완벽하게 잡을 수 있으나 실제 측정하고자 하는 sample은 원주위의 한점에서 측정되기 때

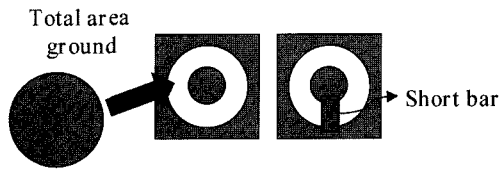


Fig. 1. Shape of co-axial type Jig.

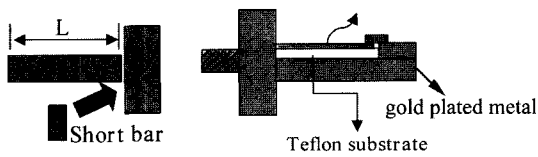


Fig. 2. Shape of PCB type Jig.

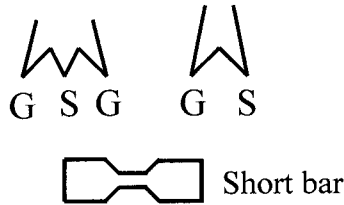


Fig. 3. Shape of probes.

문에 인덕턴스 성분이 더 증가한 것처럼 보이게 된다. Fig. 2의 PCB type은 가장 널리 사용되는 형태인데 reference setting 방법에 따라 측정치가 달라지게 된다. 일반적으로 측정하고자하는 sample과 유사한 모양의 short bar를 이용하는 것이 정확하다고 알려져 있으나 feeding line과 ground간의 gap을 최소화하고 측정할 경우가 더 정확한 결과를 나타내었다. 이는 sample 크기 만큼의 gap을 설정한 경우 short bar의 길이와 특성이 빠져서 측정되기 때문이다. 이에 대한 비교 결과가 아래에 나타나있다. 등가 회로 분석 결과 기생 인덕턴스 성분이 0.6~0.7 nH인 capacitor를

측정한 결과 gap을 최소화한 PCB의 경우가 가장 근접한 결과를 나타내었다.

Fig. 3에 나타나 있는 probe의 경우 S(signal)와 G (ground)간의 거리(pitch)가 정해져 있기 때문에 PCB에서 일정 gap을 설정한 경우와 같게 된다. 이를 비교한 결과가 Fig. 4에 나타나 있다.

위의 결과들은 모두 short reference setting하고 open 상태를 관찰한 것인데 앞에서 언급했듯이 gap을 설정하는 경우 gap 길이 만큼의 길이가 빠지기 때문에 open 상태에서 완전 open이 잡히지 못하고 phase shift가 발생함을 알 수 있고 probe의 경우에도 그 pitch 길이 만큼의 영향이 나타나고 있음을 알 수 있다. Gap을 1 mm 설정한 경우와 1.25 mm pitch의 probe를 사용한 경우 6 GHz에서 약 25의 phase shift가 발생하였다. Probe를 사용할 경우 이러한 shift를 직접적으로 보정할 방법은 없으며 측정 결과에서 delay 부분을 보정하여 data를 취해야 하는 단점을 가지고 있다. 그러나 칩 형태가 아닌 임의의 형태를 가진 세라믹 모듈의 경우에는 probe로만 측정 가능한 부분이 존재하기 때문에 모듈 해석에 매우 용이하게 사용될 수 있다.

3.2 캐패시터 특성 추출

캐패시터 등가 회로는 일반적으로 잘 알려진 spice model을 사용하였는데 Fig. 5와 같다.

측정된 결과로부터 캐패시턴스와 기생 인덕턴스 값을 계산하였는데 그 계산식은 아래와 같다.

$$X_{total} = X_{La} + X_C + L_p$$

Table 1. Compaion between co-axial and PCB type Jig

	Co-axial	PCB(gap≅0)	PCB (gap=1 mm)
Lp(nH)	0.8	0.65	0.398

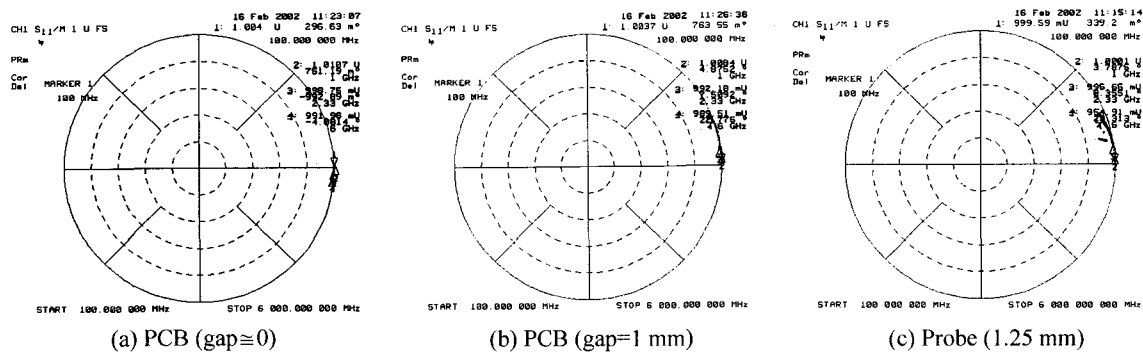


Fig. 4. Comparison of conditions of setting reference.

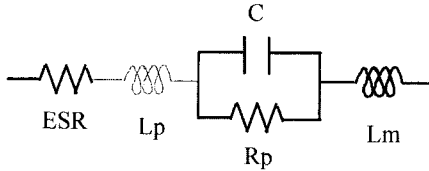


Fig. 5. The equivalent circuit of embedded capacitor.

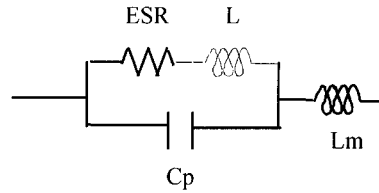


Fig. 8. The equivalent circuit of embedded inductor.

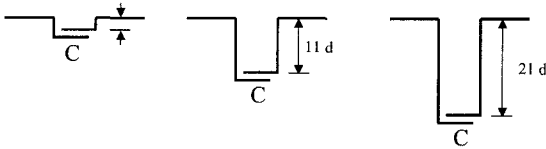


Fig. 6. Experiment for the extraction of Lm.

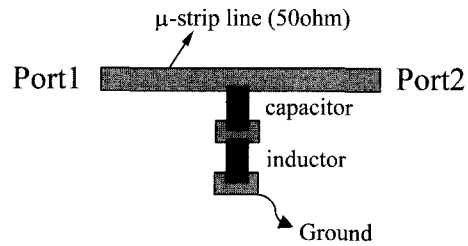


Fig. 9. Measurement Jig of ESR of inductor.

Table 2. Compensation of the effect of vias

	보정 전	보정 후
C(pF) @ 100 MHz	3.6500	3.6498
C(pF) @ 2.5 MHz	6.15	5.39

$$= X_{La} + X_C + L_p \tag{1}$$

$$C_{measured} = \frac{1}{2\pi f X_{total}}$$

$$= \frac{C}{1 - (2\pi f)^2 C(Lv + Lp)} \tag{2}$$

And at SRF, $X_{total} = 0$

$$2\pi f_o(Lv + Lp) = \frac{1}{2\pi f_o C}$$

$$f_o = \frac{1}{2\pi\sqrt{C(Lv + Lp)}} \tag{3}$$

Lm은 내장형소자의 측정을 위해서 첨가되는 via에 의한 인덕턴스 성분인데 이를 추출하기 위해 Fig. 6과 같이 via의 길이만 조정하여 그 차이에 의한 인덕턴스 변화를 추출하였다.

위의 실험을 실행한 결과 지름이 120m인 경우 길

이 1μ 당 1pH의 인덕턴스가 발생하는 것으로 나타났다. Via의 영향을 보정하여 보정전 결과와 비교한 결과가 Table 2에 나타나 있는데 고주파수 대역으로 갈수록 그 차이가 커지고 있음을 확인할 수 있다.

Rp는 일반적으로 무한대에 가깝기 때문에 무시하였다. ESR의 경우 1 port 범으로 측정할 경우 short reference 차이에 따라 그 값이 많이 변하기 때문에 아래와 같이 2 port 범으로 측정했는데 이는 캐패시터의 자기 공진 주파수에서의 저항값, 즉 ESR 에

Table 3. Comparison of ESR between MLCC and embedded capacitor

Embedded C (KETI)		MLCC	
C(pF) @ 100 MHz	ESR (Ω), (SRF(GHz))	C(pF) @ 1 MHz	ESR (Ω), (SRF(GHz))
3	0.2(4.78)	3	0.5(3.52)
5	0.15(2.92)	5	0.42(2.62)
12	0.15(1.84)	12	0.31(1.78)
19	0.14(1.5)	19	0.31(1.49)

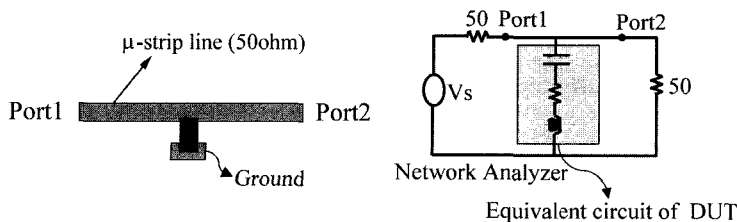


Fig. 7. Measurement system of ESR.

$$R_s = \frac{253 \cdot 10^{(Ad/20)}}{1 - 10^{(Ad/20)}}$$

Ad : Insertion loss(dB) in S_{21}

의한 power 분배를 측정하여 ESR 값을 결정하는 것이다.

위에 제시된 지그와 수식을 이용하여 내층형 캐패시터의 ESR 특성을 비교해 보았다.

위의 결과를 보면 내층형의 경우 MLCC에 비해 ESR이 반이하로 작게 나타났는데 이는 MLCC의 단자처리시 페이스트 dipping 공정과 도금 공정에서 급속간 계면 접촉 저항이 발생하기 때문인 것으로 생각된다.

3.3 인덕터 특성 추출

인덕터 특성 추출에서는 아래의 등가회로를 사용하였다.

인덕터 분석시 via의 영향이나 기생 캐패시턴스 추출은 캐패시턴스에서와 같이 식(1)~(3)을 사용하였다. 다만 ESR 측정시 인덕터는 자기 공진 주파수에서 병렬 공진하기 때문에 캐패시터에서와 같이 측정할 수 있다. 이를 해결하기 위해 이미 측정이 끝난 캐패시터를 직렬로 달아 직렬 공진을 유도한 후 측정하였다.

그리고 여러 공진 주파수에서 조사한 결과 ESR은 주파수가 증가할수록 커지는 경향을 나타내었다.

4. 결 론

여러 형태의 측정 지그와 reference setting 방법을 달리하여 그 측정치를 비교하였고 이 결과를 이용하여 최적 조건을 선정하였다. 이 방법을 이용하여 가장 널리 사용되는 캐패시터와 인덕터의 모든 등가 성분들을 추출하였고 이를 실제 측정치와 비교한 결과 등가 회로에 의한 계산치와 거의 일치함을 확인할 수 있었다.

참고문헌

1. Kieran Delaney, IEEE Transaction on advanced packaging, vol. 22, No. 1, p. 68, February, 1999.
2. Yutaka Taguchi, Electronics Components and Technology Conference, p.454, 2000.
3. 김인태, "LTCC-M 기술을 이용한 내부실장 R, L, C 수동소자의 특징 및 LMR용 PAM 개발" 마이크로전자 및 패키징 학회지, Vol. 7, No. 1 pp 13-18, 2000.
4. 조현민, "고주파 MCM-C 용 내부저항의 제작 및 특성 평가" 마이크로전자 및 패키징학회지, Vol. 7, No. 1, pp 1-5, 2000.