

소 특 집

비휘발성 강유전체 메모리(FeRAM) 기술의 현황 및 전개 동향

윤성민, 유병곤

한국전자통신연구원, 반도체원천기술연구소

I. 서 론

고속 동작이 가능한 차세대 비휘발성 메모리의 가장 유력한 후보로 인식되어 온 강유전체 메모리 (FeRAM)를 실용화하기 위한 연구 개발이 시작된 지도 10년 이상이 경과하고 있다. 개발 초기의 예상과는 달리, 치명적인 기술적 문제들을 해결하는 데에 예상 밖의 긴 시간이 걸린 것은 사실이지만, 최근 들어 기존의 문제들을 다수 해결하면서 실용화의 전망이 밝아지고 있다. 특히 휴대기이용 비휘발성 메모리 분야 및 논리 LSI와의 혼재 메모리 응용은 FeRAM이 차세대 메모리 분야에서 유력하게 자리매김 되어질 중요한 기술로 부각되고 있다.

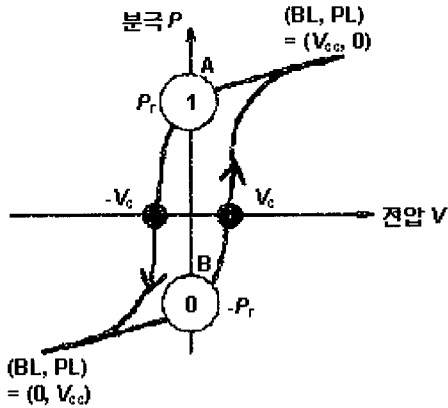
FeRAM은 강유전체 재료가 가지는 분극 특성을 이용하여 비휘발성을 실현한 고속 비휘발성 메모리이다. DRAM과 비슷한 정도의 고속 동작이 가능할 뿐만 아니라, 차세대 휴대 단말기 등에서 강하게 요구되는 비휘발성 및 저소비전력의 특징을 겸비하고 있어, 한 때는 기존의 모든 메모리 모듈을 대체할 수 있는 유력한 메모리로서 학계 및 업계의 주목을 받아 왔다. 그러나 이러한 뛰어난 특성을 가지고 있으면서도, 극히 최근에 이르기까지 FeRAM 제품의 양산이 이루어지지 않은 이유는 FeRAM이 실제의 제품에서 그 신뢰성을 담보해 낼 수 있다는 인식이 충분히 확인되지 않은 까닭이었다. 구체적으로 말하면, 강유전체인 $Pb(Zr, Ti)O_3$ (PZT), $SrBi_2Ta_2O_9$ (SBT) 등의 재료를 안정적이고 재현성 있게 성막하는 기술, 강유전체 커패시터를 형성하는 적

절한 전극 형성 기술, 강유전체 메모리 셀의 미세 가공 기술 등의 어려움과 함께 기존의 반도체 프로세스와 공정 정합성을 도출해야 하는 문제 등에서 다수의 기술 장벽이 존재해왔다.

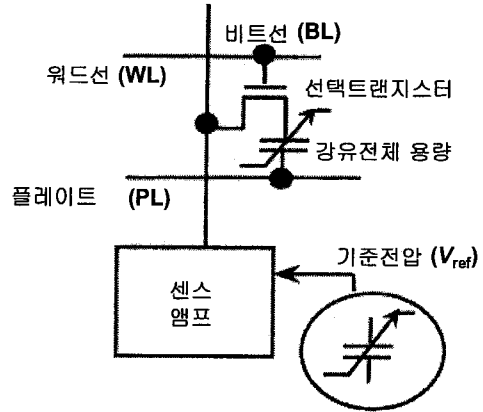
하지만 최근에 와서 강유전체 재료의 성막 기술, 가공 기술, 강유전체 메모리 공정 기술 등의 활발한 기술 개발에 의해 소규모의 범용 메모리 및 FeRAM 혼재 CMOS 로직 등이 시장에 공급되기 시작했다. 본 원고에서는, FeRAM의 기본 동작 원리, 강유전체 재료의 형성 기술 및 특징, 메모리 셀의 구조, FeRAM의 신규 응용 분야 등에 대해 개설하고, 현재 시판되고 있는 FeRAM의 양산 기술에 대해서도 간단하게 언급한다.

II. 강유전체 메모리의 기본 동작 원리

앞에서 설명한 바와 같이, FeRAM은 강유전체 재료의 분극 특성을 이용하는 비휘발성 메모리이다. 즉, 강유전체 재료의 분극 (P)—전압 (V) 특성을 측정하면, <그림 1>과 같은 분극 히스테리시스 특성을 얻을 수 있다. 전압의 소인 이력 차이에 따라 0V의 전압 하에서도 A, B 두 개의 안정점이 존재하게 된다. 이 두 개의 상태를 데이터 “0”과 “1”에 대응시켜 강유전체 커패시터가 둘 중 어느 상태에 있는가를 읽어냄으로써 비휘발성 메모리 동작을 실현한다. FeRAM 제작에 사용되는 강유전체 재료로는 주로 PZT 또는 SBT를 사용하고 있으며, 대표적인 셀 구조는



<그림 1> 강유전체 재료의 P(분극) - V(전압) 특성.
BL : 비트선, PL : 레이트선, V_{cc} : 전원전압,
 V_c : 항압, P_r : 잔류분극



<그림 2> 1T/1C형 메모리 셀

1T/1C형과 2T/2C형으로 나눌 수 있다.

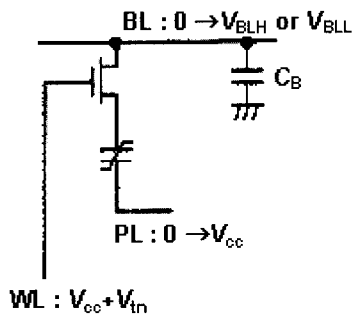
1. 1T/1C형 메모리 셀의 구조 및 동작 원리

한 개의 트랜지스터와 1개의 커패시터에 의해 구성되는 1T/1C형 FeRA 셀 구조는 <그림 2>와 같다. 이 구조의 기본적인 셀 구성은 DRAM과 동일하다. 이 구조를 가진 메모리 셀의 동작 원리는 다음과 같다.

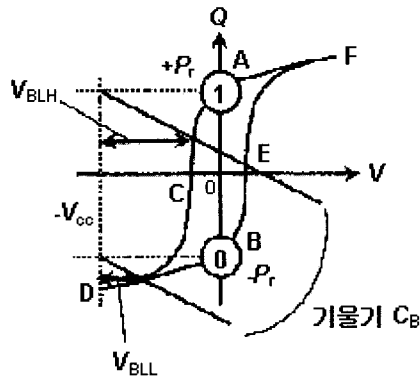
먼저 데이터의 쓰기 동작에 대해 설명한다. 쓰기 동작은 강유전체 커패시터에 전압을 인가하여 강유전체 재료의 분극 상태를 유도한다. 즉, 데이

터 "0"을 저장할 경우에는, 비트선 전압을 0V로 하고, 플레이트선 전압을 V_{cc} 로 한다. 반면 데이터 "1"을 저장할 경우에는 비트선 전압을 V_{cc} , 플레이트선 전압을 0V로 하면 된다. 이 때 메모리 셀을 선택하는 선택 트랜지스터는 워드선의 전위를 올려 ON 상태를 유지시킨다. 이렇게 하면 데이터 "0"과 "1"이 저장된 강유전체 커패시터에는 정반대의 분극 방향이 설정되고, 읽어내기 동작이 일어나기 전까지 저장된 데이터를 보존한다.

다음으로 <그림 3>에서 메모리의 읽어내기 동작을 설명한다. 우선 비트선의 전위를 사전에 0V



(a)



(b)

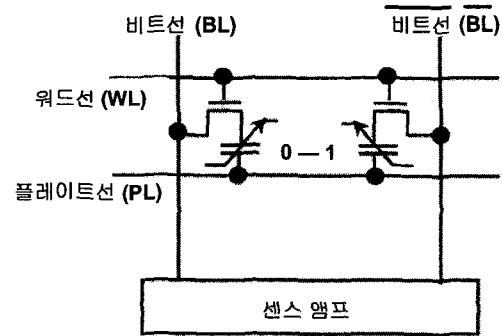
<그림 3> 강유전체 메모리의 읽어내기 동작. (a) 메모리 셀에 인가하는 전압, (b) 히스테리시스 곡선과 비트선 용량 C_B 를 기울기로 하는 부하선. 비트선에 검주리되는 전압은 히스테리시스 곡선과 부하선과의 교점에서 결정된다.

로 조정된 후, 워드선에 $V_{cc} + V_{th}$ (선택 트랜지스터의 문턱 전압값)의 전압을 인가하여 선택 트랜지스터를 ON 상태로 함과 동시에 플레이트선의 전압을 0V에서 V_{cc} 로 상승시킨다. 이 때 강유전체 커패시터에 저장된 데이터가 "1"이었다면, 메모리 셀의 동작점은 A-C-D와 같이 히스테리시스 곡선상을 이동하여 분극 반전에 수반되는 다량의 전하가 발생한다. 이 전하에 의해 비트선의 용량이 충전되어 비트선의 전위는 V_{BLH} 로 상승한다. 한편 저장된 데이터가 "0"이었던 경우에는, 분극 반전이 일어나지 않고 전하의 발생도 적기 때문에 비트선의 충전량도 적은 정도에 불과하고 비트선의 전위는 V_{BLL} 에 머문다. 각 데이터 상태에 따른 비트선 충전량 (V_{BLH} , V_{BLL})의 중간값의 전위를 표준 전위 (V_{ref})로 가지는 차동형 센스앰프를 이용하면, 입력 신호가 V_{BLH} 인 경우에는 V_{cc} , V_{BLL} 인 경우에는 0V로 증폭 가능하다. 이런 방식으로 메모리 셀에 저장된 데이터를 읽어낼 수 있다.

이 때 주목해야 할 것은, 데이터 "1"을 읽어 내고 나면, 기존의 데이터는 파괴되고 강유전체 커패시터에는 데이터 "0"이 저장된 상태가 되어 버린다는 사실이다. 따라서, 읽어내기 동작을 종료한 시점에서 데이터의 다시쓰기 동작을 수행해야 할 필요가 있다. 다시쓰기 동작은 읽어내기 동작 종료 후, V_{cc} 로 되어 있는 플레이트선을 0V로 낮춤으로써 가능하다.

2. 2T/2C형 메모리 셀의 구조 및 동작 원리

2T/2C형의 메모리 셀은 1T/1C형 메모리 셀과 비교하여 동작 여유가 크고, 강유전체 메모리의 제작 공정에 기인하는 메모리 셀의 특성 분포 현상을 회피할 수 있다는 이유 때문에, 초기의 FeRAM 개발에 주로 사용되어 왔다. 2T/2C형 메모리 셀은 <그림 4>에서 나타난 바와 같이, 1T/1C형의 메모리 셀을 2개 사용하여 1bit의 메모리 셀을 구성하는 방식이다. 한 쌍으로 구성되는 1T/1C의 메모리 셀에는 언제나 상반되는 데이터가 저장되는데, 다시 말해서 BL측에는 데이터 "1"을 저장하는 경우, /BL측에는 데이터 "0"이



<그림 4> 2T/2C형 메모리 셀

저장되는 형식이다.

이 구조의 메모리 셀은 읽어내기 동작을 수행할 때, 표준 전위 (V_{ref})가 불필요하며, 센스앰프는 각각의 1T/1C 메모리 셀의 "1"과 "0"의 신호 전압차를 검출하여 증폭한다. 이러한 이유 때문에, 동작의 신뢰성 면에서는 1T/1C 방식에 비해 유리하나, 셀 사이즈가 지나치게 커지는 단점 때문에 메모리의 대용량화에는 적합하지 않은 방식이다. 따라서, 향후 FeRAM에 탑재될 메모리 셀의 방식은 메모리의 응용 분야에 따라 두 방식 모두가 탑재될 가능성이 많다.

III. 강유전체 재료의 형성 및 기본적인 특성

1. 강유전체 재료의 형성 방법

FeRAM을 구현하기 위한 가장 중요한 공정 기술의 하나는, 양질의 강유전체 재료를 대면적 기판 위에 가능한 한 저온에서 안정적이고 재현성 있게 형성하는 것이다. 강유전체 재료의 형성을 위해 현재 도입되고 있는 대표적인 성막 방법에는 sol-gel spin-coating법, sputtering법, MOCVD(Metal-Organic Chemical Vapor Deposition)법 등이 있다.

솔-젤 상태의 원료 용액을 이용하는 spin-coating법은 강유전체 재료의 조성 제어가 용이하고, 뛰어난 재현성을 얻을 수 있다는 점에서는 우수하나, 메모리 셀의 구조가 복잡해짐에 따라,

다수의 스텝 구조가 존재하는 대면적 기판 위에 양질의 막을 형성하기 어렵다는 단점을 가지고 있다. 또한 일반적으로 이 방법은 고온의 결정화 처리 온도를 요구하기 때문에, 양산 단계에서 이 성막 방법을 사용하기 위한 다양한 시도가 진행되고 있다. 예를 들면, 소성 분위기를 감압 조건 하 등으로 제어하거나, 성막시의 단위 막 두께 및 열처리 공정 등을 최적화 하는 등의 노력으로 현재 PZT의 경우에는 550~600°C, SBT는 700°C 정도의 열처리 공정 온도를 실현하고 있다.

한편 spin-coating 방법이 가지는 근본적인 문제를 해결하여, 보다 양질의 막을 제작하고, 대면적에서의 뛰어난 step-coverage 특성을 확보하기 위해 도입된 방법이 sputtering법과 MOCVD 법이다. 하지만 강유전체 재료의 대부분이 2개 이상의 금속 원소를 함유하고 있는 경우가 많아, 막의 조성을 정확히 제어하거나 기판 위에서 균일한 막질을 얻어내는데 많은 어려움을 겪고 있다. 현재 sputtering법에 의한 강유전체 재료 형성 기술은 MOCVD 기술의 발전에 의해 빠르게 대체되고 있는 형편이며, 기술적 로드맵 상에서 건너뛰 가능성을 배제할 수 없다. 한편, MOCVD 법에 의한 성막 기술은 원료와 장치의 개발 면에서 꾸준한 발전을 거듭하고 있으며, 특히 최근에는 매우 낮은 온도에서 양호한 특성을 가지는 강유전체 재료를 형성했다는 보고가 잇따르고 있어, 머지 않은 시기에 양산을 위한 강유전체 형성의 주공정으로 부상할 전망이다. MOCVD법을 이용한 강유전체 형성 온도는 PZT의 경우 400°C, SBT의 경우에도 600°C까지 저온화할 수 있음을 보고하고 있다.

FeRAM을 실현하기 위해 주로 사용되어 온 강유전체 재료인 PZT, SBT 이외에도 최근에는 기존의 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 라는 재료에 La를 첨가한 $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ (BLT)가 주목을 모으고 있다^[1]. 특히 이 재료에 Bi_2SiO_5 (BSO)라는 상유전체 물질을 첨가하여 강유전체 막을 형성함으로써 매우 우수한 특성을 가진 50nm 이하의 박막을 제작할 수 있는 기술이 발표되어^[2], 현재의 FeRAM이 가진 몇 가지 해결해야 할 문제들을

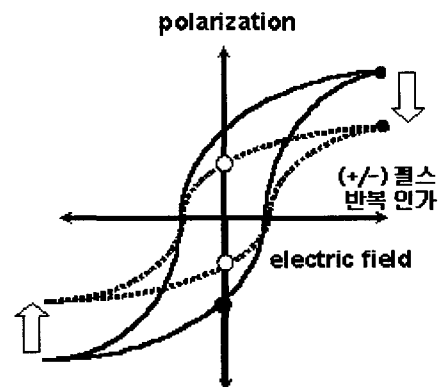
재료적인 관점에서 극복할 수 있는 대안을 시사하고 있는데, 이러한 기술들에 대한 향후 전개 동향을 주시할 필요가 있다.

다음 절에는 강유전체 재료가 가지는 특유의 성질에 대해 고찰하고, 이 특징이 FeRAM의 동작에 어떠한 영향을 미치는가를 살펴보기로 한다.

2. 피로 (fatigue) 특성

피로 특성은 강유전체 재료의 분극 반전을 반복하는 사이에, <그림 5>에 나타낸 바와 같이 분극량이 점차로 감소하는 현상을 말한다. 이 현상이 현저해지면, 메모리 셀의 바꾸어쓰기 동작 회수가 제한됨은 물론, 파괴적 읽어내기 방식을 이용하는 커패시터형 FeRAM의 경우에는 읽어내기 동작의 회수도 동시에 제한된다. 특히 이러한 피로 특성은 1T/1C형 메모리 셀의 기준 전압을 제공하는 기준 (reference) 셀에게는 큰 문제가 아닐 수 없다. 즉, 기준 셀 자신이 강유전체를 사용한 커패시터이기 때문에, 피로 특성에 의한 동작 열화에 의해 기준 전압의 값이 변동할 우려가 있기 때문이다. 특히, 기준 셀은 그 외의 셀에 비해 접근 회수가 많아, 재료 자신의 피로 특성이 불량할 경우, 전체 메모리 셀의 동작에 큰 영향을 미친다.

피로 특성은 동작 전압, 전극 재료, 강유전체 재료 등의 변수에 크게 의존한다. 전압 의존성은

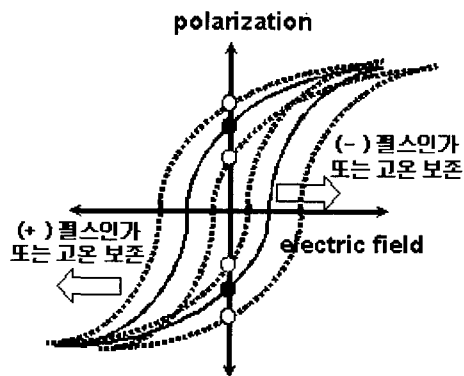


<그림 5> 강유전체 재료의 피로 (fatigue) 특성. 플러스와 마이너스 펄스의 반복 인가에 대해 분극 특성이 열화하는 현상.

고전압이 인가되는 경우일수록 피로 열화 현상이 현저하다. 전극 재료는 IrO_2 등의 산화물 전극을 이용하면 피로 특성이 좋아진다. 그 원리는 IrO_2 이 Pb, Zr, Ti 등 구성 원소에 대한 확산 방지층으로 기능하기 때문이라고 보고되어 있다. 한편, 피로 열화 현상은 전극과 강유전체 계면에서 산소 결함이 축적되기 때문에 발생하는데, 산화물 전극은 전극으로부터 산소 공급이 가능하기 때문에, 비교적 양호한 피로 특성을 유지한다는 학설이 지배적이지만, 정확한 피로 특성 기구에 대해서는 아직 밝혀지지 않고 있다. 강유전체 재료 자체에 있어서는, PZT 보다 SBT가 피로 내성이 좋은 것으로 알려져 왔으나, 최근 강유전체 성막 기술의 개선과 산화물 전극 등의 사용에 의하여 PZT에서도 SBT와 동일한 정도의 피로 내성이 실현되고 있다.

3. 임프린트(imprint) 특성

임프린트 특성은 <그림 6>에 나타난 바와 같이, 강유전체 용량에 플러스 또는 마이너스의 펄스 전압을 반복하여 인가한 경우 또는 데이터를 저장한 상태(분극 상태)에서 장시간 보존 동작(특히 고온에서의 보존)이 지속된 경우에, 분극 히스테리시스 곡선이 플러스 또는 마이너스 방향으로 평행 이동하는 현상이다. 펄스 전압의 인

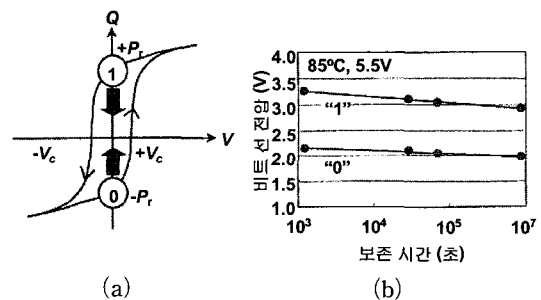


<그림 6> 강유전체 재료의 임프린트(imprint) 특성. 플러스 또는 마이너스 펄스를 반복 인하거나 이들 펄스에 의해 저장된 데이터를 온에서 장기 보존하는 경우, 히스테리시스선이 전압 축에 대해 평행이동하는 현상.

가에 의한 임프린트 현상을 다이내믹 임프린트(dynamic-imprint), 데이터 보존에 의한 임프린트 현상을 스태틱 임프린트(static-imprint)라고 부른다. 메모리 셀에 임프린트 현상이 발생하면, 경우에 따라서 반대의 데이터를 더 이상 써넣을 수 없는 문제가 발생한다. 임프린트 특성은 강유전체 막 중에 존재하는 산소 결함에 기인하는 것으로 생각되고 있다.

4. 메모리 보존(retention) 특성

메모리 보존 특성의 열화는 <그림 7>에 나타난 바와 같이, 분극량이 시간의 경과와 더불어 감소하는 현상이다. 이 특성이 바로 비휘발성 메모리의 데이터 보존 시간을 결정한다. 히스테리시스 특성으로부터 설명하면, <그림 7(a)>의 화살표의 이동 방향과 같이, 시간의 경과와 함께 분극량이 감소하는 현상이라고 말할 수 있다. 이 특성은 고온 중에서 가속 시험을 수행하는 것이 가능한데, <그림 7(b)>는 실제의 강유전체 메모리에서 측정된 데이터 “1”과 “0”에 해당하는 비트선의 전압 레벨이 85°C에서 보존 시간의 경과에 대해 어떻게 변화하는가를 나타내고 있다. 비트선 전압이 보존 시간의 대수 관계를 가지며 직선적으로 감소하는 것을 알 수 있다. 보존 특성은 대부분 강유전체 재료의 특성에 의하여 결정되며, 보존 특성을 개선하는 데는 강유전체 재료 자신의 특성을 개선할 필요가 있다.



<그림 7> 강유전체 재료의 메모리 보존(retention) 특성. (a) 데이터 보존 동작 중의 히스테리시스 변화, (b) 실제 강전체 메모리에서 측정된 비트선 전압 레벨의 보존 시간 의존성

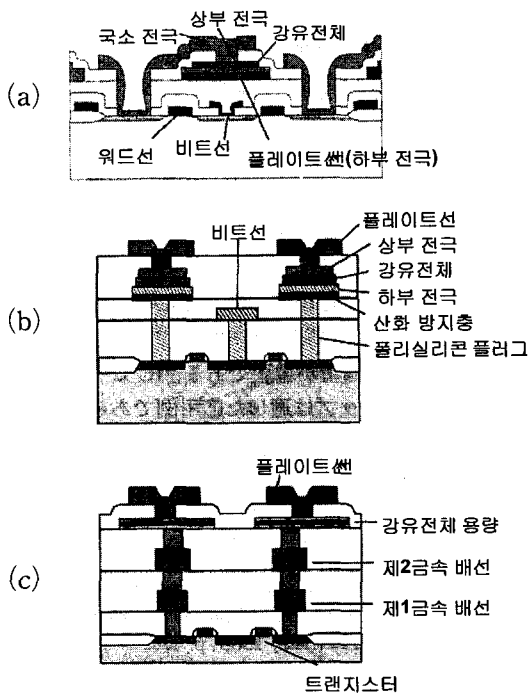
IV. 강유전체 메모리의 셀 구조

FeRAM의 기본 셀 구조는 앞서도 언급한 바와 같이 DRAM과 동일한 형태이다. <그림 8>에 강유전체 메모리 셀이 가지는 대표적인 몇 가지의 단면 구조를 나타내고 있다. <그림 8(a)>의 메모리 셀은 W이나 다결정실리콘 (poly-silicon)으로 형성하는 contact plug을, 트랜지스터의 확산 영역과 강유전체 커패시터를 접속하는데 사용하지 않고, 강유전체 커패시터를 형성한 후, 국소 배선을 이용하여 확산 영역과 강유전체 커패시터 부분을 연결하고 있다. 이것은 PZT, SBT 등의 강유전체를 형성하는 과정에서 경험하게 될 산소 분위기 중의 고온 열처리에 의하여 플러그 자체가 산화하는 것을 방지하기 위해서이다. 또한, 강유전체 커패시터 용의 전극도 산화성 분위

기에서의 노출에 문제가 없는 재료를 사용하고 있는데, Pt, Ir 등이 일반적으로 사용되는 재료이다. Pt는 산화물을 형성하지 않으며, Ir은 산화물을 형성하지만 IrO₂가 도전성 재료이기 때문에 주로 사용되고 있다.

한편, 국소 배선을 이용하여 강유전체 커패시터와 트랜지스터를 접속하는 <그림 8(a)>와 같은 메모리 셀 구조에서는, 메모리 셀의 면적을 축소하는데 한계가 있어, contact plug 바로 위에 강유전체 커패시터를 직접 형성하는 구조의 메모리 셀이 개발되었다. <그림 8(b)>는 그 한 예를 설명하고 있다. 이 메모리 셀에서는 W이나 다결정실리콘 등으로 형성한 플러그의 산화를 방지하기 위하여 강유전체 커패시터의 하부 전극과 플러그와의 계면에 산화 방지층을 형성한다. 이와 같은 메모리 셀 구조를 채택함으로써, 메모리 셀 면적을 대폭 줄일 수 있다. 반면 이 구조의 메모리 셀이 가진 문제점은, 강유전체 커패시터를 형성한 후, 다층 배선 공정을 진행하기 때문에, 모종의 대책을 세우지 않고서는 강유전체 커패시터의 열화 현상을 막을 수 없다는 사실이다. PZT, SBT 등의 강유전체 재료는 환원성 분위기에서 그 특성이 현저하게 열화하는 특징을 가지고 있다. 따라서 환원성 분위기에서의 열화 방지층을 강유전체 커패시터의 주위에 형성하지 않는 한, 층간 절연막 사이의 via hole 매립을 위한 W의 성장 등의 다수 공정을 강유전체의 특성 열화 없이 수행할 수 없다. 이러한 문제는 특히 로직 모듈과의 혼재를 수행할 때 더욱 심각하다.

<그림 8(b)>의 메모리 셀이 가진 문제점을 해결하기 위한 셀 구조로서, <그림 8(c)>의 구조가 제안되어 있다. 이 메모리 셀의 특징은 트랜지스터와 다층 배선 형성 공정을 모두 수행한 후 (로직 회로 공정을 종료한 후), 최상층에 강유전체 커패시터와 플래이트선을 형성하는 구조이다. 강유전체 커패시터 형성 후의 공정 수가 적고, 이후의 공정이 강유전체에 큰 손상을 야기하는 공정도 아니기 때문에 강유전체 용량의 열화를 최소한으로 억제하는 것이 가능하다. 이 메모리 셀 구조의 과제는, 낮은 성막 온도(400~450°C)에서



<그림 8> 대표적인 메모리 셀의 구조. (a) 국소 배선을 이용한 강유전체 메모리 셀 구조, (b) contact plug 바로 위에 강유전체 커패시터를 형성한 메모리 셀 구조, (c) 다층선 형성 후에 강유전체 커패시터를 제작하는 메모리 셀 구조.

양호한 특성을 나타내는 강유전체 성막 방법의 개발이 필수적이라는 점이고, 앞서 설명한 것과 같이, 이러한 요구 사항을 만족시키기 위해서는 MOCVD 기술의 발전이 선행되어야 할 것이다.

V. 강유전체 메모리의 응용 분야 및 신규 기술 동향

향후 FeRAM이 응용 분야를 넓혀가기 위해서는 단위 셀 사이즈를 획기적으로 축소해 나갈 필요가 있다. 현재 FeRAM의 셀 면적은 DRAM이나 비휘발성 메모리 경쟁 상대인 플래쉬 메모리와 비교하여 10~20배 가까이 크다. 이것은 앞 절에서 설명한 메모리 셀 구조의 문제와 강유전체 커패시터의 미세 가공이 매우 어렵다는 점에 기인한다. 현재의 FeRAM 기술에서 실현 가능한 현실적인 메모리 용량은 많이 잡아야 4Mbit 정도라고 할 수 있다. 물론 학회 수준에서는 8M, 32M 등의 발표가 잇따르고 있지만^[3,4], 가까운 시기에 양산에 돌입하기에는 많은 어려움이 있는 것이 사실이다. 이 정도의 메모리 용량으로 범용 메모리 시장을 공략하기는 현실상 매우 어렵기 때문에, FeRAM이 기존의 범용 메모리 분야에서 절대적인 우위를 점하기 위해서는 적어도 플래쉬메모리에 필적한 정도까지 메모리 셀의 사이즈가 축소되어야 한다. 기존의 기술만으로는 이를 달성하기 어려우며, 미세 가공 기술의 향상, 전극 및 강유전체 재료의 박막화 기술, 그리고 전극 재료의 재검토 등이 수반되어야 할 것이다.

한편, 범용 메모리 이외의 분야에서 FeRAM이 주목할 만한 차세대 메모리 시장이 형성될 가능성도 크다. 그 중 가장 유망한 시장은 FeRAM-embedded CMOS logic 분야이다. 이 분야에 있어서 특히 스마트 카드로 대별되는 IC 카드는, 최근 수 년간 급속히 시장 규모가 확대되고 있는 품종인데, 이 IC 카드에 사용되는 비휘발성 메모리 부분을 FeRAM이 대체할 가능성이 높다. IC 카드용의 혼재 칩에 요구되는 메모리의 용량은

기술 세대에 따라 다르기는 하지만, 32kbit에서 4Mbit 정도이기 때문에, 향후의 기술 개량에 의해 충분히 달성할 수 있는 수준이며, 실제로 양산에 가장 근접한 분야이기도 하다^[6].

또한, 최근에는 일반적인 래치회로에 강유전체 커패시터를 추가하여, 전원을 차단하더라도 래치회로의 상태가 보존되는 비휘발성 강유전체 래치회로가 제안되었다^[6,7]. 이 기술이 실용화된다면, 같은 기능을 구현하기 위해 필요한 회로의 규모를 현재의 1/10 수준으로 크게 줄일 수 있을 뿐만 아니라, 논리 회로 자체에 비휘발성이 도입됨으로써, 동작하지 않는 회로 블록 부분의 전원을 원천적으로 차단할 수 있게 되어 초저소비전력형 래치회로를 실현할 수 있다. 이러한 시도의 일환으로써, FeRAM을 FPGA의 일종인 reconfigurable logic에 도입하는 기술도 주목을 받고 있다^[8]. 기존의 reconfigurable logic의 회로 구성을 결정하는 데이터를 저장하기 위해서 FeRAM을 사용함으로써, 기존의 회로에서 필수적이던 외부 장착 메모리를 떼어내어 칩 면적을 줄일 수 있음은 물론, 데이터를 내장화하여 외부로의 데이터 누출과 부정확한 재프로그램 시도를 원천적으로 봉쇄 가능하여 칩의 보안성을 한층 높일 수 있다는 생각이다. 이처럼, 범용 메모리 분야 이외에도 FeRAM의 뛰어난 사양을 요구하는 응용 메모리 분야는 매우 넓다고 할 수 있으며, 위에서 소개한 최근의 발표 예들이 이를 뒷받침하고 있다.

VI. 강유전체 메모리의 양산 기술 소개

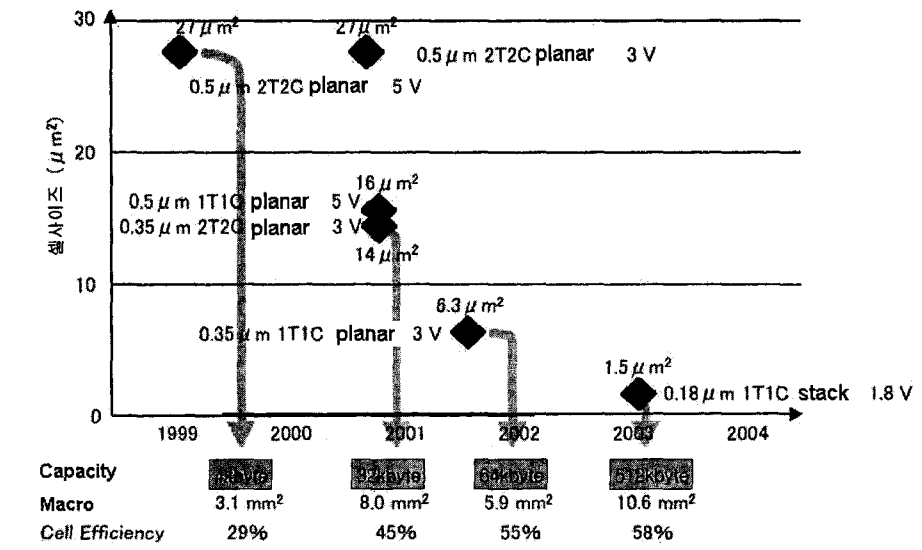
마지막으로 FeRAM 기술의 현주소를 정확히 파악하고, 향후 기술 전개의 동향을 예측하는데 도움을 얻기 위해, 현재 수준에서 가장 활발하게 강유전체 메모리의 양산 사업을 진행하고 있는 일본 Fujitsu의 강유전체 메모리 기술에 대한 개관을 살펴보고, 제품의 소개를 간단히 하고자 한다.

원고의 서론 부분에서도 언급한 것처럼, 1988년에 처음으로 미국 Ramtron사와 Krysalis사에서 본격적인 강유전체 메모리의 집적화 시도가 발표된 이후^[9-10], 좀처럼 제품 레벨에서의 양산 작업이 이루어지지 못하고 있다가, 1996년 이후부터 저집적도 (2~4 kbyte) 제품을 중심으로 양산 개시의 보고가 이루어지기 시작했다. 한편, Fujitsu에서는 1999년에 0.5 μm-rule의 4 kbyte-FeRAM 제품의 출하를 개시했다. 이 제품의 메모리 셀 구조는 2T/2C형이며, 동작 전압은 5V이다. 당시의 CMOS 공정 기술이 추구하던 디자인 룰인 0.18 μm을 사용하더라도 셀 면적의 축소가 불가능하고, 오히려 제조 코스트가 상승하는 문제가 있었기 때문에, 가격대성능비를 고려하여 0.5 μm-rule이 채용되었으며, 27 μm²의 세계 최소 셀 사이즈를 실현했다. 이 제품의 양산에 사용한 강유전체 재료는 PZT이며, 성막 기술은 DC sputtering법을 사용하였다. 그러나 시장이 요구하는 메모리 셀의 용량을 만족시키기에 0.5 μm라는 디자인 룰로는 셀 면적이 너무 커서, 셀 사이즈의 축소가 급속히 진행되었으며, 2001년 8월부터 0.35 μm-rule을 사용한 2T/2C 구조 64 kbyte (512 kbit)-FeRAM의 양산을 개시

하기에 이른다. 이 제품의 셀 사이즈는 14.0 μm²로 축소되었으며, 동작 전압도 3V로 절감되었다. 한편 2002년에 접어들면서 기존의 2T/2C 구조 메모리 셀을 1T/1C 구조로 대체하여 셀 사이즈를 6.3 μm²까지 축소한 제2세대 0.35 μm-rule 제품을 생산하고 있다. 생산 거점은 메모리와 로직을 중심으로 한 이와테(岩手) 공장의 라인을 사용한다. <그림 9>는 2001년에 출하된 64 kbyte FeRAM과 32 bit RISC CPU를 혼재한 다기능 IC 카드용 LSI-chip의 사진이다.



<그림 9> Fujitsu에서 2001년에 출하된 64 kbyte FeRAM과 32 bit RISC CPU를 혼재한 다기능 IC 카드용 LSI-chip. 제품명 : MB94RV202/R202.



<그림 10> 양산 제품 발전에 근거한 강유전체 메모리의 기술 로드맵 (Fujitsu의 데이터)

〈그림 10〉은 양산 제품에 근거한 강유전체 메모리의 기술 로드맵이다. 향후, 멀티 어플리케이션용 IC 카드의 응용 분야에서는 적어도 256 kbyte(4Mbit) 이상의 메모리가 요구되는 실정이며, 이를 만족시키기 위해서는 $0.25\mu\text{m}$ 이하의 디자인 룰을 이용한 제품의 생산이 시급하다. Fujitsu에서는 2003년 $0.18\mu\text{m}$ -rule을 이용한 셀 사이즈 $1.5\mu\text{m}^2$ 제품의 출하를 목표로 개발을 진행 중이다.

VII. 결 론

이처럼 본격적인 개발이 시작된 지 10여년만에 실용화의 전망이 보이기 시작한 강유전체 메모리에 대하여 그 동작 원리, 강유전체 재료의 형성과 특징, 실제의 메모리 셀 구조, 응용 분야 및 양산 기술에 관하여 서술하였다. 강유전체 메모리가 차세대 정보기기용 비휘발성 메모리로서 널리 인지되기 위해서는, 메모리 셀 사이즈의 축소를 기본으로 한 혁신적인 기술의 개발과 함께 강유전체 메모리의 특징을 충분히 활용할 수 있는 응용 분야 및 시장의 창출이 더 없이 중요하다고 하겠다.

참 고 문 헌

- [1] B. H. Park, B. S. Kang, S. D. Bu, T. W. Noh, J. Lee, and W. Jo, "Lanthanum-Substituted Bismuth Titanate for Use in Non-volatile Memories," *Nature*, vol. 401, pp.682-684, 1999.
- [2] "Tokyo Institute Technology Develops Elemental Technology Compensating for FeRAM Weaknesses," *Nikkei Electronics*, no. 810, pp.35-36, 2001.
- [3] T. Ozaki, J. Iba, Y. Yamada, H. Kanaya, T. Morimoto, O. Hidaka, A. Taniguchi, Y. Kumura, K. Yamakawa, Y. Oowaki, and I. Kunishima, "A Fully Planalized 8M bit Ferroelectric RAM with Chain Cell Structure," in *Symp. VLSI Tech. Dig. Tech. Papers*, 2001, pp.113-114.
- [4] M. K. Choi, B. G. Jeon, N. Jang, B. J. Min, Y. J. Song, S. Y. Lee, H. H. Kim, D. J. Jung, H. J. Joo, and K. Kim, "A $0.25\mu\text{m}$ 3.0V 1T1C 32Mb Nonvolatile Ferroelectric RAM with ATD and CFLSA," in *ISSCC Dig. Tech. Papers*, 2002, pp.162-163.
- [5] J. Yamada, T. Miwa, H. Koike, H. Toyoshima, K. Amanuma, S. Kobayashi, T. Tatsumi, Y. Maejima, H. Hada, H. Mori, S. Takahashi, H. Takeuchi, and T. Kunio, "A 128-kb FeRAM Macro for Contact/Contactless Smart-Card Microcontrollers," *J. Solid State Circuits*, vol. 37 (8), pp.1073-1079, 2002.
- [6] T. Miwa, J. Yamada, H. Koike, H. Toyoshima, K. Amanuma, S. Kobayashi, T. Tatsumi, Y. Maejima, H. Hada, and T. Kunio, "NV-SRAM: A Non-volatile SRAM with Backup Ferroelectric Capacitors," *J. Solid State Circuits*, vol. 36 (3), pp.522-527, 2001.
- [7] "Rohm Uses Ferroelectric Capacitor to Manufacture a Latch Circuit Prototype," *Nikkei Electronics*, no. 813, pp.26-27. 2002.
- [8] S. Masui, T. Ninomiya, M. Oura, W. Yokozeki, K. Mukaida, S. Kawashima, "Ferroelectric Memory Based Secure Dynamically Programmable Gate Array," in *Symp. VLSI Circuit Dig. Tech. Papers (C15-P2)*, 2002.
- [9] S. Sheffield, D. B. Butler, M. Parris, D. Wilson, and H. McNeillie, "A Fer-

roelectric Nonvolatile Memory,” in ISSCC Dig. Tech. Papers, 1988, pp. 130-131.

- [10] J. T. Evans and R. Womack, “An Experimental 512-bit Nonvolatile Memory with Ferroelectric Storage Cell,” J. Solid State Circuits, vol. 23, pp. 1171-1175, 1988.

저자 소개

尹 聖 民

1995년 2월 서울대학교 무기재료공학과 학사, 1997년 일본 동경공업대학 전자시스템 전공 석사, 2000년 동대학, 동전공 공학박사. 2000년 4월~2001년 6월 : 일본 (재) 신기능소자연구개발협회(FED) 특정연구원, 2001년 12월~현재 : 한국전자통신연구원, 선임연구원 재직, <주관심 분야 : 비휘발성 메모리, 기능성 나노소자>.

俞 炳 坤

1984년 경북대학교 물리학과 학사, 1987년 일본동경공업대학 원자핵물리학 공학석사, 1990년 동대학, 동전공, 공학박사. 1990년 4월~1991년 2월 : 일본 히타찌 중앙연구소 연구원, 1991년~현재 : 한국전자통신연구원 책임연구원/팀장 재직, <주관심 분야 : 비휘발성 메모리 소자, 강유전체 소자, 신기능 소자>.