

## 특 집

# VDSL Chip Set 연구개발

박철진\*, 원희철\*, 문찬\*\*, 문병무\*\*, 전창섭\*\*, 손우식\*\*, 김태형\*\*, 임기홍\*\*\*

포항공대 전자전기공학과\*, (주)한기아 SoC 연구소\*\*, 포항공대 전자전기공학부\*\*\*

## I. Introduction

VDSL (Very-high-data-rate Digital Subscriber Line)은 기존 전화선을 이용하여 13 Mbps~52Mbps의 고속 데이터를 전송할 수 있는 기술이다<sup>1)~4)</sup>. 전화선 특성상 1.5Km 이하의 거리에서 서비스를 제공하며, 대용량 광 백본 (Optical Backbone)이 연결된 네트워크 장비 (VTU-O)와 가입자 장비 (VTU-R)로 구성된 광/전화선 혼합망구조 (FTTC)가 특징이다.

본 논문에서는 현재 (주)한기아에서 개발중인 DMT 방식의 VDSL 모뎀 칩 셋에 대하여 다룬다. 대규모 집적회로 (VLSI) 기술의 발달에 따라, 비교적 저렴한 가격에 VDSL 시스템 구현이 가능하게 되었으며, 개발중인 칩 셋은 ANSI 및 ETSI VDSL Trial Standard 및 ITU-T G.993 VDSL Standard를 모두 만족하며,

- PMD (Physical Medium-Dependent)
- TC (Transmission Convergence)
- DSP

등으로 구성된 디지털 단일 칩과 AFE (Analog Front End) 칩으로 구성된다. TC에는 (de)interleaving, Reed-Solomon (de) coding, (de) scrambling 기능뿐 아니라, 네트워크와 연결을 위한 ATM-TC (UTOPIA 인터페이스) 및 PTM-TC/이더넷 인터페이스 (MII/RMII) 기능이 있어, 가장 높은 집적도의 VDSL 칩 셋이 구현되고 있다.

## II. DMT VDSL의 장점

VDSL의 국제 표준으로 제안된 DMT 변조 방식과 QAM 변조 방식의 라인코딩 (Line coding) 중 본 논문에서는 DMT 변조 방식을 채택하였다<sup>1)~3)</sup>.

DMT (Discrete Multi-Tone) 변조 방식은 입력된 비트 스트림 (bit-stream)을 여러 (256~4096)개의 서브캐리어 (sub-carrier)로 변조하여 중첩시켜 전송한다. 각 서브캐리어에 해당하는 변조 신호는 해당 캐리어의 신호 대 잡음비에 따라 전송할 비트수가 할당되고, 이것을 QAM 변조함으로써 만들어진다. 일반적으로 DMT 방식이 QAM 방식에 비하여 구현이 훨씬 복잡할 것으로 생각되어지나, 실제적으로는 FFT 등을 이용하여 비교적 간단한 구현이 가능하다.

실제적인 전화선 환경은,

- 브릿지 탭 (Bridge tap)
- RF 간섭  
(약 6~7개의 간섭 주파수 존재)
- 선로간의 불연속점

등 다양한 결함 (impairments)에 의하여 표준에 제시된 제한된 채널 모델로 모두 표현하기는 불가능하다<sup>5,6)</sup>

QAM 변조 방식은 적응형 등화기 (Adaptive Equalizer)에 전적으로 의존하여 채널 결함을 보상하며, 채널 모델에 대해서는 우수한 적응 성능을 보인다. 그러나, 앞서 제시된 모든 채널 결함에 대해 적응하기에는 한계가 있으며, 또한, 국제 표준에서 제시된 4-Band 방식을 준수하기

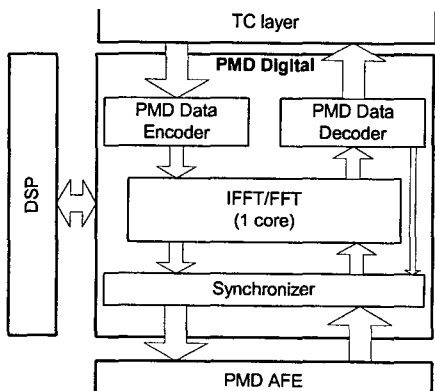
위해서는, 2개씩의 변복조기 및 등화기가 필요하여, 복잡도가 매우 높아지게 된다<sup>[7-9]</sup>.

반면, DMT 방식은 서브캐리어에 임의대로 비트 할당이 가능하므로, 신호 대 잡음비에 의하여 주어진 채널 용량을 최대한 이용하는 것이 가능하다. 또한, 결합이 많은 서브캐리어에 데이터를 할당하지 않거나, 조금 할당함으로써 실제 전송 환경에 완벽하게 적응할 수 있다<sup>[10]</sup>.

따라서, DMT 방식은 가입자들마다 상이한 전화선 환경에 능동적인 적응이 가능하므로, 설치와 유지보수에 소모되는 비용이 적게 든다.

### III. Physical Medium-Dependent

PMD(Physical Medium-Dependent)는 <그림 1>에서와 같이 IFFT/FFT, 동기부(Synchronizer), PDE(PMD Data Encoder), PDD(PMD Data Decoder)를 포함한 디지털 파트와 아날로그 파트인 AFE(Analog Front-End)로 구성된다. PMD의 송신 패스에서는, TC로부터 받은 이진 데이터를 PDE에서 주파수 영역 신호로 변환하여 IFFT로 보내고, IFFT에서 시간 영역으로 변환된 신호는 동기부를 통과하여 AFE에서 아날로그 신호로 변환되어 전송선로로 보내진다. 수신 패스에서는, 전송선로로 수신된 신호를 AFE에서 디지털 신호로 변환하여 동기부로 보내고, 동기가 된 신호는 FFT에서



<그림 1> PMD 블록도

주파수 영역으로 변환된 후 PDD에서 이진 데이터로 바뀌어 TC로 전달된다.

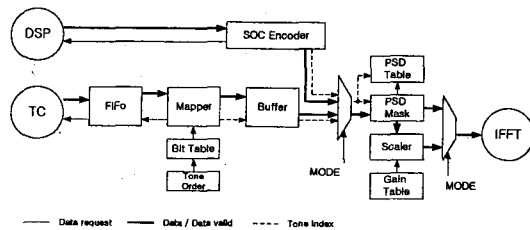
IFFT/FFT는 DMT의 핵심 기술이며 부파 및 전력소모도 가장 큰데, 이를 해소하기 위해 IFFT와 FFT를 시분할 방식을 이용하여 한 개의 코어로 디자인하였다. 이 장에서는 PDE (PMD Data Encoder)/PDD(PMD Data Decoder)와 동기부에 대하여 설명하고 IFFT/FFT와 AFE는 다음 장에서 자세히 설명한다.

#### 1. PMD Data Encoder

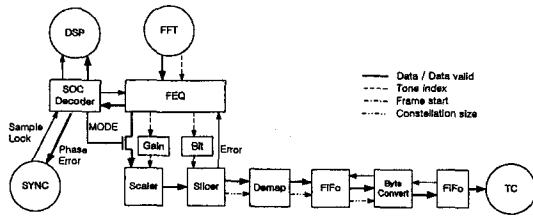
VDSL 모뎀은 초기화 이전에는 DSP로부터 Handshake 메시지 및 SOC 메시지를 받아서 송수신 하며, 초기화 이후에는 TC로부터 데이터를 받아서 송수신한다. PDE는 <그림 2>와 같이 구성되어 있으며 52Mbps 이상의 전송속도를 처리할 수 있도록 디자인되었다. 초기화 과정 중에 DSP가 비트 로딩을 수행하여 Bit, Gain, Tone order 테이블을 초기화한 후, PDE가 이 테이블들을 참조하여 TC로부터의 데이터를 적절한 QAM 신호로 변경하여 각 톤에 실어서 IFFT로 보내도록 되어 있으며, 비트 스왑(Bit Swap)을 할 수 있도록 초기화 이후에도 테이블들을 변경할 수 있다.

#### 2. PMD Data Decoder

PDD는 <그림 3>과 같이 구성되어 있으며, 모뎀의 초기화 이전에는 FFT 출력이나 FEQ의 출력을 DSP로 보내고, 초기화 이후에는 FEQ 출력 신호를 Bit & Gain 테이블을 이용하여 디코딩한 후 TC로 보낸다. PDD에서 가장 큰 부



<그림 2> PDE 상세 블록도

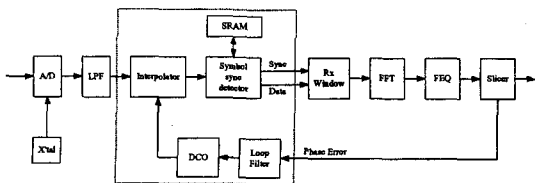


〈그림 3〉 PDD 상세 블록도

피를 차지하는 모듈은 FEQ이며, FEQ의 부피와 성능을 최적화하기 위하여, FEQ를 FFT 출력 신호 파워를 정규화(normalization)하는 모듈과 왜곡된 위상과 크기를 보상하는 LMS 모듈로 구성하였다. 파워를 정규화하는 모듈은 파워를 측정하여 나누기 연산을 하는 것이 아니라 간단한 시프트(shift) 연산을 사용함으로써 부피를 최소화하였으며, 정규 파워를 가진 신호를 LMS 모듈에 입력함으로써 FEQ의 탭 계수의 비트 길이도 최적화하였다.

### 3. Synchronization

DMT VDSL의 동기부는 심볼을 구분해 주는 심볼 동기부와 VTU-O와 VTU-R 사이의 주파수 오프셋을 잡아주는 샘플 동기부로 나누어진다. 심볼 동기는 ISI(Inter-Symbol Interference)와 ICI(Inter-Carrier Interference)를 방지하기 위한 CP(Cycle Prefix)와 에코에 의한 영향을 방지하기 위한 CS(Cycle Suffix)를 이용해서 구한다. 심볼 동기 원리는 수신된 샘플과 2N 포인터(IFFT size) 떨어진 샘플의 상관관계를 구해서 최대치가 되는 곳이 심볼의 경계가 된다는 것인데, 구현할 때 신호의 부호만을 사용해서 상관관계를 구함으로써 메모리와 하드웨어 크기를 최소화했다.



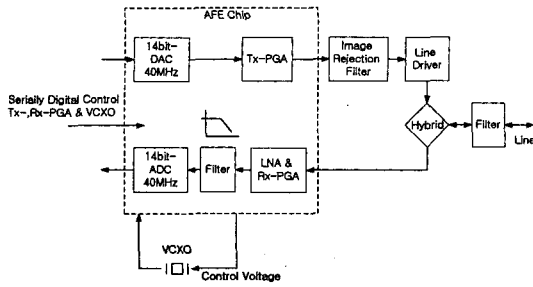
〈그림 4〉 동기부 상세 블록도

VTU-O와 VTU-R 사이의 주파수 오프셋을 잡아주는 샘플 동기는 상대적으로 가격이 높고 온도에 민감한 VCXO(Voltage Controlled Crystal Oscillator)대신 XO(Crystal Oscillator)와 인터플레이터(interpolator)를 사용해서 구현했다. 샘플 주파수(35.328MHz)보다 높은 주파수로 샘플링한 후 DCO(Digital Controlled Oscillator)와 인터플레이터를 사용해서 VTU-O 주파수에 맞는 데이터를 생성한다. 인터플레이터는 패로우(Farrow) 구조를 사용했고, 인터플레이터에서 생기는 왜곡은 FEQ가 보상을 해준다. VTU-O는 고정 크리스털을 사용하고 샘플 동기를 수행하지 않기 때문에 VTU-R에서는 VTU-O 샘플 주파수에 맞게 데이터를 전송해야 한다. 전송 부분에도 인터플레이터가 있어서 수신 시 사용된 DCO구동 값을 이용해서 VTU-O 주파수에 맞춰서 데이터를 전송한다.

### IV. VDSL Analog front-end

AFE(Analog Front-End)는 모뎀에서 전송선로와 직접 연결되는 부분으로 디지털 데이터를 아날로그 신호로 변환하여 적절한 전력으로 송신하고, 수신된 아날로그 신호를 디지털 신호로 변환하여 모뎀의 디지털 파트로 전달한다. 송수신 신호의 주파수 대역, 송신 전력 및 송신 신호의 전력 마스크, 수신 신호 전력의 가변 범위, 요구 SNR(Signal to Noise Ratio) 등이 주요 고려 대상이며 경쟁력 있는 칩 셋 개발을 위하여 저전력 고집적 기술이 요구된다. 개발 중인 AFE 칩은 12MHz의 VDSL 주파수 대역, 110옴(100옴) 로드에서 13.5dBm(14.5dBm)의 송신 전력, 40dB 전송선로 감쇄 가변 범위 및 15dB의 높은 PAR(peak to average ratio)를 가지는 DMT 신호 특성과 같은 환경에서 수신 디지털 파트에서 요구하는 입력 SNR을 충족하도록 디자인되었다.

〈그림 5〉는 AFE의 블록도이다. AFE는 송신 패스와 수신패스로 구성되어 있으며, 칩 내부에 ADC/DAC, PGA, 필터, LNA 등이 포함되어



<그림 5> AFE 블록도

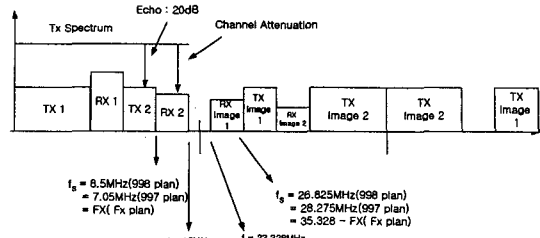
있고, 칩 외부에 라인 드라이버, VCXO, Hybrid, 필터가 있다. 칩 내부의 필터는 3rd-order 이며 ADC를 했을 때 신호의 주파수 대역 이외의 고주파 잡음이 중첩되어 잡음의 전력이 증가되는 것을 억제하는 역할을 하고, 칩 외부의 이미지 제거 필터는 DAC에 의해 발생하는 주파수 대역 밖의 스펙트럼을 제거하는 역할을 한다. 그리고 Hybrid와 전송선로 사이에 있는 필터는 EMI 등의 고주파 제거 역할을 한다.

1. Data converters

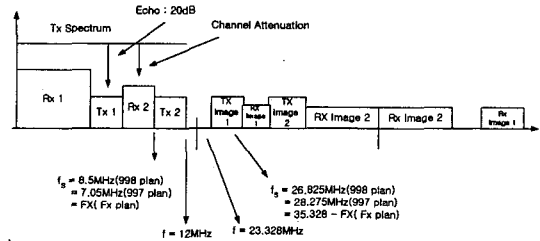
DAC와 ADC는 14bit(ADC는 13bit) 40 Msps인데 유효 비트는 13bit이다. Digital Duplex DMT는 상향/하향 신호를 걸러주는 대역 구분 필터가 없기 때문에 Hybrid에서 송신신호는 15 내지 20dB 감쇄되어 수신패스로 들어오는 반면 전송선로를 통과한 신호는 최대 40dB 감쇄된다. 또한 DMT 신호의 PAR는 약 15dB이다. 이러한 환경에서 VDSL 규격이 요구하는 성능을 만족하기 위해서는 앞에서 제안한 DAC와 ADC의 비트 정확도가 필요하다. 그리고 SFDR이 80 dBc 이상으로 디자인되어 DAC/ADC에 의해 왜곡되는 신호는 극히 적다.

2. Variable gain amplifiers/Line driver

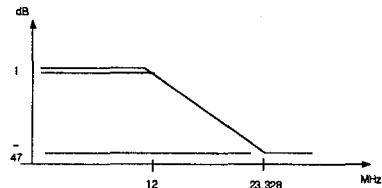
송신 패스 AGC는 스텝은 1dB 이득범위는 16 dB이며, 수신 패스 AGC는 스텝은 1dB 이득범위는 48dB이다. 라인 드라이버는 1:2 선로 트랜스포머와 함께 사용되며 13.195 Vpp를 제공하도록 디자인 되었다.



<그림 6> VTU-O의 수신 신호 스펙트럼



<그림 7> VTU-R의 수신 신호 스펙트럼



<그림 8> LPF의 주파수 특성

3. Filtering

Digital Duplex DMT VDSL의 아날로그 필터는 상/하향 대역 구분이 아닌, DAC에 의한 이미지 잡음의 제거와 ADC 입력신호의 고주파 잡음이 중첩되어 잡음이 증가되는 것을 억제하는 목적으로 디자인된다. VTU-O와 VTU-R의 수신된 신호는 <그림 6, 7>과 같은 스펙트럼 특성을 가진다. 디자인된 필터는 이와 같은 스펙트럼 특성과 ADC에서 요구하는 SNR이 60dB임을 고려하고 VTU-O와 VTU-R 공용으로 사용할 수 있도록 하기 위하여 <그림 8>와 같은 주파수 특성을 만족하도록 하였다.

V. 8192 point FFT Core

DMT 방식 VDSL에서 사용되는 IFFT/

FFT는 각 대역별로 할당 된, 주파수 영역에서 신호를 시간영역에서의 신호로 변환시킨 후에, Tx AFE, line, Rx AFE를 거쳐서 송신 단에서 수신 단으로 전송한 후, 다시 이 신호를 주파수 영역상의 신호로 복원하는 블록으로서, DMT VDSL에 적용되는 8192 point급 FFT는 높은 SNR과 저전력이 요구된다.

### 1. 설계의 주요 Issues

1) Small size ; FFT는 VDSL PMD를 구성하는 부분 블록 중에 가장 많은 memory size와 연산량을 필요로 하는 블록으로서 기존의 ADSL에서 사용되는 512 point급 FFT에 비하여, memory size는 16배, 연산량 기준으로는 24배에 달하는 블록(일반적인 Cooley-Turkey Algorithm이 적용된 SDC(single Delay Commutator) 방식 기준, 연산량  $N \log N$ )으로서 칩셋의 경쟁력을 위해 반드시 최선의 구조로 적은 Size를 구현해야 하는 Block이다. 2) 높은 신호대 잡음비 ; VDSL의 최대 성능을 발휘하기 위해서는, 각각의 주파수 대역에 채널특성이 허용하는 최대값의 bit를 실어줘야 하며, 특성이 좋은 채널에 최대의 bit를 전송하여 복원하기 위해서는 55db이상의 SNR을 얻어야 한다. (14 bit loading 기준), 이러한 SNR을 얻기 위하여, 내부의 연산 블록 및 memory의 word 길이를 보장하여야 하며, 이는 곧 블록의 size 증가를 의미한다. 3) 저전력 소모 및 빠른 신호 변환 시간 ; 블록의 크기가 크고, 고속으로 많은 연산량을 처리해야 하므로 (250(sec 이내의 1 DMT 심볼 변환시간) 전력 소모가 많게 된다. 많은 전력소모는 System 구성 시 냉각을 위한 비용의 증가를 의미하며 특히 온도 특성에 민감한, AFE 블록의 안정된 동작에도 저해요인이 된다. 그리고, PMD 블록의 신호처리 지연시간(latency)이 크게 되면, 작은 round-trip delay 시간이 필요한 실시간 conferencing 등의 용도에 있어서, QOS(Quality of Service)를 보장하는데 있어서 저해요인이 된다.

열거한 설계 issue들을 종합적으로 고려하면,

최선의 효율적인 구조를 사용하여, 최소의 memory size와 내부 연산 block 길이를 가진, 즉 최소의 하드웨어로 빠른 신호변환을 저전력으로 구현하기 위한 구조가 필요하게 된다.

### 2. Architectures of Pipelined FFT

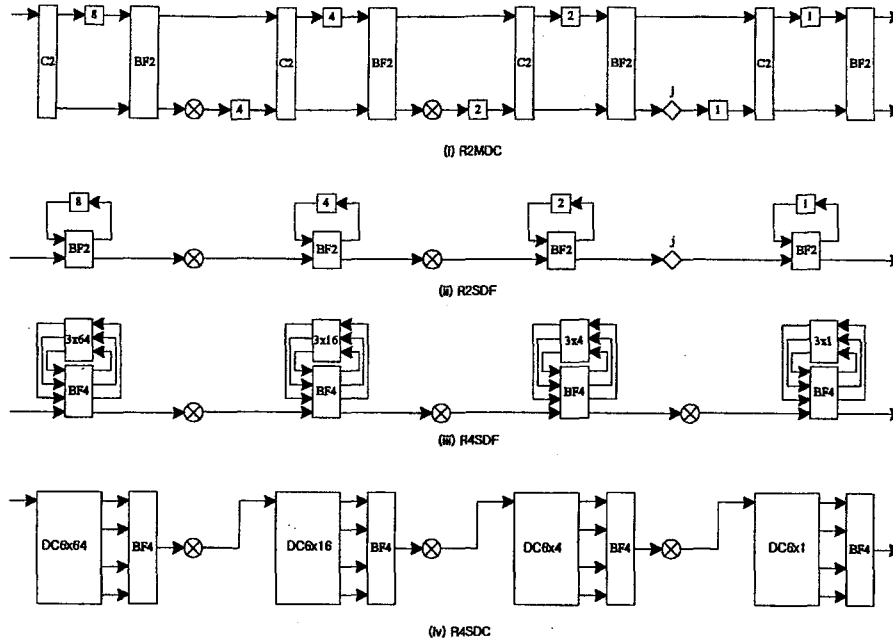
Pipeline FFT 프로세서는 패스트 알고리즘을 이용한 DFT computation을 위한 구조(Coolley & Turkey's)로서, 처리되는 Data가 프로세서를 통과해 가면서 최종 연산값을 얻게 된다. 즉, 입력되는 Data가 프로세서를 구성하는 각 연산 block과 memory 요소들을 통과하면서 연속적으로 계산되어 각 연산 block은 상대적으로 느린 속도로 동작하여, 실시간으로 FFT 연산을 수행하는 구조이며, DMT VDSL에 적용되는 것과 같은 연산 point수가 많은 FFT를 구현하는데 있어서, 각 연산 block을 과도하지 않은 동작속도로 동작시킴으로써 실시간 처리를 가능하게 해준다. 이 구조에서 면적 및 power 소모를 결정하는 요소는 덧셈기와 곱셈기 등의 수치 연산기 개수, 특히 곱셈기의 개수이며 얼마나 효율적으로 연산기가 동작하는가가 된다. 그리고 연산을 수행하는 내부의 memory width에 의해 좌우된다. 이때, 각 파이프라인이 분리되는 단위 즉, N개의 입력 열이, N/r로 분리되어 다음단 연산의 기본 N' 입력열이 될 때, r값을 Radix라 부른다. Pipeline FFT의 주요 구조들은 다음과 같다.

**R2MDC** : Radix-2 Multi-path Delay Commutator

Log<sub>2</sub>N-2 Multiplier & Radix2 Butterfly (50% 사용) 3/2N-2 registers

**R2SDF** : Radix-2 single Delay Feedback  
R2MDC와 같은 연산기 갯수를 가지지만, N-1개의 register(memory)만 사용-최소의 memory word수를 제공한다.

**R4SDF** : Radix-4 single Delay Feedback  
R2SDF의 Radix-4 버전이며, 곱셈기의 사용도가 75% 증가한다. Log<sub>4</sub>N-1 multiplier와 Log<sub>4</sub>N Radix-4 Butterfly를 사용하며, N-



<그림 9> pipeline FFT schemes

1개의 register를 사용한다.

**R4SDC**: Radix-4 single Delay Commutator

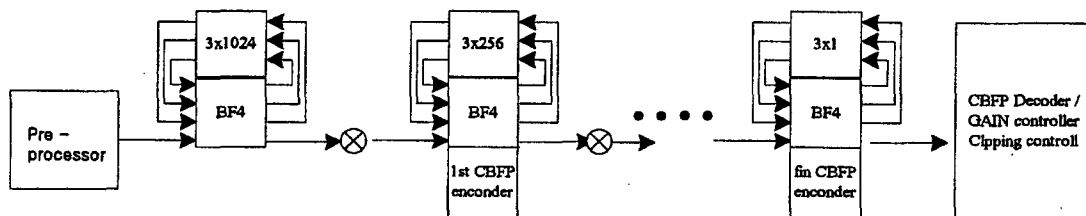
·  $\log_4 N - 1$  Multiplier,  $2N - 2$  registers

유럽형 HDTV 용도의 FFT로 구현된 구조임

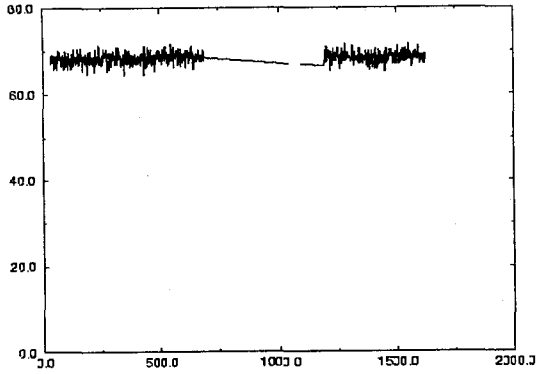
3. 설계된 FFT

앞서 설명된 여러가지 구조중에서 Radix-4 SDF 구조가 사용되는 Memory cell수가 최소가 되며, 수치계산블록 중에서 가장 큰 면적을 차지하는 곱셈기의 사용효율이 가장 높아서, DMT VDSL system이 요구하는 작은 사이즈, 저전력 요구사항에 가장 적합한 구조라고 할 수 있다. 설

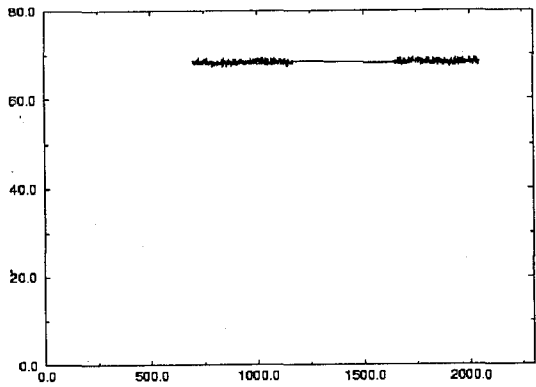
계된 FFT는 Radix-4 SDF 구조를 기반으로 하였으며, SNR 개선을 위하여, CBFP (convergent block Floating point) 구조 즉, Block 단위의 floating point 연산기법을 SDF 구조에 맞게 수정하여 적용하였다. 또한, pre-processing과 post-processing 기법을 사용하여 사용되는 memory를 최소화 하였다. 또한, 사용되는 memory cell로서는 일반적인 SRAM을 사용하여 공정과 상관없이 제조 가능하도록 설계되었다. 또한, 면적이 큰 Dual port 또는 two-port memory를 전혀 사용하지 않고 Single port memory만으로 구성하여 memory cell이 차지하는 면적을 최소화 하였다. 이러한 구성으로



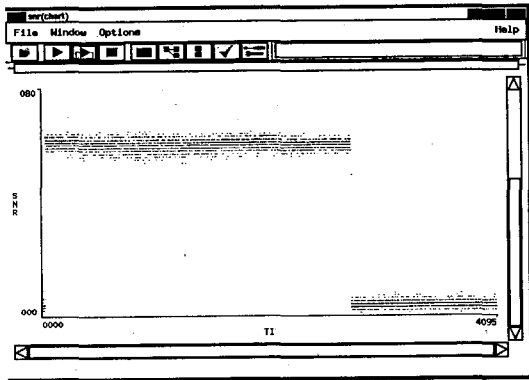
<그림 10> 설계된 FFT Block Diagram 개략도



<그림 11> FFT SNR Band1



<그림 12> FFT SNR Band2



<그림 13> 구현된 FFT H/W를 logic Analyzer로 SNR 측정 그래프 Band 구분 없음

minimum SNR 60db를 제공하는 FFT core 를 최소의 면적으로 구현하였다.

Band 할당된 신호를 설계된 IFFT-FFT를

차례로 통과시킨 SNR 그래프 파형은 <그림 11> 과 <그림 12>에 도시되었다.(HDL simulation 파형, ideal channel)

## VI. TPS-TC

TPS-TC는 프로토콜로 구분되는 상위 계층의 데이터를 프로토콜에 독립적인 바이트 스트림으로 변환해 주는 역할을 한다. 고정된 길이의 셀 전송을 위한 ATM-TC와 가변 길이의 패킷 전송을 위한 PTM-TC를 구현하였다.

### 1. ATM-TC

ATM-TC는 Utopia와 ATM-TC 코어, FIFO로 구성되어 있다.

Utopia는 ATM forum Technical Committee의 af-phy-0039.000 규격의 Utopia Level 2, version 1.0을 따른다.

Utopia와 ATM-TC 코어의 규격은 다음과 같다.

- ◆ Utopia
- ✓ 8-bit data path,using an octet-level handshake, operating upto 25MHz with multiple PHY devices
- ✓ sub-100Mbps and upto 155Mbps PHY layer interface supported
- ◆ ATM-TC core
- ✓ Cell rate decoupling
- ✓ Scrambling
- ✓ HEC calculation
- ✓ Cell delineation
- ✓ Descrambling
- ✓ HEC control function
- ✓ Extraction of idle cells
- ✓ Programmable alpha, delta
- ◆ FIFO
- ✓ Two port 2\*256\*8 synchronous RAM

### 2. PTM-TC

ATM-TC가 고정 크기를 갖는 셀 단위의 인

터페이스라 하면 PTM-TC는 크기가 가변적인 패킷 단위의 인터페이스이다.

PTM-TC는 이더넷 형태와 HDLC 형태의 2가지 종류 인터페이스를 제공한다.

이더넷 형태의 인터페이스는 MII/RMII, management 인터페이스를 동시에 지원하고 10/100 Mbps half/full을 지원한다.

HDLC 형태의 인터페이스는 클럭과 데이터로 구성된 직렬 동기 전송 형태이며 송/수신부 각각 2개의 라인으로 구성되어 있다.

각각의 규격은 다음과 같다.

◆ Ethernet type

- ✓ 10/100Mbps MII/RMII
- ✓ Full/half duplex with full/half flow control

- ✓ Management interface

- ✓ MAC/PHY side interface

◆ HDLC type

- ✓ Bit serial interface
- ✓ Tx data with tx clock, rx data with rx clock

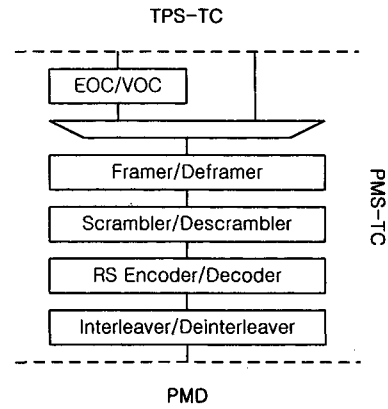
## VII. PMS-TC

PMS-TC는 TPS-TC로부터 입력되는 바이트 스트림에 부가의 데이터와 dummy 데이터를 추가하고 비트 단위 난수화와 오류 정정을 위한 작업을 수행하는 역할을 한다.

### 1. Framer/Deframer

Framer의 역할은 상위에서 전달되는 바이트 스트림을 조작하여 DMT frame을 만드는 것이다. 이 과정에서 DMT frame이 항상 정수개의 바이트가 되도록 하기위해 dummy 바이트를 추가한다. 그리고, OAM 기능을 위해 오버헤드 바이트를 추가하며 마지막으로 RS encoding에 의해 증가되는 바이트 수가 DMT frame당 정수개가 되도록 dummy 바이트를 추가한다.

Deframer는 framer의 동작을 역으로 수행하는 동시에 superframe 모니터링 기능을 수행한



〈그림 14〉 PMS-TC의 블록도

다. Superframe 모니터링에서는 동기 검출 CRC 검사 등을 수행한다.

### 2. Scrambler/Descrambler

Scrambler는 비트 스트림을 난수화함으로써 PMD로 공급되는 데이터에 연속적인 0이 나타나는 것을 방지한다. Descrambler는 scrambler의 역을 수행한다.

### 3. RS encoder/decoder

RS encoder는 GF(256)에서 정의되는 표준적인 코드를 사용한다.

원시 다항식은  $x^8+x^4+x^3+x^2+1$ 이며 데이터 바이트의 표현은  $d_7a^7+d_6a^6+\dots+d_1a+d_0$ 가 된다.

Codeword의 길이를 N이라 하고 메시지 바이트의 길이를 K, redundant 검사 바이트의 길이를 R이라 할 때 redundant 검사 바이트는 다음식을 따라 생성한다.

$$C(Z) = M(Z)Z^R \text{ mod } G(Z)$$

$$M(Z) = m_0Z^{K-1} + m_1Z^{K-2} + \dots + m_{K-2}Z + m_{K-1}$$

$$C(Z) = c_0Z^{R-1} + c_1Z^{R-2} + \dots + c_{R-2}Z + c_{R-1}$$

$$G(Z) = (Z+a^{R-1})(Z+a^{R-2})\dots(Z+a)(Z+1)$$

$M(Z)$ ,  $C(Z)$ ,  $G(Z)$ 는 각각 메시지 다항식, 검사 다항식, 생성 다항식이다.

RS decoder는 codeword를 수신하여 검사 바이트로부터 오류의 위치와 값을 계산하여 메시지 바이트를 수정한다. RS encoder/decoder의



N, K, R은 다음의 범위에서 변화시킬 수 있다.

N, K : 0, 1, ..., 254, 255

R : 0, 2, 4, 6, 8, 10, 12, 14, 16

#### 4. Interleaver / Deinterleaver

Interleaving은 군집 오류를 분산시켜 산발 오류로 보이게 함으로써 RS decoding에 의한 정정을 가능하도록 한다.

표준에 정의된 interleaver는 길쌈 interleaver이며 블록 interleaver에 비해 지연 시간이 작고 구현 방법에 따라 필요한 메모리의 양도 줄일 수 있는 장점이 있다.

Interleaving 깊이를 결정하는 파라미터인 I/M은 각각 0~63의 범위에서 변화가 가능하다. I/M의 값은 데이터 전송속도와 그에 해당하는 군집 오류 정정 능력, 그리고 종단간 전송 시간의 길이에 의해 결정된다.

#### 5. EOC/VOC

EOC/VOC는 VDSL 모뎀의 운용에 필요한 정보들을 교환하는데 사용하는 채널이다.

DMT VDSL의 경우 EOC와 VOC는 각 DMT symbol마다 정해진 바이트 수만큼 전송된다. EOC와 VOC는 framer에서 데이터 스트림에 삽입되며 deframer에서 추출되어 호스트로 전달된다.

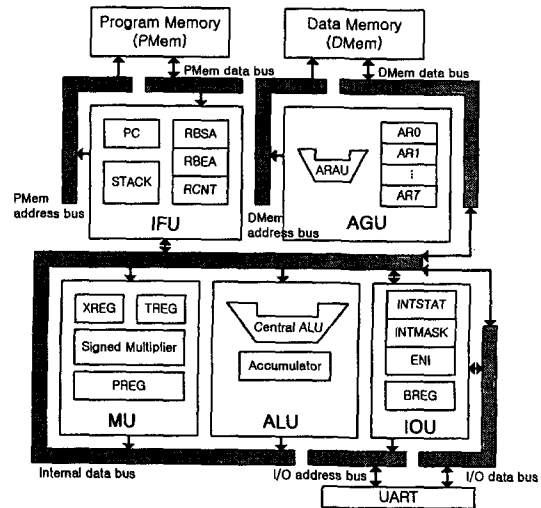
#### 6. NTR

네트워크측에서 전송하는 8KHz의 기준 신호를 복원하는 기능을 한다. 시스템의 전송 주파수인 35.328MHz를 분주하여 생성된 8KHz 신호를 LTR이라 할 때, LTR과 NTR의 차이를 superframe 단위로 측정하여 전송하게 된다. DMT superframe 할당된 1 바이트를 이용하여 이 차이가 전송되면 수신측에서는 이 차이를 이용하여 8KHz의 신호를 복원하게 된다.

### VIII. 디지털 신호 처리기

#### (DSP : Digital Signal Processor)

VDSL 모뎀 chip에서 디지털 신호 처리기

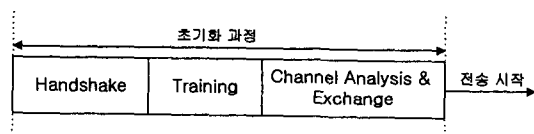


<그림 15> Architecture of DSP core

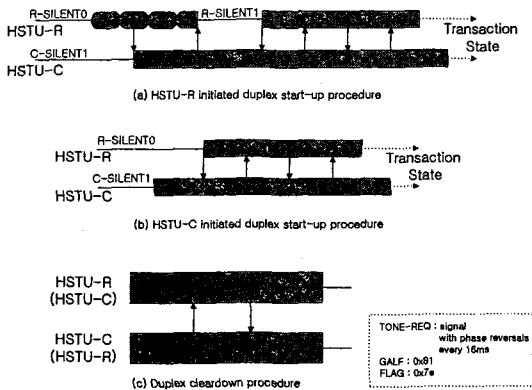
(DSP : digital signal processor)를 이용하여 초기화 과정을 수행하고 모뎀의 진행 및 파라미터 설정 등의 제반 사항을 제어한다. <그림 15>는 디지털 신호 처리기의 구조를 보여주고 있다. 디지털 신호 처리기는 36-비트 누적기를 포함한 16-비트 fixed-point 연산 core로서 IFU (instruction fetch unit), AGU (address generation unit), MU (multiply unit), ALU (arithmetic logic unit), IOU (I/O unit)와 2개의 UART로 구성되어 있다<sup>[10]</sup>.

#### 1. 디지털 신호 처리기의 역할

디지털 신호 처리기는 VDSL 모뎀의 초기화 과정을 수행한다. VDSL 모뎀의 초기화 과정은 <그림 16>과 같이 Handshake 과정, Training 과정과 Channel Analysis/Exchange 과정으로 구성된다. Handshake 과정에서는 모뎀을 동작시키고 FFT (fast Fourier transform)/IFFT (inverse FFT)의 크기, CE (cyclic exten-



<그림 16> 초기화 과정



〈그림 17〉 Handshake 과정

sion)의 길이, 25~138kHz 주파수 대역의 사용 여부 등의 기본 파라미터를 전달한다.

〈그림 17〉은 Handshake 과정을 나타내고 있다. 〈그림 17(a)〉와 〈그림 17(b)〉는 각각 가입자 (HSTU-R)와 사업자 (HSTU-C)에서 Handshake 과정을 시작하는 절차이고, 〈그림 17(c)〉는 Handshake 과정을 마치는 절차를 보여주고 있다. 〈그림 17(a)〉와 〈그림 17(b)〉의 시작 절차를 마치면, transaction state에서 사업자와 가입자 간의 기본 파라미터를 주고받게 된다.

Handshake 과정을 끝내면, training 과정을 시작한다. Training 과정에서는 상향 및 하향 전송 주파수 대역을 설정하고, 사업자와 가입자 각각의 전력 스펙트럼 (PSD: power spectral density)을 결정한다. 이때, 선택 사항으로서 상향 전력 백오프 (UPBO: upstream power back-off)를 수행한다. 또한, 사업자와 가입자 각각의 자동이득제어기 (AGC: automatic gain controller), 주파수 대역 등화기 (FEQ: frequency-domain equalizer) 등을 수렴시키고, 프레임 동기 (frame synchronization)와 샘플 (sample) 동기를 맞춘다. 마지막으로, TA (timing advance) 길이와 CP (cyclic prefix) 길이를 측정하여 최적의 CE 길이를 계산, 적용하는 과정을 수행한 뒤 training 과정을 마치고, channel analysis/exchange 과정을 시작한다.

Channel analysis/exchange 과정에서는

EOC (embedded operations channel) / VOC (VDSL overhead control) 채널, Reed-Solomon (RS) 코드와 인터리버를 포함한 TC (transmission convergence) layer의 기본 파라미터를 설정하고, 전송 선로와 잡음 특성을 측정하여 각 주파수 대역 (tone)의 전송 비트 수를 결정한다. 특히, training 과정과 channel analysis/exchange 과정에서는 사업자와 가입자가 SOC 메시지를 통해 정보를 전달하게 된다. 따라서, 디지털 신호 처리는 SOC 메시지를 생성하여 전달하고, 또는, 수신하여 해석하는 역할을 담당한다. 〈표 1〉은 TC layer의 기본 파라미터를 포함하여 사업자측으로부터 가입자측으로 전달되는 O-CONTRACTn SOC 메시지를 보여주고 있다. 〈표 2〉는 〈표 1〉의 contract descriptor이다. 〈표 1〉과 〈표 2〉를 살펴 보면, EOC/VOC 바이트 수와 전체 데이터 속도, RS 코드의 코드워드 길이 (n)와 오버헤드 (n-k), 인터리버 블록 길이 (I)와 인터리버 depth 파라미터 (M) 값이 포함되어 있음을 알 수 있다.

또한, 디지털 신호 처리는 전송된 SOC 메시지의 신빙성을 보장하기 위하여 FCS (frame check sequence)를 계산하여 첨가하는 역할과 수신된 SOC 메시지의 FCS를 역 계산하여 수신된 SOC 메시지의 정확성을 파악하는 역할도 수행한다.

〈그림 16〉과 같이, 초기화 과정이 끝나면 VDSL 모뎀이 정상적으로 전송을 시작하게 된다. 디지털 신호 처리는 안정적인 동작을 위하여 Bit-Swap 기능을 수행한다. 디지털 신호 처리는 매 심볼 주기로 각 주파수 대역 (tone)의 잡음 상황을 점검한다. 정보가 전송되고 있는 상

〈표 1〉 O-CONTRACTn SOC 메시지

| 내 용                 | 형 태                 |
|---------------------|---------------------|
| Message descriptor  | Message code (0x05) |
| Downstream contract | Contract descriptor |
| Upstream contract   | Contract descriptor |
| EOC capacity        | 1 byte              |
| VOC capacity        | 1 byte              |

〈표 2〉 contract descriptor

| 내 용                        | 형 태     | 세부사항  |
|----------------------------|---------|---|
| Rate in fast channel       | 2 bytes | 64kbps 배수   |
| RS setting in fast channel | 2 bytes | b15-b8 : bRS overhead<br>b7-b0 : RS codeword length |
| Rate in slow channel       | 2 bytes | 64kbps 배수   |
| RS setting in slow channel | 2 bytes | b15-b8 : RS overhead<br>b7-b0 : RS codeword length  |
| Interleaver setting        | 2 bytes | b15-b8 : M<br>b7-b0 : 1                             |

황에서 RF(radio frequency) 간섭 신호 등에 의해 특정 주파수 대역의 잡음이 증가하여 신호 대 잡음 비(SNR: signal-to-noise ratio)가 급격히 작아지면 해당 주파수 대역을 통해 에러가 발생한다. 이 때, 디지털 신호 처리기는 신호 대 잡음 비가 작아진 주파수 대역의 전송 비트 수를 줄이고 신호 대 잡음 비가 상대적으로 큰 주파수 대역의 전송 비트 수를 늘리는 Bit-Swap을 실행하여 전 주파수 대역에 걸쳐 에러가 발생하지 않도록 조치를 취한다. 사업자측과 가입자측은 Bit-Swap을 위한 bitswap request 메시지와 bitswap acknowledge 메시지를 VOC 채널을 통해 교환한다. 〈표 3〉은 bitswap request 명령어를 나타내고 있다.

〈표 3〉 contract descriptor

| 형 태      | 지시 사항                 |
|----------|-----------------------|
| 00000000 | 변화 없음                 |
| 00000001 | 해당 톤의 전송 비트를 1 비트 증가  |
| 00000010 | 해당 톤의 전송 비트를 1 비트 감소  |
| 00000011 | 해당 톤의 전송 에너지를 1 dB 증가 |
| 00000100 | 해당 톤의 전송 에너지를 2 dB 증가 |
| 00000101 | 해당 톤의 전송 에너지를 3 dB 증가 |
| 00100110 | 해당 톤의 전송 에너지를 1 dB 감소 |
| 01000111 | 해당 톤의 전송 에너지를 2 dB 감소 |

〈그림 18〉에 실제 구현된 FPGA의 사진 및 주요 블록들이 명시되어 있다.

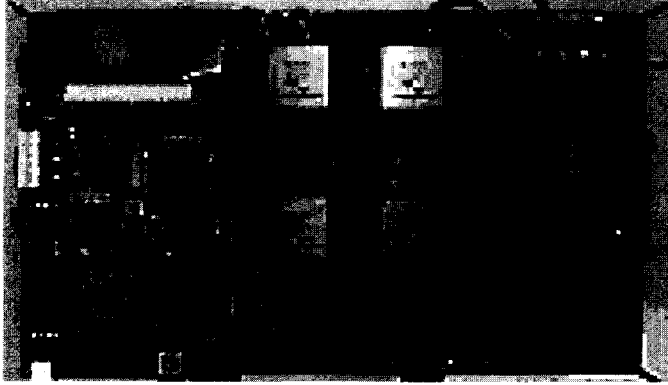
### IX. 프로토타입 구현 결과

DMT-VDSL의 ASIC 공정 전 단계로서, 디지털 모뎀은 〈표 3〉 bitswap request commands FPGA를 이용하여 Emulation을 하였고, 아날로그부는 Discrete ADC, DAC, AMP 등을 이용하여 구현하였다.

FPGA는 Xilinx사 제품을 사용하였으며, 아날로그부는 Analog Devices 제품을 사용하였다. 클럭 등을 실제 시스템과 똑같이 구현하였으므로, 특히 디지털 파트에 대하여 완벽한 설계 점검이 가능하였다. 구현된 시스템은 실제 전화선을 통하여 이더넷 및 ATM 데이터를 양방향 30 Mbps 이상의 속도로 전송하는 것이 가능하였다.

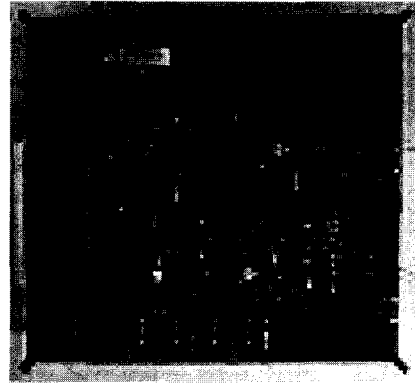
### X. 결 론

본 논문에서는 DMT VDSL 칩 셋의 구현에 대하여 기술하였다. PMD, TC, DSP 등으로 이루어진 디지털 칩과 아날로그 칩(AFE)의 개발 방법 및 구조에 대하여 논하였다. 현재 개발중인 칩 셋은 VTU-O와 VTU-R 겸용의 한 포트 칩이다. 2003년 4월경 첫 상용 제품이 출시될 예정이다. 향후 VDSL 칩 셋 시장의 활성화에 따라서, 네트워크 장비의 집적화와 저전력화를 위하여, ADSL CO용 칩과 유사한 4~24 포트의 칩 셋 개발도 향후 계획되어 있다. DMT VDSL 칩 셋 개발은 현재 정보통신부 선도기반기술개발 과제의 일환으로 수행되고 있다. 국내 원천 기술



(1)

- 1) Digital board 주요 BLOCK
- IFFT
  - FFT
  - Constellation encoder/decoder, FEQ etc.
  - DSP
  - Synchronization
  - TC(PMS-TC, TPS-TC, Ethernet)



(2)

- 2) Analog board 주요 BLOCK
- ADC, DAC, AGC Amplifiers
  - Line driver, hybrid, Filters

〈그림 18〉 DMT-VDSL Emulation Board (FPGA)

의 확보 및 국산 DMT VDSL 칩 셋의 개발/생산을 통하여, 초고속망 산업의 경쟁력을 끌어 올리는 데 기여가 되기를 바란다.

### 감사의 글

본 논문은 정보통신연구진흥원 과제 지원으로 수행된 결과입니다.

### 참고 문헌

- [1] "Very-high-bit-rate Digital Subscriber Lines(VDSL) Metallic Interface Part1 : Functional Requirements and Common Specification," ANSI T1E1.4/2000-009R3
- [2] "Very-high-bit-rate Digital Subscriber Lines(VDSL) Technical specification, Part 2 : Technical Specification for a Single-Carrier Modulation(SCM) Transceiver," ANSI T1E1.4/2000-011R3
- [3] "Very-high-bit-rate Digital Subscriber Lines(VDSL) Metallic Interface, Part3 : Technical Specification of a Multi-Carrier Modulation Transceiver," ANSI T1E1.4/2000-013R4
- [4] "Special issue on Very High-speed Digital Subscriber Lines," IEEE Commun. Mag., vol. 38, May 2000.
- [5] G.H. Im, D.D. Harman, G. Huang, A. V. Mandzick, M.-H. Nguyen, and J.J. Werner, "51.84 Mb/s 16-CAP ATM LAN standard," IEEE J. Select. Areas Commun., vol. 13, pp. 620-632, May 1995.
- [6] G.H. Im and J.J. Werner, "Bandwidth-efficient digital transmission over unshielded twisted pair wiring", IEEE J. Select. Areas Commun., vol. 13, no. 9, pp.1643-1655, Dec., 1995.
- [7] G.H. Im and K.M. Kang, "Perform-

- ance of a hybrid decision feedback equalizer structure for CAP-based DSL systems," IEEE Trans. on Signal Processing, vol. 49, no. 8, pp.1768-1785, Aug.2001.
- (8) G.H. Im, "Performance of a 51.84 Mb/s VDSL transceiver over the loop with bridged taps," IEEE Trans.on Commun., vol. 50, no. 5, pp.711-717, May. 2002.
- (9) G.H. Im, K.M. Kang, and C.J. Park, "FEXT cancellation for twisted-pair transmission," IEEE J. Selected Areas in Commun., vol. 20, no. 5, pp959-973, June.2002.
- (10) G.H. Im, K.Y. Lee, B.M. Moon, and K. M. Kang, "FEXT cancellation for multicarrier transmission system," ANSI Contribution T1E1. 4/2002-122, Atlanta, GA, Apr. 8-12, 2002.

## 저자 소개

### 朴 喆 進

1998년 2월 포항공과대학교 전자전기공학과(학사), 2000년 2월 포항공과대학교 전자전기공학과(공학석사), 2002년 3월~현재: 포항공과대학교 전자전기공학과 박사과정, <주관심 분야: 디지털 신호 처리, 고속 디지털 가입자망 시스템, 등화기 알고리즘>

### 元 熙 喆

1998년 2월 포항공과대학교 전자전기공학과(학사), 2000년 2월 포항공과대학교 전자전기공학과(공학석사), 2000~현재: 포항공과대학교 대학원 전자전기공학과 박사과정, <주관심 분야: 전송, 초고속데이터 통신, 통신시스템, DSP>

### 文 秉 武

1990년 2월 서강대학교 전자공학과(학사), 1992년 2월 서강대학교 전자공학과(석사), 1992~2000: LG 전자, 광디스크용 Digital PLL 등 ASIC 개발, 2001년~현재: (주)한기아 SoC 연구소 근무, DMT-VDSL 칩셋 개발

### 全 昌 燮

1993년 2월 서울대학교 전자공학과(학사), 1995년 2월 서울대학교 전자공학과(석사, Circuit Design), 1995~2000: LG전자 Digital Media 연구소, 2000~2001: 기가링크 인터넷기술연구소, 2001~현재: (주)한기아 SoC 연구소 근무, DMT-VDSL 칩셋 개발, <주관심 분야: 통신용 신호처리, SoC Design>

### 孫 佑 植

1994년 2월 서울대학교 전자공학과(학사), 1996년 2월 서울대학교 전자공학과(석사), 1996~2000: LG 종합기술원 ASIC 센터 근무, DSP, MCU, DTV용 칩 개발, 2000~2001: (주)기가링크 인터넷 기술연구소 근무, T-LAN700 개발, 2001~현재: (주)한기아 SOC 연구소 근무, DMT VDSL 칩셋 개발

### 金 泰 亨

1993년 2월 한국과학기술원 전기전자공학과(학사), 1996~2001: LG전자(정보통신), xDSL 칩셋 개발, 2001~현재: (주)한기아 SoC 연구소 근무, DMT-VDSL, 칩셋 개발

### 文 燦

1988년 2월 서울대학교 전자공학과(학사), 1990년 2월 한국과학기술원 전기전자공학과(석사), 1990~1993: LG종합기술원, 1993~2000: 데이콤 종합연구소, IMT-2000 시스템 개발, 2000~현재: (주)기가링크/한기아 SoC 연구소 근무, T-LAN 시리즈 개발, DMT-VDSL 칩셋 개발, <주관심 분야: 통신용 신호처리, 무선통신, 멀티미디어 SoC>

### 任 基 弘

1980년 2월 서울대학교 전자공학과 학사, 1983년 2월 KAIST 전기 및 전자공학석사, 1987년 2월 KAIST 전기 및 전자공학과 박사, 1987년 2월~1990년 10월: KIST 선임연구원, 1990년 10월~1996년 2월: AT&T Bell Labs 연구원, 1996년 2월~현재: 포항공대 전자전기공학부 교수