



## 임베디드 시스템의 저전력 구현 방법

조준동\*, 장영훈\*\*

● 목 차 ●

- 1. 서론
- 2. 임베디드 마이크로프로세서의 저전력 설계 동향
- 3. 저전력 SOC 아키텍처 설계 방법
- 4. 결론

### 1. 서론

저전력 임베디드 시스템 설계 기술은 SOC설계 기술을 이용 전자 제품 동작시간을 늘려 주며, 회로의 열 문제를 해결하는 핵심 기술이다. 이동통신이나 인터넷의 출현으로 고성능, 저전력 통신이 필요하게 되고 Quality of multimedia data (image/video) 와 QoS(Quality of Service, transmission delay, tolerable bit error rate)를 충족 시켜주는 동시에 밴드폭과 전력량 제한이 설계의 병목이 되고 있다. 최근 전체 파워의 소모는 적은 볼트의 사용에도 불구하고 전체적으로 증가하고 있다. 파워 소모의 증가는 높은 동작 주파수에 기인한다. 또한 전체 캐패시턴스와 레지스턴스의 증가도 파워 소모를 증가시키는 한 요인이다. 따라서 파워 소모는 많은 디자이너들에게 심각한 문제로 대두되고 있다. 파워 소모 문제의 하나의 해결 방안은 휴대용 배터리[10]의 수명을 연장시키는 것이고 또 다른 하나는 SOC설계방법 및 마이크로프로세서 아키텍처의 power management기법이다 [2].

배터리의 경우 망간 전지에서 리튬 전지까지 계속적인 발전을 이루어 가고 있다. [11]은 wireless 시스템의 battery-life를 예측하는 기술을 발표하였다. Battery current의 profile을 조정함으로써 효과적인 discharge가 battery 수명을 연장시킬 수 있었다. 하지만 현대 임베디드 시스템의 발전 속도를 아직까지는 못 따라가는 것이 사실이다. 본 논고는 2장에서는 저전력 임베디드 마이크로세서 설계 동향을 3장에서 저전력 임베디드 SOC 아키텍처 설계 방법에 대해서 알아 본다.

### 2. 임베디드 마이크로 프로세서의 저전력 설계 동향

노트북의 속도 경쟁이 전력소비를 낮추려는 저전력 경쟁으로 옮겨 가고 있다. Cadence사는 MIPS technology사는 MIPS processor를 저전력화 (0.5 Watt이하)하여 차세대 무선 디지털 폰의 통합 SOC 개발에 사용할 계획이고 내장형 프로세서 시장에 강력한 경쟁력을 갖추게 된다. 저전력 펜티엄III는 인텔의 저소비전력 기술인 「스피드스텝」에 기반하고 있다.

Intel의 스피드 스텝을 비롯한 AMD의 파워나우,

\* 성균관대학교 전기전자컴퓨터공학부 부교수  
 \*\* 삼성반도체 SoC연구소, DSP Architecture Lab. 장

트랜스미터의 룬런등은 마이크로프로세서가 발열량 기준을 초과할 때 소프트웨어로 동작 주파수를 조절하여 낮은 주파수로 칩을 동작시키는 기술을 적용하고 있다. 인텔의 펜티엄 III 600Mhz 모바일 마이크로 프로세서는 배터리로 동작할 경우 평균 전력 소비량이 0.5W (0.975Volt)이고 700Mhz는 1W(1.10Volt)이다. 또한 application의 종류에 따라 프로세서의 속도와 전압을 자동으로 조절할 수 있도록 함으로써 전력 효율성을 한층 높였다. 스피드스텝은 프로세서 코어 부분의 클럭 속도를 낮추는 역할을 한다. 결과적으로 칩 작동속도는 떨어지지만 전력의 소비량은 현저히 낮아진다 또 트랜스미터는 현재 시장에 내놓고 있는 크루소 5600 칩 강화판을 출시할 예정이다. 기존 크루소의 코드 모핑 소프트웨어(CMS)를 개량, 효율을 높인 칩이다. 트랜스미터는 또 「5800」이라는 신제품도 출시한다. 5800시리즈는 최저 약 800Mhz의 클럭 수를 제공하며 IBM의 0.13 $\mu$ m 공정기술에 의해 소비전력을 획기적으로 낮춘 제품이다. TMS320C54x TM DSP는 초 저전력 특성을 가지고 있으며 디지털 오디오 플레이어의 배터리 수명을 50%까지 연장할 수 있다. DSP는 저전력 소모 및 공간 소형화 기술등과 결합하여 DSP기반 가정용 게이트웨이, 인터넷 TV, 건강 모니터링 장치 및 실시간 비디오 폰 등과 같은 애플리케이션에 있어 필수적인 요소가 된다. 인피니어 마이크로 시스템은 모바일 컴퓨팅 및 네트워킹 시스템을 개발하고 있으며 마이크로프로세서, DSP, 네트워킹 프로토콜 스택, 신호처리 알고리즘, 그리고 시스템 설계 전문가들로 구성되어 있다. 다양한 기능들을 하나의 칩에 집약 시킬 수 있는 SOC 기술을 기반으로 모바일 시스템의 성능 향상 및 저전력화로 경쟁력을 확보하는 것을 목표로 하고 있다. 삼성전자는 퀄컴에 의존하던 CDMA 휴대폰 핵심 칩을 개발하였고 Base band analog chip (BBA)은 무선 부분과 MSM(mobile station modem)을 연결해주는 아날로그칩으로 저전력으로 설계되

었다.

또한 최근에 기술의 진전과 소비자 수요의 확산에 따라 정보화사회가 구현되는 반면, 무단 해킹, 내용부인, 사용방해 등 정보통신시스템의 안전이나 개인의 프라이버시, 또는 전자상거래 등을 위협하는 요소들이 나타남에 따라 이를 해소하고 안전하게 정보를 주고받을 수 있도록 하는 장치가 공개키 구조하에서 이루어지는 정보보호 서비스이며, 이를 실현시켜 주는 시스템은 CA(Certification Authorities), 키 복구 시스템, 안전한 서버 시스템, 스마트 카드, VPN 등이다. 하지만 이런 시스템은 현재까지 신뢰도, 정보보호 서비스 처리 속도, 정보보호 서비스를 위하여 발생하는 서버의 병목현상, 무선단말기의 전력소모 등의 문제점이 아직 해결이 되지 않은 상태이다. 이 중 심각한 문제는 서버나 VPN 장비의 정보보호 처리 속도 및 스마트카드의 전력소모 문제이다. 이러한 장애의 발생은 서버의 사용자 또는 기업의 고객에게 양질의 서비스를 제공하지 못하여 신뢰감을 저하시키며 이로 인하여 사업자 또는 기업의 경제활동에 커다란 불이익을 끼치게 된다. 또한 스마트카드는 무선단말기에서 사용되므로 많은 연산량의 공개키 암호 알고리즘을 처리할 경우 많은 전력소모로 인한 잦은 배터리의 교체 등 사용자의 불편을 초래하게 된다. 따라서 스마트 카드 등의 이동성, 임베디드 시스템에 대한 저전력 노력이 필수적이 되었다.

### 3. 저전력 임베디드 SOC 아키텍처 설계 방법

최근 많은 반도체 설계 및 제조업체에서는 수많은 customer의 time-to-market을 만족시키기 위해서 System On Chip에 대한 개발을 활발히 진행하고 있다. 또한 음성정보 뿐만 아니라 화상을 이용한 이동 통신 시스템에 대한 연구가 활발히 진행되고 있고 이는 이동전화의 수요를 급증시킬 것으로 예

상된다.

이런 차세대 이동통신 장비의 핵심 부품들은 저가격화, 소형화, 성능 최적화 등과 함께 저전력 소모를 위하여 디지털 회로 방식에 의한 하나의 칩으로 개발되고 있는 추세이다. 얼마 전까지만 해도 system on chip을 위한 기능의 구현은 고속으로 동작 가능한 IC를 구현하는 것이 관심의 초점이었고, 칩의 전력 소모는 심각한 문제가 아니었다. 그러나 portable system에 대한 수요가 늘어나고 한정된 배터리 시간 동안 오래 동작할 수 있는 IC의 수요가 증가함에 따라 저전력 기술을 사용한 IC의 개발이 시급하게 되었다.

SOC(시스템 온 칩)은 프로세서, 컨트롤러와 메모리와 같은 미리 만들어진 것들을 이용하여 디자인 될 것이다. 디자인 방법론들은 플러그 앤 플레이와 같은 형태로 재 사용가능한 컴포넌트들을 지원할 것이다. 또한 SOC는 서로 연결된 컴포넌트들의 functionally-correct, reliable operation등을 제공해야 할 것이다. 칩에서의 물리적 인터커넥션은 퍼포먼스와 에너지 소비 등으로 인한 제한 팩터가 생길 것이다. 대부분의 SoCs에서 전체 디자인 목표는 최소의 에너지 소비를 가지고 Quality of Service (QoS) 매트릭스를 만족할 수 있을 것이다. 대부분의 QoS 매트릭스는 퍼포먼스와 reliability measure를 포함하고 있다[1].

전력 소모를 최소화시키면서 specification을 만족시키는 algorithm을 개발하고 개발된 algorithm을 바탕으로 저전력을 위한 가장 효율적인 H/W architecture를 개발한다. system level, algorithm level에서는 switching activity에 의한 전력 소모의 최소화에 중점을 둔다. 이러한 switching activity에 의한 전력 소모는 전체 전력 소모의 60% 이상을 차지하므로 switching activity의 감소는 저전력 IC 구현에 있어서 많은 효과를 가져온다. 그러므로 system level에서 switching activity를 최소화할 수 있는 알고리즘을 적용하여 architecture를 구현한다면 회로

전력 소모량이 반감되는 효과를 갖는다.

논리회로 설계에서는 glitch 및 redundant computing을 줄일 수 있는 새로운 기법들을 개발하고 적용한다. 회로 설계에서는 Threshold voltage의 조절과 capacitance의 감소를 통해 저전력 IC를 구현할 수 있다. 전체 전력 계산식에 따라 전압의 감소는 높은 전력 감소효과를 가져오나 속도저하의 원인이 되므로 빠른 속도가 요구되는 곳에는 높은 전압을 사용하고 그 외의 곳에는 낮은 전압을 사용하는 다중 전압 시스템을 구현함으로써 저전력 IC를 구현할 수 있다. 또한 사용하지 않는 block에 대하여 sleep mode를 사용하여 전력 소비를 최소화시킬 수 있다. 캐패시턴스의 경우에는 critical node에 짧은 배선을 사용하고 crosstalk을 줄이는 layout방법을 적용하며 fan-out 개수의 조정과 작은 크기의 transistor를 사용하여 전체 캐패시턴스를 줄일 수 있다.

휴대용 연산 장치들의 수요가 증가됨에 따라 임베디드 시스템의 집적을 위한 새로운 SOC 아키텍처가 요구되고 있다[4]. 이러한 system들은 복잡한 하드웨어와 소프트웨어를 모두 포함한다. 따라서 하드웨어와 소프트웨어가 복합된 복잡한 시스템을 체계적이며 효율적으로 설계하기 위한 하드웨어-소프트웨어 통합 설계(Co-design)의 중요성이 부각되고 있다.

### 3.1 Hardware / Software Partitioning

효과적인 SOC design을 위해서는 먼저 hardware/software partitioning이 필요하다. 일반적으로 co-design을 진행할 때 어떤 기능을 hardware로 구현하게 되면 비용이 증가하지만 병렬 처리 등의 이점으로 수행시간을 빠르게 할 수 있으며, 반면 software로 구현할 경우 대량 생산되는 고성능의 마이크로 프로세서에서 프로그램을 수행할 수 있으므로 하드웨어 비용은 줄어들지만 오퍼레이션(Operation)들을 순차적으로 실행해야 하기 때문에 성능이 떨어

어지게 된다. 따라서 co-design에서 hardware/software partitioning 알고리즘은 구성부분의 상호작용, 그리고 trade-off 등을 고려하여 원하는 기능의 설계를 주어진 제약조건과 구현기술 하에서 최소의 비용으로 구현할 수 있어야 한다. 이러한 고려가 system design 초기 단계에서 이루어지지 않을 경우 design 기간이 길어지는 등 전체적으로 개발 비용이 증가하게 된다.

Hardware로 구현되어야 할 부분을 대략 정리하면 다음과 같다.

- ① Power 소모가 큰 부분.
- ② 병렬 처리가 가능한 부분.
- ③ 처리해야 할 데이터 혹은 입출력 단의 데이터 사이즈가 큰 부분.

이렇게 hardware part가 결정되면, 이 부분은 여러 가지 low-power design 기법 - gated clock, pre-computation, voltage sharing을 사용하여 설계를 한다. 그리고 software part는 DSP core에서 수행된다.

일반적으로 hardware/software co-design은 시스템의 speed를 향상시키기 위해서 기본 블록들을 speed를 cost로 하여 partitioning을 진행한다. 그래서 speed에 critical한 부분을 hardware로 구성하여 전체적인 performance를 향상시킨다. 이동 통신 시스템의 경우 요구되어지는 speed는 전체 시스템을 구성하는데 있어서 critical하게 작용하지 않는다. 오히려 개인 휴대용 시스템에 적용되어지기 위해서 low-power 구현이 필요로 되어진다. 그래서 이 경우에는 hardware/software partitioning을 진행할 때 cost를 speed대신 power를 사용한다. 세분화된 기능 블록 중에서 power를 많이 소모하는 블록은 VHDL를 이용하여 여러 가지 low-power 기법을 사용한 dedicated hardware로 설계한다. 또한 병렬처리가 가능한 블록들도 hardware로 설계함으로써 전체적으로 low-power 설계를 구현할 수 있다. 기본 단위 블록에서 소모되는 power를 어떻게 계산할 것인가 또한 풀어야 할 문제이다.

Hardware/software co-design에 있어서 중요한 부분 중의 하나가 hardware/software 상호간의 interface 문제이다. 이는 shared memory, FIFO, 및 Hand Shaking중 적용되는 application에 가장 적합한 형태를 선택하여 이 문제를 해결한다. 사용되어지는 memory의 구성 및 hardware/software 상호간의 protocol의 구성 방법에 따라 power 소모 또한 달라질 수 있을 것이다.

위와 같이 구성되어진 블록들을 simulation을 통하여 검증이 완료된 후 software part는 DSP core로, VHDL로 설계된 hardware part는 FPGA로, hardware/software interface는 memory 소자 및 FPGA를 사용하여 전체적인 기능을 검증할 수 있다. 검증이 완료된 설계를 기본으로 하여 SOC 설계가 가능해진다.

### 3.2 S/W 및 H/W Power Estimation

C. Hsieh 와 M. Pedram의 “Micro-Processor Power Estimation Using Profile-Driven Program Synthesis”이란 논문은 고성능 CPU를 위한 RT-level power 예측을 다루고 있고, E. Macii, M. Pedram과 F. Somenzi의 “High-Level Power Modeling, Estimation, and Optimization”은 s/w, behavioral, 그리고 RT-level에 집중하여 High-level power modeling, estimation, 그리고 optimization을 다루고 있다. V. Tiwari, S. Malik, 그리고 A. Wolfe의 “Power Analysis of 임베디드 Software: A First Step Toward Software Power Minimization”은 각 instruction set의 소비전류를 측정하여 s/w의 power를 예측, power 소모를 줄이는 방법을 제안하였고, M. T. Lee, V. Tiwari, S. Malik, 그리고 M. Fujita는 “Power Analysis and Minimization Technique for 임베디드 DSP Software”란 논문에서 위에서 말한 instruction set의 소비전류 측정 방법을 Fujitsu 임베디드 DSP processor에 적용해 보았다. Y. Li와 J. Henkel은 “A Framework for Estimation and Minimizing Energy Dissipation of

임베디드 HW/SW System"에서 전 system에서 s/w와 h/w의 trade-off를 고려한 power 예측을 발표하였다. 또한 parameterized IP (Intellectual Property)는 어떤 특정 특정 응용분야로 customize 될 수 있도록 다양한 parameter의 수가 늘어나고 configuration의 수가 기하 급수적으로 늘어나게 된다.

예를 들어 어떤 IP가 10개의 파라미터를 가지고 있을 때 각각의 파라미터가 4개 중 하나를 택하면 configuration 수는 백만개 이상이 된다. 따라서 speed, area, power의 세가지를 동시에 최적화하는 IP를 구성하기 위해서는 상당한 계산시간이 필요하게 된다. 빠른 시간에 원하는 결과를 얻기 위해서는 estimation 기술이 필요하게 된다.

### 3.3 Reconfigurable Architecture

영상 및 video processing과 같은 알고리즘들은 처리하는 데이터의 양과 크기 때문에 구현할 때 많은 어려움이 있다. 그래서 제안된 방법이 reconfigurable architecture이다. 그러한 SOC 아키텍처는 프로그래머블 실리콘 플랫폼에서 경제적 혹은 다른 이유로 사용되는 여러 다른 어플리케이션들에 모두 적용될 수 있을 만큼 충분히 범용적이어야 한다[5][6][7]. 각 어플리케이션들은 서로 매우 다른 파워와 동작 요건들을 갖는다. 그러므로 이들 플랫폼들은 서로 다른 어플리케이션을 동작시킬 수 있도록 각각에 맞는 전력소모 제약조건을 갖게 된다. 지금까지 개발된 reconfigurable architecture는 FPGA를 DSP core에 삽입하여 경우에 따라 FPGA를 통해 필요한 logic function을 구현할 수 있는 architecture를 구성하는 방법과 REMAC과 같이 nano processor를 array 형식으로 구성하여 co-processor로 활용하는 방법, 그리고 MorphoSys와 같이 reconfigurable cell을 array로 구성하여 이를 microprocessor와 같이 구성하는 방법 및 여러 개의 processing unit을 병렬로 구성한 뒤 이들 unit의 상호간의 interface를 통해 reconfigurable architecture를

구성하는 방법등이 있다.

[12]은 adative multimedia radio를 제안하여 다양한 channel 조건과 QoS 조건을 역동적으로 적응시키면서 특히 다양한 압축알고리즘을 선택적으로 수행시키는 coprocessor를 개발하였다. 그 구조는 고성능 프로세서, 저전력 프로세서, 하드웨어 가속기(DCT, DWT, Motion estimation), Programmable logic이 reconfigurable (재구성) communication architecture에 의해서 연결되어 있고 reconfigurable memory architecture가 communication architecture에 연결되어 있는 구조를 가지고 있다.

### 3.4 Interconnection Network

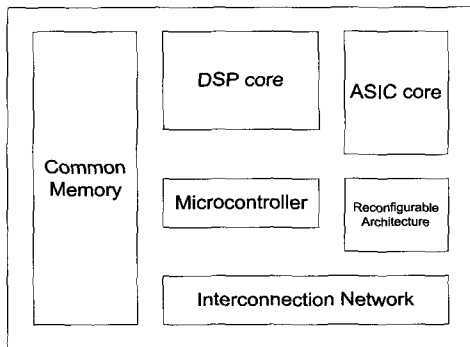
실제로 SoCs 아키텍처는 많은 양의 파워를 소모하는 한 가지 이상의 캐쉬와 버스를 갖게 될 것이다[8]. 캐쉬는 그 자체의 크기나 전체 크기와 같은 그것의 수정 가능한 파라미터들로 만들어질 수 있다. 버스는 인코딩 기술을 사용하느냐 아니면 사용하지 않느냐에 따라 결정지어지는 크기와 와이어의 공간에 의한 파라미터들로 특징지어 질 수 있다. 예를 들면 많은 조합들로 인해 별 다른 이득이 없는 어플리케이션들은 캐쉬가 작은 블록들로 수정된다면 더 적은 파워를 소비할 것이다[9].

(그림 1)에서 제안된 SOC 전체 block diagram에서 내부 각 블록들을 연결하는 방법에 따라 전체적인 performance에 큰 차이가 있을 것이다. 일반적으로 각 블록간의 local network과 전체 global network을 따로 구성하는 방법이 많이 사용하며, common memory를 통한 communication 또한 고려해 볼만하다. 그리고 필요하다면 network을 control하기 위한 블록을 따로 구성할 수도 있다. 이는 구성하고자 하는 target system이 원하는 요구사항에 따라 고려되어야 할 것이다.

현재 SOC 설계시 널리 쓰고 있는 버스아키텍처는 두가지가 있다: 1) point-to-point 연결 (단방향) 2) shared bus (양방향성). Shared bus는 단순한 토폴리

지와 저면적, 확장성이라는 장점을 가지고 있는 반면에 네이타 버스 라인당 부하가 더 크고 데이터 전송 지연이 크고, 전력소모가 많으며 대역폭이 좁다는 단점을 가지고 있다.

[13]은 단순구조의 shared-bus의 전력 소모량을 개선하기 위하여 split shared bus 구조를 제안한다. Monolithic shared-bus 구조에서는 모듈간의 전달지연 시간이 매우 크다. 이는 긴 버스 선의 기생저항과 기생 캐패시턴스에 기인한다. 긴버스선에 의한 타이밍과 전력소모를 개선하기 위해서는 버스선을 두 부분으로 나누면 개선할 수 있다. bus1과 bus2d 경계선의 듀얼 포트 드라이버는 데이터 전송이 필요할 때마다 데이터를 다른 쪽으로 교대로 전송해주는 역할을 함으로써 단순구조의 shared-bus와 같은 동작이 가능해진다. 버스 splitting의 장점은 다음과 같다: 전력소모 감소, 전체 버스길이의 감소에 의한 기생저항 및 캐패시턴스 감소, 타이밍 슬랙의 증가, 드라이버 크기의 감소, 잡음 문제의 감소.



(그림 1) SOC 전체 Block Diagram

### 3.5 Power-Managing Microcontroller

기본적으로 (그림 1)에서 각 블록들은 동작을 안할 경우 전력과 clock을 공급하지 않음으로써 불필요한 전력소모를 줄일 수 있다. 그렇기 위해서는 전체 data flow를 control하는 블록이 필요할 것이다. Microcontroller block에서는 복잡한 연산 계산은 하지 않으며, 오직 data flow에 대한 control만을 담당

한다.

또한 최근에는 MIT의 Chandrakasan이 제안한 dynamic voltage/frequency scheduling을 계속적으로 연구하고 있다. 그것은 real-time 제약조건을 만족시키면서 input stream의 workload를 분석하여 voltage 및 frequency를 조절해 나가는 것이다. Multimedia stream은 frame rate requirement에 따라 clock speed를 조정할 수 있다.

### 3.6 Co-Simulation

SOC design flow에서는 서로 다른 language 및 level에서 설계된 블록들이 혼합되어 있다. 이것들을 어떻게 검증할 것인가 하는 문제는 SOC 전체 design flow의 performance에 큰 영향을 미친다. 현재 이러한 요구를 충족시키는 tool들이 계속적으로 개발되고 있다. SYNOPSYS의 COSSAP은 GC-language로 표현된 software part와 VHDL로 코딩된 hardware part를 기능 블록으로 구분하여 co-simulation이 가능하다. 또한 CoWareN2CTM의 system design tool과 Mentor Graphics의 SimExpressTM hardware emulation tool을 사용하여 co-simulation을 진행할 수 있다.

### 3.7 DARPA를 통해 지원 중인 저전력 설계 관련 산학과제

DARPA는 독립적으로 운영되는 미 국방부의 연구기관으로서, 다른 많은 일 중에서도 특히 한 프로젝트에 자금 지원을 함으로써 인터넷의 태동에 이르게 한 일을 업적으로 꼽을 수 있다. 원래 ARPA (나중에 이름 앞에 "D"가 추가되었다) 라고 불렀던 DARPA는 당시 러시아가 최초의 유인 인공 위성인 스푸트니크호의 발사에 성공하자 그 영향으로 1958년에 생겼다. DARPA의 명시된 임무는 다른 군사적인 기구들과는 관계없이, 독자적으로 판단하고, 신속히 반응하며, 그리고 혁신적인 국가 방위에 도전하는 것이었다 (그 임무는 아직도 마찬가지

가지다).

1960년 말에 DAPRA는 네 개 대학의 연구소에 있는 컴퓨터들을 서로 연결하는데 초점을 둔 한 프로젝트에 자금을 제공하고 감독하였다. ARPANet으로 불렸던 이 초기의 네트워크는, 1972년까지 3대의 컴퓨터들을 연결하는 규모로 성장하였다. TCP와 IP의 발전을 포함, ARPANet과 거기에 사용되었던 기술들로 인해, 결국 오늘날의 인터넷으로 발전하게 되었다.

현재 DARPA에서 수행중인 프로젝트 중 한 가지가 Power Aware Computing / Communication 이다. 이 프로젝트는 다음과 같이 크게 4가지의 주제를 가지고 있다. Local 임베디드 Computing Application Level, Computer Infrastructure and Components, Tool Framework and Development, Demonstrations, Integration, Benchmarks이다.

- 1) Local 임베디드 Computing/Communication Application Level  
 Low power algorithms,  
 Programmable power management,  
 Efficient low power aware compiler,  
 Comprehensive power management,  
 High level, mission specific power management
- 2) Computer Infrastructure and Components  
 Power-aware voltage and frequency,  
 Clock gating techniques,  
 Introduce energy-efficient real-time OS,  
 Automated design for low power clocks, datapaths, memory,  
 Computer architecture power minimization,  
 Electromagnetic conductance and interference
- 3) Tool Framework and Development  
 Leverage integrated power aware techniques,

Commercial viable and DOD supportive PAC/C Tool environment,  
 complex power aware technology trade space of both energy and power,  
 requirements balanced with other system parameters

4) Demonstrations, Integration, Benchmarks

Demonstrate final payoff of power aware technology and tool suites,  
 final innovative integration of the technologies and tools developed under the first, three challenge areas,  
 Demonstrations of 10x, 100x and 500x power reductions

Ultra Low Power Enabling Technologies for Adaptive Reconfigurable Power

(Nonvolatile Electronics Co.: <http://www.nve.com/project/powerawareenvmemory.html>)

초기 작업은 spin dependent tunneling nonvolatile memory cell의 특성을 개발하는데 집중되어 있다. 이 메모리 셀은 비 휘발성 고체 메모리 셀과 비교하여 데이터를 입력하는데 파워가 1/1000보다 적게 소모된다. 그리고 read/write access time이 5ns보다 적다. 이 cell은 회사로 이전되어 완전한 메모리 형태로 디자인될 것이고 어플리케이션은 DSP와 Mercury Computer System을 위해 연구될 것이다.

power-aware computing engines  
 (MIT: <http://www.cag.lcs.mit.edu/scale/pace.html>)

power-aware computing engines 프로젝트의 목표는 compile-time knowledge를 이용한 run-time switching activity를 이용하여 마이크로 프로세서의

소비 에너지를 줄이는 것이다. 또한 이 프로젝트는 energy-conscious compiler와 연동된 새로운 energy-exposed microprocessor architecture를 함께 개발하고 있다.

RISC와 VLIW machines와 같은 현대의 명령어 셋 아키텍처(ISAs)는 최소한의 하드웨어 복잡성을 가지고 최대한의 수행능력을 갖도록 설계된 하드웨어-소프트웨어 인터페이스를 제공한다. 비교에 의하면 이러한 일반적인 범용 프로세서들은 에너지-딜레이 프로덕트가 100-1000 팩터정도 더 나쁘다. 이 프로젝트에서는 하드웨어-소프트웨어 인터페이스를 재 조사하여 이러한 결점 뿐만 아니라 퍼포먼스와 에너지 소비를 줄이는데 집중하고 있다. 접근방식은 하드웨어로 energy-saving compile-time knowledge와 통신할 수 있는 새로운 컴파일 기술과 함께 소프트웨어로 에너지 소비를 줄일 수 있는 새로운 머신 아키텍처를 개발하는 것이다. 이 기술이 완성된다면 에너지-딜레이 프로덕트 팩터가 5-100정도 좋아진다. SCALE 이라는 패러럴 마이크로프로세서 아키텍처를 개발하고 있다. 이것은 processing tile의 배열 구조로 되어있다. 각 타일은 프로세싱과 메모리 리소스를 포함하고 있고, 서로 다른 타일과 교신할 수 있다. off-chip devices는 on-chip 커뮤니케이션 네트워크와 교신할 수 있다. 이 타일로 된 구조는 높은 퍼포먼스와 적은 에너지 소비를 제공할 것이다. 소프트웨어는 다양한 수의 타일들을 태스크에 위치시킴으로써 에너지와 퍼포먼스를 교환할 수 있다.

**Power-aware Architecture and Compilation Techniques(PACT)**

(Northwestern University: <http://www.ece.northwestern.edu/cpdc/PACT/PACT.html>)

PACT의 목적은 power-aware Architectural techniques와 연동 컴파일러 그리고 지원되는 CAD

툴을 개발하는 것이다. 목표는 C를 작성된 DOD 어플리케이션을 수행하는 것이다. 그리고 개발된 architectural power-aware techniques으로 시스템의 퍼포먼스를 향상시키는 것이다. PACT의 목표를 세분화 하면 (1)non-power-aware architecture와 비교하여 10-100x의 팩터로 특정 어플리케이션에서의 전체 에너지 소비를 줄일 수 있는 다양한 계층에서의 컴파일러 개념과 Novel architecture를 개발하고 (2) 효과적인 코드를 생성하는 프로세스를 자동으로 처리하는 컴파일러 기술을 개발하고 (3)일부 실제하는 어플리케이션에서 아키텍처와 컴파일러의 개념을 사용할 필요가 없다는 것을 보여주는 것이다.

1) Power-aware architectural approaches:

범용 임베디드 프로세서와 메모리 시스템을 위한 power-aware architectural 기술을 개발하는 것이다. StrongARM 프로세서 환경에서 개발 중이다. 또한 범용 메모리 컨트롤러 시스템 기반 기술도 선보일 것이다.

2) Power-aware compilation strategies:

power-aware compilation을 수행할 수 있도록 GCC 프레임워크를 사용하여 C 컴파일러를 개발할 것이다. 두 가지 문제를 해결해야 한다. (a) 한정된 공간과 퍼포먼스에서 전체 어플리케이션이 사용하는 에너지와 파워를 최소화해야 한다. (b) 한정된 공간과 파워/에너지에서 최대한의 퍼포먼스를 이끌어 낼 수 있어야 한다.

**4. 결론**

본논문에서는 SOC 저전력 설계 기법들을 이용 효과적으로 임베디드 시스템의 전력소모를 줄이기 위한 방법들에 대하여 기술하였다. 이와 같이 앞으로의 임베디드 시스템 설계기술은 성능, QoS (Quality of Service) 및 cost 향상 이외에 전력량 감축 및 재설계 (platform-based design을 이용한 design reuse)기술을 주요 기술로 할 것이다.



### 참고문헌

[1] Luca Benini, Giovanni De Micheli, Energy-efficient and reliable interconnect design for SoCs, ISSS'01, October 1-3, 2001,

[2] 유형석, 조준동 Low-power design and architecture, in IEEE Potentials, page 18-22, August/september, 2001

[3] Koon-Shik Cho and Jun-Dong Cho, "Low Power Digital Multimedia Telecommunication Designs", Vol. 12, No. 3, pp. 301-315, VLSI DESIGN, 2001.

[4] Tony D. Givargis, Frank Vahid, and Jorg Henkel, Senior Member, IEEE, Evaluating Power Consumption of Parameterized Cache and Bus Architecture in system-on-a-Chip Designs

[5] C. Kozyrakis and D. Patterson, A New direction for computer architecture research, IEEE Computer, pp 24-32, Nov, 1998

[6] International Technology Road map Semiconductors (ITRS)

[7] F.Vahid and T.D. Givargis, The case for a configure-and-execute paradigm, in Proc.Int. Workshop Hardware/Software Codesign, 1999

[8] J. van Meerbergen, A. Timmer, J. Leijten, F. Harmsze, and M. Strik, Experiences with system level design for consumer ICs, in Proc. VLSI'98 pp 17-22

[9] Virtual Socket Interface Association. (1997) Architecture document. [Online]. Available : [Http://www.VLSI.org](http://www.VLSI.org)

[10] W. Fornaciari, D. Sciuto, and C. Silvano, Power estimation for architectural exploration of HW/SW communication on system-level buses, in Proc. Int. Workshop Hardware/Software Codesign, 1999, pp 152-156.

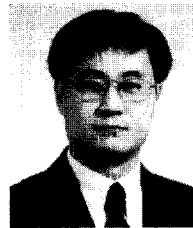
[11] K. Lahiri, A. Raghunathan, S. Dey, D. Panigrahi, "Battery-Driven System Design: A New Frontier in Low Power Design", Intl. Conf. on VLSI Design/ASP-DAC, Bangalore, India, Jan. 2002.

[12] S. Dey, "Energy/Latency/Image Quality Trade-offs in Enabling Mobile Multimedia Communication", 12th Tyrrhenian Workshop on Digital Communications, CNIT, Sep. 2000.

[13] C-T Hsieh, M. Pedram, "Architectural Power Optimization by Bus Splitting", Design Automation and Test in Europe Conference and Exhibition, pp. 612-616, Mar. 2000.

[14] DARPA: <http://www.darpa.mil/ito/research/pacc/challenges.html>

### 저자약력



조 준 동

1976년-1980년 성균관대학교 전자공학과 공학사  
 1987년-1989년 Polytechnic Univ. 전산학과 전산학석사  
 1990년-1993년 Northwestern Univ. 전기전산학과 공학 박사  
 1983년-1987년, 1993년-1994년 삼성전자 CAD팀  
 1996년 IEEE Senior Member  
 2000년-2001년 IBM T.J. Watson 연구소 연구원  
 1995년-현재 성균관대학교 전기전자컴퓨터 공학부 부 교수  
 관심분야: 저전력 고성능 통신 및 멀티미디어 알고리즘  
 ASIC/SOC design methodology  
 e-mail : [jdcho@skku.ac.kr](mailto:jdcho@skku.ac.kr), <http://vada.skku.ac.kr>

**장 영 훈**

1974년-1978년 서강대, 전자공학과 공학사  
1980년-1982년 KAIST 산업전자 전자공학석사  
1985년-1991년 Northwestern Univ. 전기전산학과 공학  
박사  
1982년-1985년 금성사 중앙연구소  
1992년-2001년 삼성종합기술원  
2001년-현재 삼성반도체 SoC연구소, DSP Architecture  
Lab. 장  
관심분야: 저전력 설계 및 DSP/SoC Architecture  
e-mail : yhchang@samsung.com