

MIMIC 전력증폭기에 응용 가능한 0.2 μm 이하의 게이트 길이를 갖는 전력용 AlGaAs/InGaAs/GaAs PHEMT

정회원 이 응 호

AlGaAs/InGaAs/GaAs power PHEMT with a 0.2 μm gate length for MIMIC power amplifier.

Eung-ho Rhee *Regular Member*

요 약

본 논문에서는 전자선 묘화 장비를 이용하여 게이트 길이가 0.2 μm 이하인 밀리미터파용 전력 PHEMT 소자를 제작하고 DC 특성과 주파수 특성 그리고 전력 특성을 측정하고 분석하였다. PHEMT의 제작에 사용된 단위공정은 저 저항 오믹 접촉, 에어 브릿지 및 후면 가공 공정기술 등을 이용하였다. 제작된 전력용 PHEMT는 35 GHz의 중심주파수에서 4 dB의 S21 이득과 317 mS/mm의 최대 전달컨덕턴스 그리고 62 GHz의 차단주파수와 120 GHz의 최대 공진주파수를 나타내었다. 또한 측정된 전력 특성은 35.5 %의 드레인 효율과 16 dBm의 최대 출력전력 그리고 4 dB의 전력 이득을 나타내었다.

ABSTRACT

In this paper, the fabricated power PHEMT devices for millimeter-wave that is below a gate-length of 0.2 μm using electronic beam lithography technologies, and the DC and frequency characteristics and an output power characteristics were measured at the various bias conditions. The unit process that is used in PHEMT's manufacture used that low-resistance ohmic contact, air-bridge and back-side lapping process technologies, and so on. The fabricated power PHEMT have an S21 gain of 4 dB and a maximum transconductance(gm) of 317 mS/mm, an unilateral current gain(fT) of 62 GHz, a maximum oscillation frequency(fmax)of 120 GHz at 35 GHz, and a maximum power output(Pmax) of 16 dBm, a power gain¹⁾(GP) of 4 dB and a drain efficiency(DE) of 35.5 %.

I. 서론

정보량의 폭발적인 증가와 고품질의 다양화되는 서비스 추세는 현재의 포화 상태인 마이크로파(Microwave) 대역의 주파수와 대역폭의 한계를 극복할 수 있는 고 신로도, 고출력 전력 및 고효율 그리고 저전력 특성을 갖는 밀리터파 대역의 전자소자의 제작과 이를 이용한 MIMIC 전력증폭기 및

시스템에 대한 연구가 절실히 요구되고 있는 실정이다. 밀리미터파 전자 소자의 직류 및 주파수 특성을 향상시키기 위하여 0.2 μm 이하의 T-게이트 공정, 저 저항 오믹접촉 공정, 에어 브릿지(Air-bridge) 공정 그리고 소오스의 인덕턴스를 최소화 할 수 있는 비아 및 후면 공정 등이 개선되고 보완되어야 할 중요기술 이다^[1]. 또한, 수동소자의 제작에 필요한 유전박막 형성기술과 패시베이션 기술은 칩의 동작 특성에 영향을 주는 주요한 기술로 부각되고

있으며, 최적화된 회로 설계 및 측정 기술의 개발도 병행적으로 연구 개발되어야 하는 기술이다.

반도체 소자 및 집적회로 구현 기술의 축적을 통해 밀리미터파 대역의 각종 센서, 초고속 광대역 무선 통신 시스템, 무선 LAN(Wireless Local Area Network) 등은 물론 군사용 고성능 장비에 응용하기 위한 연구도 활발하게 진행되고 있다[2]. 본 논문에서는 밀리미터파 대역의 소자 및 집적회로의 개발에 필요한 전력 PHEMT 소자를 제작하고 특성을 분석하였다. 또한, 밀리미터파 대역의 전력용 PHEMT 제작에 필수적인 0.2 μm 이하의 T-게이트 제작 공정의 재현성 및 수율 향상을 위하여 이중노광(Double Exposure) 공정 기술을 개발하고 PHEMT의 제작 공정으로 활용하였다.

II. 에피층 설계

전력용 PHEMT의 DC 및 RF 특성을 향상시키기 위한 2 DEG의 AlGaAs/ InGaAs/GaAs epi 구조를 바탕으로, 전력용 PHEMT의 오믹특성을 향상시키기 위하여 n+ GaAs 캡층, 2 DEG(Two Dimensional Electron Gas)층을 형성시키기 위한 AlGaAs 도우너층, 소자의 전기적 특성을 결정하는 채널층 및 누설전류를 등의 기생성분을 차단하기 위한 버퍼층(Buffer layer)등 으로 설계하였다[3].

n+ GaAs 캡층(Cap-layer)은 반도체와 금속 전극간의 접촉 저항을 최소화시키고 소자의 출력특성과 수율을 개선 할 수 있도록 최적화 시뮬레이션을 통하여 $4 \times 10^{18}/\text{cm}^3$ 의 도핑농도와 400 \AA 의 두께로 설계하였다. AlGaAs 도우너층은 항복전압을 증가시키고 누설전류를 최소화하면서도 채널을 효과적으로 편치-오프시킬 수 있도록 평면(planar) 도핑밀도를

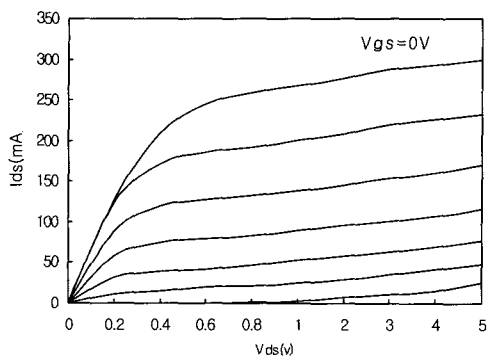


그림 1. 전류와 전압 특성 시뮬레이션 결과 (Vgs = -0.25V/step)

$5 \times 10^{12}/\text{cm}^2$ 으로 설계하였으며, 형성된 삽입(spacer)층의 두께는 50 \AA 으로 하였다. 채널층은 전자의 이동도와 면전하 밀도 및 한계 두께를 고려하여 In의 몰분율 20 %로 하고 채널층의 두께를 120 \AA 으로 설계하였다. 버퍼층은 동작중 전자들이 채널층에서 버퍼층으로 주입되어 과잉 드레인 전류가 흐르지 않도록 반절연의 GaAs 기판위에 1 μm 의 GaAs로 설계하였다.

시뮬레이션은 단위 게이트 길이는 0.2 μm , 소오스와 드레인 간격은 3 μm 이고 게이트는 소오스와 드레인의 중앙에 위치하는 구조로 설정한 다음 소오스와 드레인의 오믹 저항은 이상적인 오믹 저항으로 하여 수행하였다.

그림 1은 설계된 에피층을 이용한 PHEMT의 전류와 전압특성 시뮬레이션 결과로 -1.5 V의 편치오프 전압과 300 mA/mm의 드레인 전류 밀도 그리고 0.6 V의 무류전압 결과를 얻었다. 또한 주파수 특성으로는 전류이득 차단 주파수는 53 GHz, 최대 공진주파수는 100 GHz를 얻어 설계된 에피층 구조가 밀리미터파 대역에서 충분히 사용할 수 있는 결과를 얻었다. 그림 2에 설계된 에피층의 주파수 특성 시뮬레이션 결과를 나타내었다.

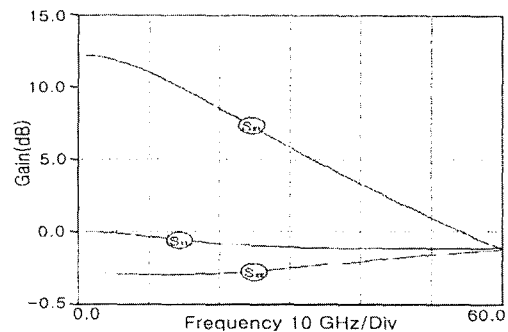


그림 2. 이득 특성 시뮬레이션 결과

III. PHEMT 소자 설계

밀리미터파 대역에서 동작하는 전력 PHEMT를 제작하기 위해서는 기생 성분 등을 최소화하는 소오스 및 드레인 간격이 소자 설계시 고려되어야 할 중요한 사항이다[4]. 소오스와 드레인 간격이 좁을수록 소오스와 드레인 사이의 저항 및 소오스와 게이트간의 저항이 감소하여 직류 및 주파수 특성에 유리하지만 간격이 매우 좁아질 경우 게이트와의 단락(short) 현상이 발생할 수 있어 게이트 헤드

를 줄여야 한다. 이것은 게이트 저항을 증가시켜 주파수 특성을 감소시키고 공정이 매우 어려워지는 문제를 야기시킨다. 따라서 게이트 헤드 크기는 1.5 μm , 게이트와 소오스, 드레인 간의 공정간격을 0.8 μm 로 설정한 후, 소오스와 드레인 간격을 4 μm 에서 2 μm 까지 변화시키면서 ATLAS를 이용하여 최적화 시뮬레이션을 하였다. 시뮬레이션 조건은 단위 게이트 길이는 0.2 μm 이고, 3 μm 의 소오스와 드레인 간격으로 설정하였다.

시뮬레이션 결과 주파수 특성은 3.0 μm 의 l_{sd} 에서 53 GHz의 차단주파수를 나타내었으며, 3.0 μm 까지는 소오스와 드레인 저항 및 소오스와 게이트 간의 저항 감소로 인하여 선형적으로 주파수 특성이 향상되었지만, l_{sd} 가 2.5 μm 와 2.0 μm 인 경우 게이트 저항의 증가로 인하여 각각 54 GHz 및 54.5 GHz로 주파수 특성이 포화되기 시작하였다. 따라서 주파수 특성이 포화되기 시작하는 3 μm 로 소오스와 드레인 간격을 설계하였다. 그림 3에 소오스와 드레인 간격에 따른 주파수 특성 시뮬레이션 결과를 나타내었다.

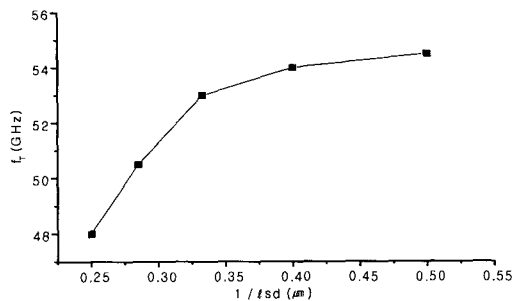


그림 3. 소오스와 드레인 간격에 따른 주파수 특성

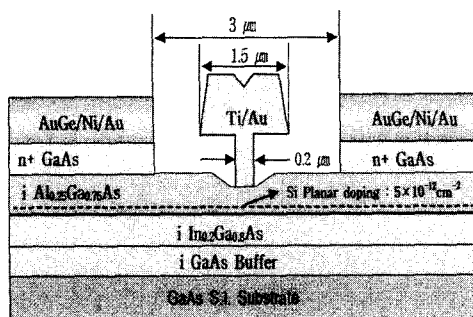


그림 4. 설계된 전력용 PHEMT의 단면구조

그림 4는 본 논문에서 설계한 소오스와 드레인 간격이 3 μm , 게이트 길이가 0.2 μm 이고 게이트 헤

드가 1.5 μm 인 T형 게이트를 갖는 PHEMT의 단면도이며, 동시에 epi 구조를 포함하여 나타내고 있다.

IV. 전력용 PHEMT 제작

PHEMT 소자의 제작을 위하여 설계, 제작된 마스크는 메사, 오믹, 에어 브릿지 PR Via 및 에어 브릿지 금속으로 총 4장이다. 그리고 채널 리세스 에칭 공정 및 게이트는 전자선 빔을 이용하여 직접 웨이퍼 위에 패턴을 형성하기 때문에 마스크는 제작하지 않았다. 전력용 PHEMT의 제작을 위해 MBE 방식으로 성장된 AlGaAs/InGaAs/GaAs epi 웨이퍼를 사용하였다. 전력용 PHEMT를 제작하기 위해 적용된 단위공정으로는 전자선 빔 시스템을 이용한 0.2 μm T-게이트 공정, AuGe 계의 금속층을 이용한 저 저항 오믹공정, 격리된 소오스 전극을 상호 연결하기 위한 에어 브릿지 공정과 후면 래핑 공정 등이다.

표 1은 제작된 전력 PHEMT의 제작에 사용된 공정 순서이다. 웨이퍼 위의 활성 영역을 전기적으로 격리시키기 위하여 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 의 용액으로 3500 Å을 식각하였다. 반도체와 금속간의 오믹 접촉을 위하여 10⁻⁶ Torr의 열 증착기를 이용하여 AuGe/Ni/Au를 1100 Å/250 Å/1400 Å 증착한 후 N₂ 분위기의 전기로에서 열처리하였으며, 측정된 오믹 접촉 비저항은 1~2×10⁻⁶ Ω·cm²이다. 채널 리세스 에칭은 최적의 포화전류가 되도록 NH₄OH : H₂O₂ : H₂O의 암모니아계 에칭용액을 이용하여 실시하였다. Epi 웨이퍼의 포화전류 특성을 그림 5에 나타내었으며, 그림에서 채널 포화전류는 110 mA에서 43 mA로 급격히 감소하는 구간이 n⁺-GaAs층이 에칭 되는 구간이며, 에칭율이 둔화되다가 급격히 감소하여 거의 0 mA가 되는 구간이 Si 평면 도핑(Planar doping)층이 있는 i-AlGaAs 층

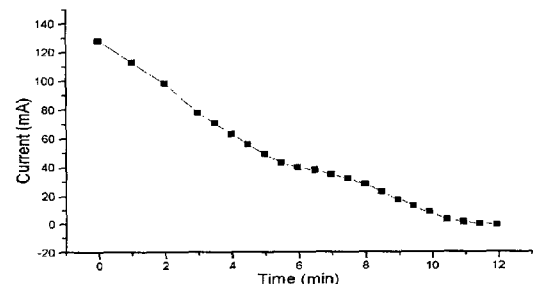


그림 5. 리세스 식각시간에 따른 포화전류 특성

표 1. 전력용 PHEMT 제작을 위한 공정 순서

| Procedure | Parameter | Step |
|--------------------|--|-------------|
| 초기 세척 | TCA->Acetone->IPA->D.I. rinse->N2 dry | MESA |
| MESA 패턴 형성 | AZ1518 (3000 rpm, 35초) | |
| MESA 식각 | H2SO4 : H2O2 : H2O = 1 : 8 : 160 식각 두께 : 3500 Å | |
| 오믹 패턴 형성 | AZ5214E (3000 rpm, 30초) | Ohmic |
| 자연 산화막 제거 | HCl : H2O = 1 : 5, 2분 | |
| 오믹 금속 증착 및 리프트 오프 | AuGe / Ni / Au = 1250 Å/250 Å/1500 Å | |
| 웨이퍼 세척 | Acetone->IPA->D.I. rinse->N2 dry | Recess |
| 오믹 열처리 (Alloy) | 410 °C, 7분 | |
| 게이트 리세스 식각 | NH4OH : H2O2 : H2O = 1 : 1 : 2000 | |
| T형 게이트 패턴 형성 | E-beam lithography(Lg = 0.2 μm) | Gate |
| 자연 산화막 제거 | HCl : H2O = 1 : 5, 5분 | |
| 게이트 금속 증착 및 리프트 오프 | Ti/Au = 500 Å/4000 Å | |
| 웨이퍼 세척 | Acetone->IPA->D.I. rinse->N2 dry | Passivation |
| Si3N4 적층 | Si3N4 (1000 Å) ⇒ PECVD | |
| Si3N4 전식 식각 | CF4(gas), 70W(RF power), R.T. | |
| 에어 브리지 형성 | Ti/Au = 200 Å/8000 Å | Air-bridge |
| 후면 처리 공정 | 웨이퍼 두께 : 100 μm Ti/Au = 200 Å/10000 Å | Back-side |

이 에칭 되는 구간이다. 본 연구에서는 단위 게이트 폭이 100 μm 일때 약 30~35 mA정도의 포화전류가 되도록 에칭 하였다.

전자선 빔을 이용한 T-게이트 형성 공정에서는 PMMA/PMMA-PMAA/PMMA의 3층 레지스트 구조와 상기에서 설명한 이중 노광 방식을 이용하여 T-게이트 형태의 레지스트 패턴을 형성한 후 Ti/Au를 500 Å/3500 Å 두께로 증착하였다^[5]. 그림 6에 제작된 0.2 μm T-게이트의 SEM 사진을 나타내었다. 에어 브릿지 공정을 이용하여 전력용 PHEMT의 격리된 소오스 전극을 상호 연결하였으며^[6], 래핑 공정으로 웨이퍼의 두께를 100 μm 로 얇게한 후 웨이퍼의 뒷면에 1 μm 금속 층을 증착하였다^[7]. 그림

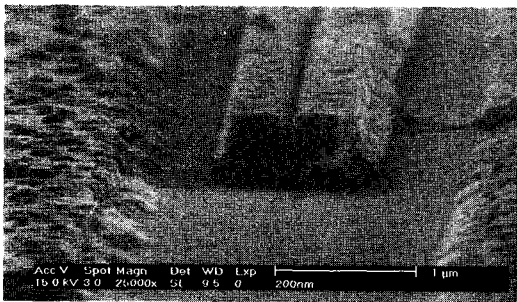


그림 6. 제작된 0.2 μm T-게이트의 SEM 사진

7은 다수의 게이트 핑거를 갖는 제작된 전력용 PHEMT의 표면 SEM 사진으로 격리된 소오스 전극이 상호 연결되어 있음을 볼 수 있다.

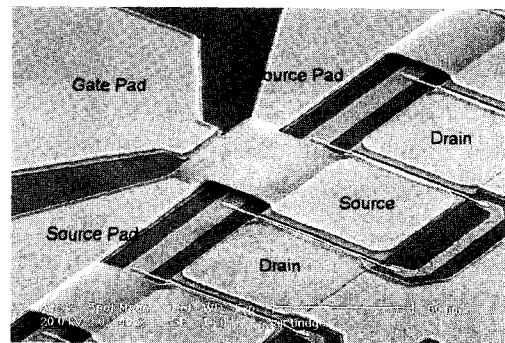


그림 7. 제작된 전력용 PHEMT의 SEM 사진

V. 전력용 PHEMT 측정

확립된 단위공정을 이용하여 제작된 80 μm x 4 PHEMT의 전류와 전압 및 전달컨덕턴스 특성을 HP사의 4156A 반도체 파라미터 분석기로 측정하였다. 제작된 전력 PHEMT의 직류 특성 측정결과 단위 게이트 폭이 80 μm이고 핑거수가 4개인 소자의

전류와 전압 및 전달컨덕턴스 특성으로 무릎전압은 0.95 V, 핀치오프 전압은 -2.5 V, 드레인 포화전류는 2 V의 드레인 바이어스(V_{ds})에서 137.0 mA로 드레인 전류 밀도는 428 mA/mm이다. 또한, 게이트 바이어스(V_{gs})의 변화에 따른 전달컨덕턴스의 특성 곡선에서 최대 전달컨덕턴스는 3 V의 드레인 바이어스 및 -1.5 V의 게이트 바이어스에서 317.0 mS/mm를 얻었다. 그림 8과 9에 측정된 전류와 전압 특성 그리고 전달컨덕턴스 특성을 나타내었다^[8].

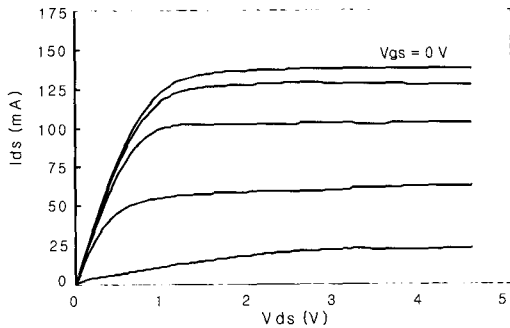


그림 8. 전류와 전압 특성 ($V_{gs} = -0.5 \text{ V/step}$)

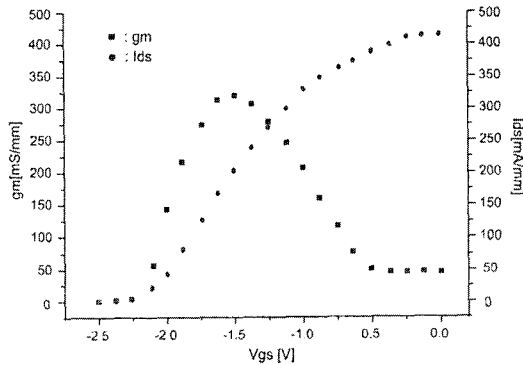


그림 9. 전달 컨덕턴스 특성

PHEMT의 소신호 주파수 특성은 HP사의 8510C 벡터네트워크 분석기를 이용하여 DC~40 GHz의 주파수 범위에서 3 V의 드레인 전압, -1.5 V의 게이트 전압 조건에서 측정하였다. 그림 10과 11에 측정된 80 $\mu\text{m} \times 4$ PHEMT의 이득특성과 S 파라미터 특성을 나타내었다. 측정된 이득특성으로부터 작성된 프로그램을 사용하여 외삽된 전류이득 차단주파수(f_T)와 최대 공진주파수(f_{max})는 각각 62 GHz와 120 GHz를 얻었다.

제작된 전력 PHEMT의 출력전력 특성을 MS

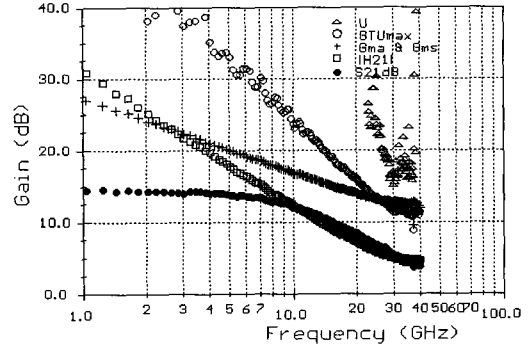


그림 10. 제작된 PHEMT의 이득 특성

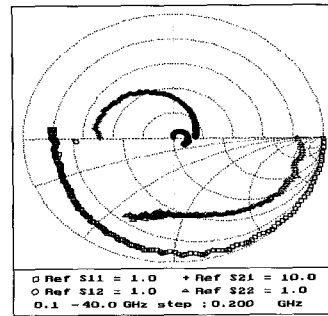


그림 11. 제작된 PHEMT의 S 파라미터

2668C 스펙트럼 분석기를 이용하여 3 V의 드레인 전압, -1.5 V의 게이트 전압 조건에서 중심 주파수인 35 GHz에 대하여 측정하였다. 측정시 바이어스 티(bias tee)와 케이블의 측정된 손실 값을 보상하여 측정하였다. 80 $\mu\text{m} \times 4$ 인 PHEMT의 출력전력 측정결과 1 dB 억압점(P1dB)은 입력이 12.0 dBm 일 때 15.0 dBm을 나타내었으며, 최대 출력전력은 16.0 dBm을 나타내었다. 식 1을 이용하여 계산한 전력이득(G_p)은 4.0 dB 이다. 그림 12에 측정된

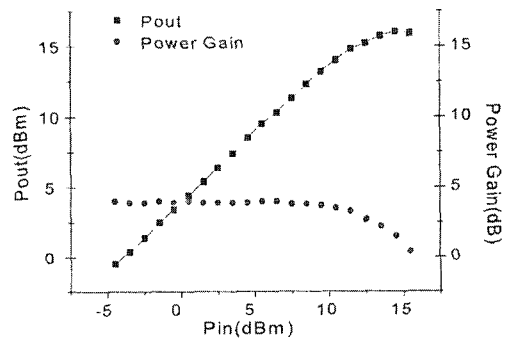


그림 12. 제작된 PHEMT의 출력전력 특성

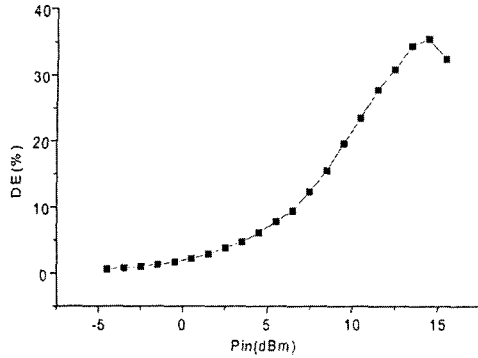


그림 13. 제작된 PHEMT의 드레인 효율 특성

PHEMT의 출력전력 특성을 나타내었다. 또한 측정된 주파수에 대한 출력전력과 직류 소비전력을 이용한 드레인 효율(Drain Efficiency)은 식 2로 계산한 결과 입력이 14.5 dBm 일 때 35.5 %의 양호한 결과를 나타내었으며, 그림 13에 입력전력에 따른 PHEMT의 효율 특성을 나타내었다.

$$G_p(dB) = \frac{P_{out}}{P_{in}} \quad (1)$$

$$DE(\%) = \frac{P_{out(RF)}}{P_{DC}} \times 100 \quad (2)$$

PHEMT 소자의 선형성의 척도를 나타내는 IP3 (3rd-order intercept point)는 식 3으로부터 25 dBm의 계산된 IP3를 얻었다.

$$IP3(dBm) = P_{1dB}(dBm) + 10(dB) \quad (3)$$

VI. 결론

본 논문에서는 0.2 um 이하의 게이트 길이를 갖는 밀리미터파 대역 전력 PHEMT 소자를 AlGaAs/InGaAs/GaAs 웨이퍼와 확립된 단위 공정을 이용하여 제작하고 동작 특성을 평가 하였다. PHEMT의 제작에 사용된 단위공정은 저 저항 오믹접촉 공정, 에어 브릿지 및 후면 가공 공정기술 등을 이용하였다. 제작된 전력용 PHEMT는 35 GHz의 중심주파수에서 4 dB의 S21 이득과 317 mS/mm의 최대 전 달컨덕턴스 그리고 62 GHz의 차단주파수와 120 GHz의 최대 공진주파수를 나타내었다. 또한 측정된 전력 특성은 35.5 %의 드레인 효율과 16 dBm의 최대 출력전력 그리고 4 dB의 전력 이득을 나타내

었다. 측정된 결과는 시뮬레이션 결과와 비교하여 드레인 전류 밀도는 128 mA/mm 늘어나 29 % 증가하였으며, 무릎전압과 핀치오프 전압은 각각 0.35 인 오믹 조건으로 설정하였으나, 실제 제작된 소자는 $1 \sim 2 \times 10^{-6} \Omega\text{-cm}^2$ 의 접촉저항을 갖고 있기 때문인 것으로 분석되었다. 측정된 소신호 주파수 특성은 시뮬레이션 결과 53 GHz 보다 9 GHz 더 높게 나타났다. 이러한 주파수 특성의 향상은 0.2 um 이하의 게이트 길이를 갖는 PHEMT를 최적화된 단위공정을 적용하여 제작함으로써 소자의 주파수 특성이 향상된 것으로 분석되었다.

얻어진 결과들로부터 설계 제작된 전력용 PHEMT는 설계값 보다 향상된 특성을 나타내었으며, 향후 밀리미터파용 MIMIC 전력증폭기의 증폭용 소자로 응용이 가능할 것으로 사료된다.

참고 문헌

- [1] Yashtake Hirachi, Yukihiro Takeuchi, et al, "A packaged 20-GHz 1-W GaAs MESFET with a novel via-hole plated heat sink structure", IEEE Trans. on MTT, vol. MTT-32, No. 3, pp. 309 ~316, March 1984.
- [2] Hloger H. Meinel, "Recent advanced on millimeter-wave PCN system development in europe", IEEE on MTT-s digest, WEID-2, pp. 401 ~408,1995.
- [3] 이용호, 조승기, 윤용순, 이일형, 이진구, "AlGaAs/InGaAs/GaAs power PHEMT 설계 및 제작", 2000년도 대한전자공학회 하계종합 학술대회 논문집, 제 32권, 제 1호, 2000, pp. 12 ~15.
- [4] R. C. Tiberio, J. M. Limber, G. T. Gelvin, and E. D. Wolf, "Electron beam lithography and resist processing for the fabrication of T-gate structures", proceeding of SPIE, vlo. 539, 1985, pp. 250~253.
- [5] N. Samoto, Y. Makino, K. Onda, E. Mizuki, and T. Itoh, "A novel electron beam exposure techique for 0.1 um T-shape gate fabrication," J. Vac. Soci. Tech., B8(6), 1990.
- [6] 이일형, 김상명, 이용호, 이진구, "Air-bridge 공정을 이용한 power MSFET의 제작 및 특성연구", 대한전자공학회 논문지, 제 12호, pp. 136~141, 1995.

- [7] 이일형, 윤관기, 채연식, 조장연, 김동일, 이진구, “초고주파 전력용 소자의 열 특성을 위한 back-side via-hole 공정에 관한 연구”, 1997년도 대한전자공학회 추계종합학술대회 논문집 (20), 2, pp. 620~623, 1997.
- [8] Eung-ho Rhee, Jin-seub Yoon, Seung-ki Cho, Jin-koo Rhee, “studies of MIMIC power amplifier for millimeter-waves”, *proceeding of ITC-CSCC 2000*, pusan, Korea, pp. 1009~1012, July 2000.
- [9] Hiroshi Mizuta, K. Yamaguchi, and S. Takahashi, “Surface potential effect on gate-drain avalanche breakdown in GaAs MESFETs”, *IEEE Trans, on Electron Device*, vol. ED-34, no. 10, pp. 2017~2033, 1987.

이 응 호(Eung-ho Rhee)

정회원



1987년 2월 : 동국대학교 전자공학과 졸업

1997년 2월 : 동국대학교 전자공학과 석사

2000년 7월 : 동국대학교 전자공학과 공학박사

2001년 9월 ~현재 : 수원대학교 정보통신과 초빙교수

<주관심 분야> 정보통신, 무선통신 및 시스템, 초고주파 반도체