

초고주파 집적 회로를 위한 새로운 실리콘 MEMS 패키지

論 文

51C-6-8

The Novel Silicon MEMS Package for MMICS

權 永 洙* · 李 海 英** · 朴 宰 永*** · 金 成 娥***

(Young-Soo Kwon · Hai-Young Lee · Jae-Young Park · Seong-A Kim)

Abstract - In this paper, a MEMS silicon package is newly designed, fabricated for MMIC, and characterized for microwave and millimeter-wave device applications. The proposed package is fabricated by using two high resistivity silicon substrates and surface/bulk micromachining technology. It has a good performance characteristic such as -20dB of S_{11} and -0.3dB of S_{21} up to 20GHz , which is useful in microwave region. It has also better heat transfer characteristics than the commonly used ceramic package. Since the proposed silicon MEMS package is easy to fabricate and wafer level chip scale packaging is also possible, the production cost can be much lower than the ceramic package. Since it will be a promising low-cost package for mobile/wireless applications.

Key Words : MEMS, high resistivity silicon (HRS), silicon package, wafer level packaging, MMIC

1. 서 론

무선 통신의 발달은 새로운 고성능 저가격의 소자 개발에 대한 필요성을 증대시키고 있다. 이러한 필요성은 특히 MEMS 기술을 이용한 초소형, 초경량의 고성능 소자 개발에 대한 관심을 높이고 있으며, 무선 통신에 사용되어지는 switches, filters, inductors, variable capacitors, phase shifters 등과 같은 초고주파 및 밀리미터파용 소자 및 회로 개발에 MEMS 기술을 이용하고 있다[1]. 또한 MEMS 기술을 이용하여 초고주파 소자뿐만 아니라 silicon MEMS package의 제작에까지 연구가 진행되고 있다.

초고주파용 회로에 있어 package는 회로를 지지하며 외부 환경으로부터 내부 회로를 보호함과 동시에 칩과 시스템 사이의 전기적, 열적 통로로서의 기능을 한다[2]. 그러나 초고주파 집적회로의 빠른 발달과 달리 package는 회로의 개발과는 별개로 이루어지고 있으며 package의 성능에 의해 회로 전체의 성능을 저하시키는 결과를 초래하였다[3]. 그 결과 이를 해결하기 위해 MCMs 이나 hybrid 와 monolithic 패키지의 경우 HTCC (High Temperature Co-fired Ceramic) 나 LTCC (Low Temperature Co-fired Ceramic) 공정의 package나 thick 또는 thin film 공정을 이용하여 개발되어 왔다. 그러나 이 경우 하나의 package를 개발하는데 있어 패키지의 성능을 예상하고 설계 및 제작하는데 있어 많은 노력

과 비용이 들게 된다[4].

하지만 ceramic이 화학적, 전기적 특성이 우수하여 고성능 고주파 반도체 소자의 실장에 대부분을 차지하여 왔으나 상대적으로 기계적 가공이 어려워 단가가 높다는 단점이 있다. 이와 달리 HRS (High Resistivity Silicon) 의 경우에는 고주파용 package를 제작하기 위한 기판으로써 GaAs와 비견할 만한 손실 특성을 가지면서도 MEMS (Micro Electro Mechanical System) 기술을 이용하여 정확한 미세 가공이 가능하며 물질적 특성이 우수하다[5][6]. 특히 열전도성 (Thermal Conductivity) 에 있어서 GaAs, InP 나 Ge 과 같은 고전력 고주파 반도체 소자를 만드는 기판 물질이 각각 80, 65, 68 (W/(m*K)) 로써 92% alumina (18 W/(m*K))에 비해 Si (135 W/(m*K))을 사용하는 것이 packaging 물질로써 내부회로의 열방출 (Heat Transfer) 에 있어서도 우수한 특성을 보이게 된다[7]. 실제로 silicon을 사용하여 제작된 package가 LTCC 공정을 이용한 ceramic package에 비해 더 좋은 손실 특성을 보여 주고 있다[8].

또한 MEMS 기술을 이용한 silicon package의 경우 실장되는 반도체 소자와 유사하거나 같은 물질을 사용하게 되므로 소자와 package간의 재료적 차이로 오는 전기적, 기계적 부정합 특성을 극복할 수 있으며 반도체 소자에 사용되는 공정 기술을 그대로 적용 가능하므로 별도의 장비나 공정을 최소화하여 공정 단가를 크게 줄일 수가 있다. 또한, 연구수준의 소량 package 생산이 가능하다는 이점을 지님으로써 초고주파용 반도체를 테스트하기 위한 소량의 테스트용 package로써의 활용이 가능하다. 또한, 미세 구조 제작에 적합한 다양한 MEMS 공정들이 많이 개발되어 있으므로 소자의 소형화에 따라 요구되는 매우 작은 오차의 packaging 공정을 신뢰성 있고 경제적으로 구현할 수 있다. 본 논문에서는 간단한 구조의 새로운 형태의 package를 제안하였으며 새로운

* 正 會 員 : 亞 州 大 工 大 電 子 工 學 部 博 士 課 程

** 正 會 員 : 亞 州 大 工 大 電 子 工 學 部 正 教 授 · 工 博

*** 正 會 員 : LG 電 子 技 術 院 素 子 材 料 研 究 所 · 工 博

接 受 日 字 : 2001 年 12 月 31 日

最 終 完 了 : 2002 年 4 月 10 日

silicon package의 경우 두 장의 HRS 기판만을 사용하여 제작이 가능하고 제작 공정이 간단하고 가격 면에서 이점을 지닌다. 측정 결과에서도 고주파에서 사용하기에 적합한 특성을 보여주었다.

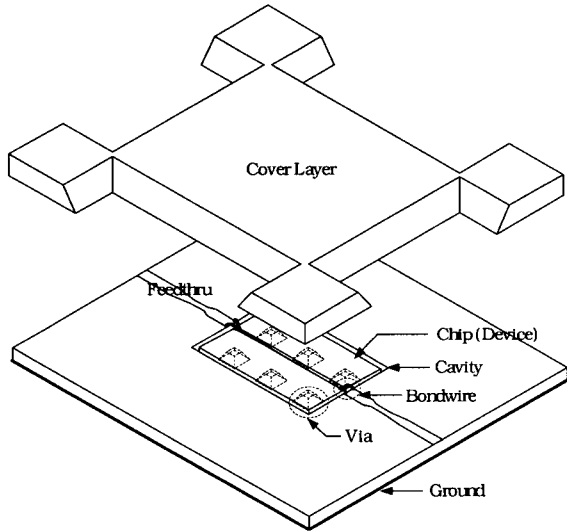


그림 1 제안된 silicon package의 구조
Fig. 1 Proposed silicon package structure

2. 본 론

2.1 구조(Structure)

본 논문에서는 외부의 metal shielding은 고려하지 않았으며 일반적인 ceramic package의 경우와 같이 MMIC의 실장을 위한 package의 구조를 제안하였다. 외부에 metal로 shielding되지 않은 ceramic package의 경우에도 여러 개의 층을 가지고 있으나 본 논문에서는 silicon을 MEMS 기술을 이용하여 가공함으로써 package를 그림 1과 같이 두 장의 HRS 기판만을 사용하여 간단한 구조의 package를 제안하였다. 두 장의 기판 중에서 위 기판은 패키지의 cover 역할을 통해 외부와 chip을 차단하고 etching을 통해 feedthru와 bias를 넣을 수 있는 seal frame 역할을 하도록 구조를 설계하였다. 아래 기판은 MMIC를 실장하고 bonding을 할 수 있도록 내부에 cavity를 형성하였다. chip의 ground를 위해서는 chip의 바닥을 via를 통해 ground와 연결한 구조의 package를 제안하였다.

실제 제작에 있어서는 package의 특성을 결정하는 가장 중요한 요소 중 하나인 feedthru의 특성을 확인하기 위하여 간략화된 package 구조를 제작하였다. 그림 2의 간략화된 package 구조는 chip의 실장을 위한 cavity와 bondwire 부분만을 생략하고 feedthru를 삽입한 구조이다. 제작되어진 구조는 package에 있어서의 중요한 특성인 package의 입출력 feedthru와 내부 cavity에 의한 특성만을 확인하기 위한 구조로 제작되었다.

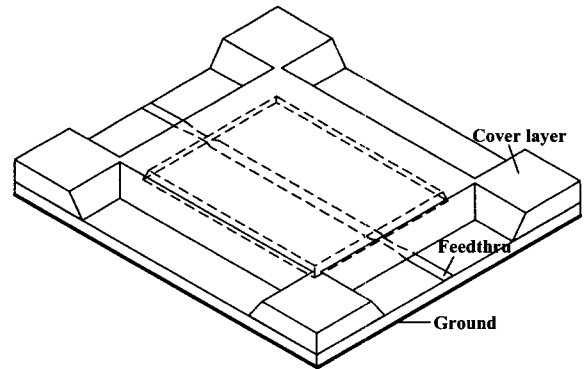
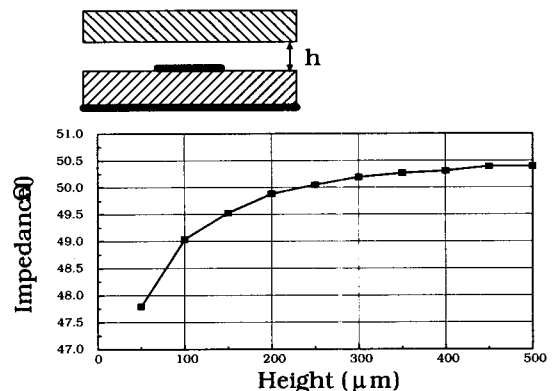


그림 2 간략화된 silicon package의 구조
Fig. 2 Simplified silicon package structure

그림 2의 silicon package의 크기는 보통의 초고주파용 MMIC의 크기를 $2\text{ mm} \times 3\text{ mm}$ 정도라고 하였을 때 Package 전체는 $7\text{ mm} \times 8\text{ mm}$ 의 크기를 가지도록 설계하였으며 위 기판의 seal frame을 위한 내부의 cavity는 $3\text{ mm} \times 4\text{ mm}$ 로 하였다. 기판은 기판 손실을 줄이기 위해 $4500\ \Omega \cdot \text{cm}$ 의 비저항을 갖는 HRS 기판을 사용하였다. 위 기판은 패키지 전체의 cover와 seal frame의 역할을 하도록 일정 이상의 두께를 가져야 하므로 $500\ \mu\text{m}$ 두께의 기판을 사용하였다. 아래 기판에 경우에는 기판 두께가 두꺼운 경우에 특성 임피던스를 $50\ \Omega$ 으로 맞추기 위한 microstrip의 선폭이 두꺼워짐으로써 chip이나 외부회로와의 연결(interconnection)에 있어 구현성이 떨어지게 된다. 따라서 아래의 기판은 $325\ \mu\text{m}$ 두께의 기판을 사용함으로써 적당한 선폭의 feedthru가 되도록 설계하였다.

Package 제작에 있어서 package 위쪽 기판의 내부 cavity의 위한 높이가 낮은 경우에는 칩을 실장하였을 때 칩이 위쪽 cover 부분에 의해 영향을 받게 된다. 따라서 위쪽 기판에 의한 영향을 최소화하기 위해 cavity의 식각 깊이를 고려해 주어야 한다. 그림 3은 package 내부 마이크로스트립의 단면을 보여주고 있다. 여기에서 cavity의 식각 깊이에 따른 마이크로스트립의 임피던스 변화를 계산하였다. 해석 결과를 보면 내부의 cavity의 높이가 증가할수록 임피던스의 변화가 점차로 줄어들다가 약 $300\ \mu\text{m}$ 이상에서는 거의 변화하지 않았다. 따라서 칩과 feedthru에 영향을 주지 않기 위해서는 해석에 의한 일정 깊이 이상의 식각을 하여 제작하였다.



Height(um)	Zo(Ω)
50	47.791
100	49.033
150	49.521
200	49.880
250	50.048
300	50.189
350	50.263
400	50.303
450	50.390

그림 3 내부 식각 깊이에 따른 마이크로스트립 전송선의 임피던스 변화

Fig. 3 Impedance of microstrip line by inner etching depth

2.2 제작 및 공정

그림 4는 설계된 package의 전체적인 제작공정을 보여주고 있다. Package의 제작 공정은 각 기판별로 사용할 마스크를 제작하여 식각 등의 공정을 거친 뒤 기판을 접합하는 순서로 이루어진다. 위 cover layer는 먼저 기판 윗면에서 아래면 쪽으로 완전히 etching 시켜 RF 입출력과 DC bias lines을 위한 영역을 형성하여 package의 frame을 만들어 준다. Etching은 wet etching을 하게 되므로 package의 cover의 옆면들은 약 54°의 경사를 가지게 된다. 다음으로 cover layer 안쪽 면은 실제로 칩이 실장 되었을 때에 package의 cover layer가 MMIC 회로에 영향을 주지 않으며 bonding wire의 연결 등을 위한 공간을 위해 내부 etching을 통해 cavity를 형성한다. cavity의 높이는 계산을 통해 본딩와이어 연결선과

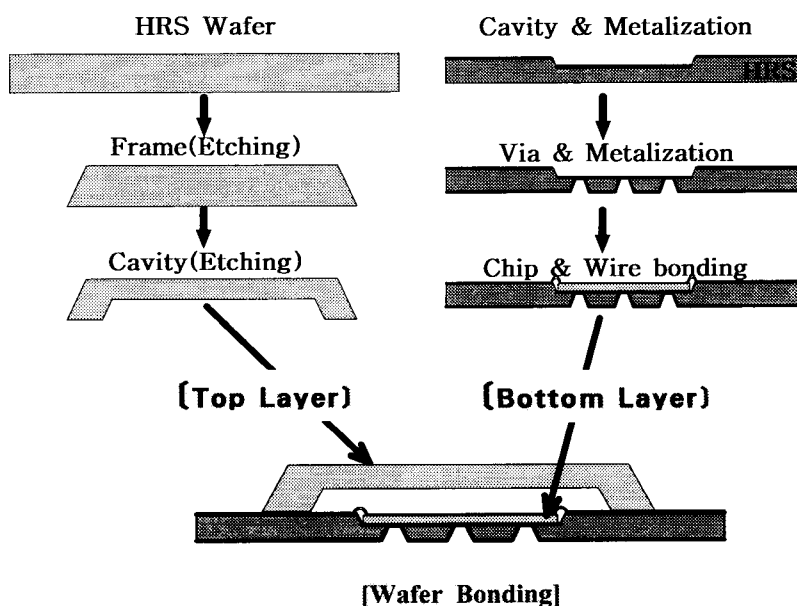


그림 4 silicon package의 제작 공정
Fig. 4 Manufacturing process of silicon package

MMIC의 전송선로에 영향을 주지 않을 정도의 높이인 300 um정도로 etching해 주었다. 아래 기판은 feedthru의 선폭을 맞춰주기 위하여 325 um의 기판을 사용하였다. 윗면의 feedthru와 pad를 electroplating을 통해 gold pattern 형성한 다음 측정을 위한 MMIC의 ground를 연결해 주기 위해서 아래 면에서 윗면으로 via를 형성한 후 aluminum을 plating하여 ground를 형성해 준다. 이렇게 만들어진 두 기판을 bonding 함으로써 하나의 package를 제작할 수 있다.

그림 5의 (a)와 (b)는 제작된 package의 de-embedding을 위해 제작된 CBCPW (Conductor Back Coplanar Waveguide) to microstrip transition의 back to back 구조와 package의 기판에 형성된 pattern의 일부를 찍은 사진이다. 그림 5(a)는 기판 윗면의 CPW와 ground를 via를 통해 연결한 CBCPW의 구조이며 그림 5(b)는 feedthru pattern에 측정을 위한 pad를 넣은 것이다. 또한 cover layer와 접합되는 부분의 impedance matching을 위해 tapering 해줌으로써 feedthru에서의 반사손실 (return loss) 이 최소가 되도록 제작하였다.

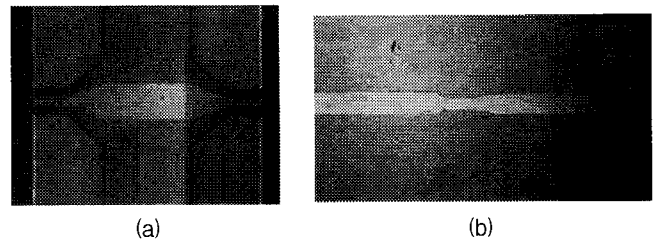


그림 5 (a) de-embedding을 위한 back to back 구조 (b) package에 제작된 pattern

Fig. 5 (a) back to back structure for de-embedding (b) pattern fabricated in package

그림 6은 실제로 제작된 package의 사진이다. 제작된 package의 입출력 단에는 on-wafer 측정을 위한 CBCPW-to-microstrip transition pad를 추가해 주었다. 위 기판의 식각된 면을 보면 습식 식각으로 인해 경사면이 나타난 것을 볼 수가 있다. Package의 내부도 밖에서 보는 것과 같은 방식으로 습식 식각을 통해 형성하였다. 아래 기판은 HRS 기판 위에 pattern을 형성한 후 별도로 자르지 않고 그 위에 위 기판을 접합하였다. 내부의 pattern은 앞에서 언급한 대로 내부의 MMIC의 실장을 위한 공간을 제외하고 대신 마이크로 스트립 전송선로를 넣어줌으로써 제작된 package를 측정하고 측정을 위한 pad를 de-embedding 함으로써 package에서의 feedthru 특성을 확인하기 위한 구조로 제작하였다. 본 구조에서 윗 기판과 아래 기판의 접합은 paste를 이용하여 접합하였으나 이는 제작상의 편의성을 위한 것이었으며 내부 밀폐성을 높이기 위해서는 batch process를 통해 silicon과 silicon 사이에 glass 접합층을 첨가하여 열을 이용해 접합하게 된다. 특히 silicon과 silicon 사이의 접합은 낮은 접합온도(150℃ ~ 250℃)에서도 접합이 가능하다는[9] 장점을 가짐으로써 package 제작에 있어 wafer간 접합에 의한 내부 칩의 열에 의한 문제를 최소화 할 수 있다.

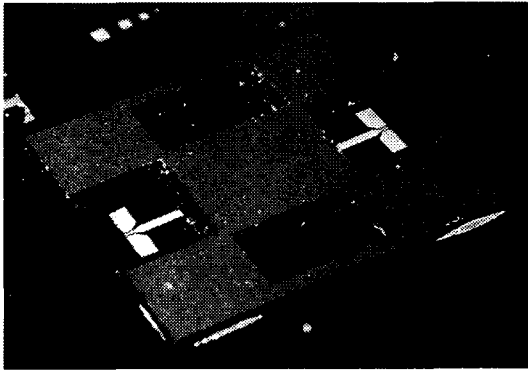


그림 6 실제 제작된 package의 사진
Fig. 6 photography of the fabricated package

3. 측정 및 결과

3.1 De-embedding

측정시에는 package와 함께 제작된 그림 5의 (a)와 같은 CBCPW-to-microstrip transition의 back to back 구조를 포함하여 측정하여 제작된 전체 package 구조에서 transition 구조만큼을 de-embedding 하였다. De-embedding은 TRL (Thru-Reflect-Load) calibration과 같은 복잡한 calibration 대신에 package 제작시에 back-to-back 형태의 de-embedding pad를 같이 제작하여 측정하고 아래의 수식을 통해 de-embedding 하였다. 측정된 back to back 구조의 pad의 S-parameter와 back to back 구조 절반의 S-parameter를 각각 S_{ijm} 과 S_{ij} 라고 한다면 측정된 구조는 다음과 같은 matrix 관계를 가지게 된다.

$$\begin{pmatrix} S_{11} & S_{21} \\ S_{12} & S_{22} \end{pmatrix} - \begin{pmatrix} S_{22} & S_{12} \\ S_{21} & S_{11} \end{pmatrix} = \begin{bmatrix} S_{11m} & S_{21m} \\ S_{21m} & S_{22m} \end{bmatrix} \quad (1)$$

위의 matrix를 R-parameter로 변환한 후 다시 S-parameter로 변환하여 정리하면 아래의 수식을 얻을 수 있다.

$$\begin{bmatrix} S_{11m} & S_{21m} \\ S_{21m} & S_{22m} \end{bmatrix} = \frac{1}{1-S_{22}^2} \begin{bmatrix} S_{11}(1-S_{22}^2) + S_{21}^2 S_{22} & S_{21}^2 \\ S_{21}^2 & S_{11}(1-S_{22}^2) + S_{21}^2 S_{22} \end{bmatrix} \quad (2)$$

위의 식에서

$$S_{11m} = S_{11} + \frac{S_{21}^2 S_{22}}{1-S_{22}^2} \quad (3)$$

$$S_{21m} = \frac{S_{21}^2}{1-S_{22}^2} \quad (4)$$

의 관계식을 구할 수가 있다. 이를 이용하여 측정된 back to back 구조 절반에 대한 S-parameter를 구함으로써 de-embedding을 위한 pad가 포함되어 측정된 package의 결과로부터 package 자체만의 특성을 구해낼 수가 있다. de-embedding을 위한 측정 pad의 경우 충분히 작은 크기이므로 아래와 같이 가정할 수가 있다.

$$|S_{11}|^2 + |S_{21}|^2 = 1 \quad (5)$$

$$|S_{11}| = |S_{22}| \quad (6)$$

$$S_{11} S_{21}^* + S_{21} S_{22}^* = 0 \quad (7)$$

(3)에서 (7)식으로부터

$$\theta_{22} = \sin^{-1} \left[\frac{\text{Re}(S_{11m})}{2\text{Im}(S_{21m})} (|S_{11}| - \frac{1}{|S_{11}|}) \right] \quad (8)$$

를 구할 수 있다.

다음으로 Port 2에서의 반사가 거의 없다고 한다면 $1 - S_{22}^2 \approx 1$ 라고 가정을 할 수가 있다. 그러나 실제 제작된 package의 de-embedding pad의 Port 2는 반사 손실이 존재하게 되며 위의 가정은 오차를 포함하게 된다. 이러한 오차를 위의 가정으로부터 다음의 식과 같이 iteration함으로써 정확한 S_{22} 값을 구할 수가 있다.

$$S_{21} = \sqrt{|S_{21m}|} e^{j\theta_{21m}/2}, \quad |S_{11}| = |S_{22}| = \sqrt{1 - |S_{21m}|}$$

$$\rightarrow \theta_{22} = f(|S_{11}|), \quad S_{22} = \sqrt{1 - |S_{21m}|} e^{j\theta_{22}}$$

$$\begin{aligned} \rightarrow S_{11} &= S_{11m} - S_{21m}S_{22}, S_{21} = \sqrt{S_{21m}(1 - S_{22}^2)} \\ \rightarrow \theta_{22}' &= f(|S_{11}|), S_{22}' = |S_{11}|e^{j\theta_{22}} \\ \rightarrow &\dots\dots\dots \text{(iteration)} \end{aligned}$$

이것을 식(3)과 식(4)에 대입하여 측정된 back to back 구조의 절반인 CBCPW-to-microstrip transition의 특성을 구할 수 있다. 측정된 package와 de-embedding한 package의 S-parameter를 각각 S_{ij} , $S_{ij\text{pkg}}$ 라고 한다면 앞의 iteration을 통해 구하여진 S-parameter로부터 R-parameter를 구하여 아래의 식과 같이 de-embedding함으로써 구하고자 하는 package의 S-parameter를 구할 수가 있다.

$$\begin{aligned} \begin{bmatrix} R_{11} & R_{21} \\ R_{12} & R_{22} \end{bmatrix} \begin{bmatrix} R_{11\text{pkg}} & R_{12\text{pkg}} \\ R_{21\text{pkg}} & R_{22\text{pkg}} \end{bmatrix} \begin{bmatrix} R_{22} & R_{12} \\ R_{21} & R_{11} \end{bmatrix} &= \begin{bmatrix} R_{11t} & R_{21t} \\ R_{21t} & R_{22t} \end{bmatrix} \\ \begin{bmatrix} R_{11\text{pkg}} & R_{12\text{pkg}} \\ R_{21\text{pkg}} & R_{22\text{pkg}} \end{bmatrix} &= \begin{bmatrix} R_{11} & R_{21} \\ R_{12} & R_{22} \end{bmatrix}^{-1} \begin{bmatrix} R_{11t} & R_{21t} \\ R_{21t} & R_{22t} \end{bmatrix} \begin{bmatrix} R_{22} & R_{12} \\ R_{21} & R_{11} \end{bmatrix}^{-1} \\ \begin{bmatrix} R_{11\text{pkg}} & R_{12\text{pkg}} \\ R_{21\text{pkg}} & R_{22\text{pkg}} \end{bmatrix} &\Leftrightarrow \begin{bmatrix} S_{11\text{pkg}} & S_{12\text{pkg}} \\ S_{21\text{pkg}} & S_{22\text{pkg}} \end{bmatrix} \end{aligned}$$

3.2 측정 결과

그림 7은 그림 5 (a)의 back to back 구조를 측정된 결과이다. De-embedding을 위해 제작된 pattern의 측정 결과를 살펴보면 주파수가 20 GHz 이상으로 올라갈수록 손실이 크게 증가하는 것을 볼 수가 있다. 이것은 제작된 pad가 CBCPW-to-microstrip transition의 구조로써 고주파 영역으로 올라가면서 transition 영역에서의 radiation loss가 증가하기 때문이다. 그래프에서도 보면 주파수가 증가하면서 radiation loss 또한 일정하게 증가하는 것을 볼 수가 있다. 이와 함께 반사 손실도 증가하게 된다. 그림 8은 측정된 결과로부터 앞 절에서 제시한 de-embedding 계산을 통해 구하여진 그림 5 (a)의 절반 구조에 대한 계산 결과를 나타낸 그래프이다. 그래프를 보면 그림 7에서의 결과와 비교해 볼 때 power loss가 그림 8의 측정결과와 -3dB 차이가 나는 것을 확인할 수가 있다. Power 측면에서 보면 -3dB가 차이가 난다는 것은 power의 절반이 줄어드는 것을 의미하는 것으로써 pad의 절반을 구하기 위한 계산에 의한 결과가 측정된 pad의 절반의 특성을 가지는 것을 의미하며 de-embedding을 통해서 구하여진 결과가 pad의 측정과 앞 절에서의 de-embedding에 의해 구해진 측정된 pad 구조의 절반에 해당하는 transition pad의 특성이 정확히 구해졌음을 알 수 있다.

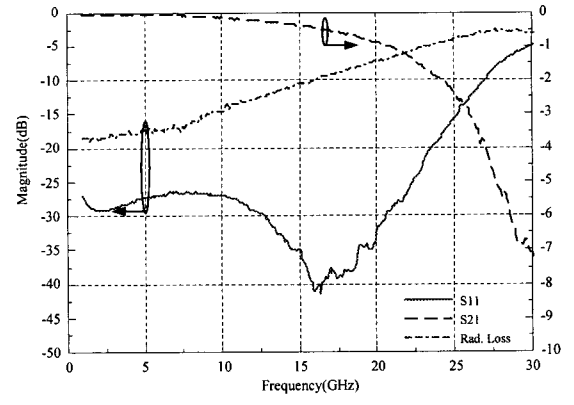


그림 7 Back to back 구조의 pad 측정 결과
Fig. 7 Measured data of the back to back structure pad

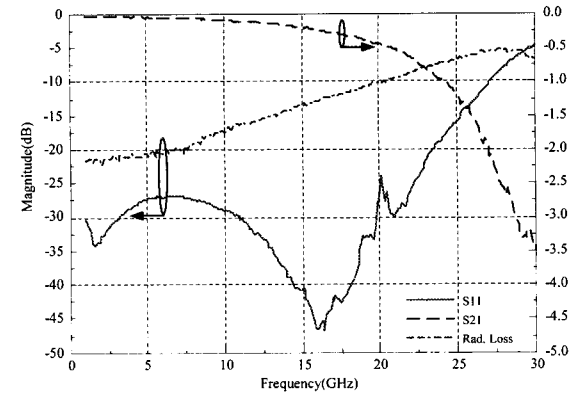


그림 8 Transition pad의 de-embedding 결과
Fig. 8 Data from the de-embedding of transition pad

그림 9는 제작된 package의 측정 결과이며 측정 결과를 보면 그림 7에서의 back to back 구조의 loss로 인해 손실이 크다는 것을 확인할 수가 있다. 그림 10은 앞 절에서 식을 통해 구해진 pad의 절반 특성을 측정된 package로부터 de-embedding 해낸 결과로 그림 2와 같은 간략화된 구조의 실제 제작된 package에 대한 특성을 나타낸 그래프이다. 결과를 살펴보면 제작된 package에서 측정 pad 부분만을 de-embedding 해낸 결과로써 입출력 양쪽의 feedthru와 내부의 마이크로스트립 전송선로를 포함한 전체의 특성을 나타낸 결과이다. 결과를 살펴보면 20GHz까지 S_{21} 특성은 -0.3dB내외의 특성을 나타내고 있다. 이것을 통해 HRS 기판의 전송특성이 매우 좋다는 것을 알 수가 있다. 이러한 전송 특성은 ceramic package에 비해 RF in-out의 feedthru에서의 더 작은 삽입 손실이 갖게 한다. 20 GHz 이상의 특성에서도 전체 손실이 -1dB 이내로써 package의 측정 결과가 두 개의 feedthru와 내부의 마이크로스트립을 포함하고 있다는 점을 고려할 때 30GHz에서도 feedthru 하나에서의 손실은 -0.5dB 정도임을 알 수 있다. 20GHz 이후에 특성이 급격히 나빠지는 것은 package의 내부 cavity의 크기에 따른 package 내부 공간에 의한 영향으로써 칩의 크기가 줄어들고 package cavity의 크기가 감소하게 되면 20GHz이상의 영역에서도 -0.5dB 보다 작은 손실 특성을 얻을 수 있다. 20GHz 이상에서의

package 내부의 공진을 고려한다면 S_{11} 의 경우에도 20GHz 까지 -20dB내외의 특성을 나타내는 것을 볼 수 있다. 전체 radiation loss에 있어서도 20GHz 근처에서를 제외한다면 전체적으로 -15dB 이하의 특성을 나타내는 것을 확인할 수가 있다.

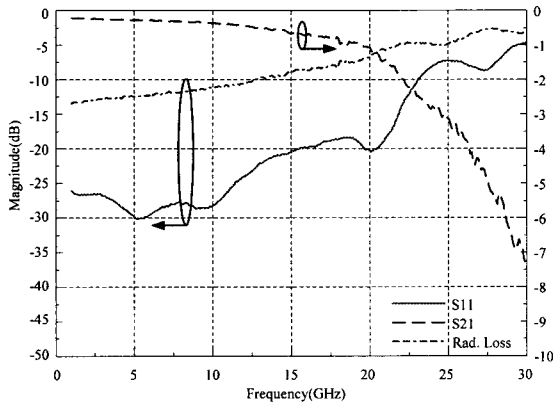


그림 9 package 측정 결과
Fig. 9 Measured result of package

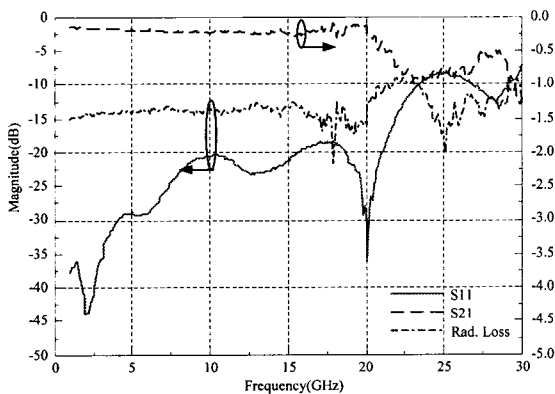


그림 10 측정 package의 de-embedding 결과
Fig. 10 Data from the de-embedding of measured package

4. 결 론

본 논문에서는 RF/microwave 분야에 있어 저가격 고성능의 소자 개발의 새로운 분야로 부각되고 있는 RF MEMS에 대한 내용과 공정을 알아보고 GaAs 기판과 비견할 만한 특성을 갖춘 HRS 기판과 MEMS 공정을 이용하여 기존의 ceramic package를 대체할 수 있는 새롭고 간단한 구조의 MMIC용 silicon package를 설계하고 제작하였다. 새로운 silicon package는 두 장의 HRS 기판을 사용하고 내부에 MMIC 칩을 실장할 수 있는 구조로 설계하였다. 기존의 MMIC 칩을 실장하기 위한 ceramic package에 비해 구조가 간단하고 공정은 용이하게 설계하였다.

특성에 있어서도 제작된 package에서 20GHz 대역까지

S_{21} 특성이 -0.3dB 내외이고 S_{11} 도 -20dB이하로 간단한 구조로 제작되어 고주파 대역에서 사용할 수 있는 특성을 나타내었다. 따라서 제안된 silicon package는 간단한 구조로 공정이 간편하고 저가격의 package 생산이 가능하며 wafer level chip scale packaging뿐만 아니라 소량의 package 제작이 가능하여 회로 및 소자의 test를 위한 연구 수준의 소량 package의 생산도 가능할 것으로 기대된다.

감사의 글

본 연구는 BK(Brain Korea) 21 프로젝트와 산업자원부의 선도기술 개발사업의 정보통신용 초소형 RF MEMS 부품개발과제의 연구비 지원을 받아 수행되었습니다.

참 고 문 헌

- [1] Qun Wu Bumman Kim, "MEMS Technology Moves Increasingly Toward Microwave Applications," Microwave&RF July 2001 pp. 97-104
- [2] D. S. Wein, "Advanced Ceramic Packaging For Microwave And Millimeter Wave Applications," IEEE Trans. Antennas Propagat., vol. 43, Sept. 1995 pp. 940-948
- [3] Y. C. Shih, K. Kasel and L. Fong et. al, "A High Performance Quartz Package For Millimeter-wave Applications," IEEE MTT-S Int. Symp. Dig., 1991 pp. 1063-1066
- [4] J.G. Yook, L.P.B. Katehi, et. al., "Experimental and Theoretical Study of Parasitic Leakage/Resonance in a K/Ka-Band MMIC Package," IEEE Trans. on Microwave Theory and Techniques, Vol. 44 No. 12, December 1996.
- [5] A. C. Reyes, S. M. El-Ghazaly, and S. Dorn et. al, "Silicon As A Microwave Substrate," IEEE MTT-S Int. Symp. Dig., 1994 pp. 1759-1762
- [6] K.E. Petersen, "Silicon as a Mechanical Material," Proceedings of the IEEE, Vol. 70, No.5, May 1982.
- [7] J.E. Licari, "Multichip Module Design, Fabrication and Testing," Mc-Graw Hill, Inc., New York, 1995
- [8] R. M. Henderson, and L. P. B. Katehi, "Silicon-Based Micromachined Packages for High Frequency Applications," IEEE Trans. Microwave Theory Tech., vol. 47, pp. 1563-1569 Aug. 1999
- [9] W. B. Choi, B. K. Ju, et. al, "Anodic Bonding Technique under Low-Temperature and Low-Voltage using Evaporated Glass," Vacuum Microelectronics Conference, 1996. IVMC/96., 9th International, 1996 pp. 427 -430

저 자 소 개



권 영 수 (權 永 洙)

1978년 1월 8일생. 2000년 아주대학교 전자공학부 학사졸업. 2002년 동 대학원 전자공학과 졸업(공학석사). 2002년~현재 동 대학원 박사과정.

Tel : 031-219-2415

Fax : 031-212-9531

E-mail : dawnlake78@hotmail.com



이 해 영 (李 海 英)

1980년 아주대학교 전자공학과(공학사). 1982년 2월 한국과학기술원 전기 및 전자공학과(공학석사). 1982년~1986년 국방부 연구사무관. 1989년 The University of Texas at Austin (공학박사). 1990년~1992년 금성 중앙 연구소 기초1실장(책임연구원).

1992년~현재 아주대학교 전자공학부 정교수.

Tel : 031-219-2367

Fax : 031-212-9531

E-mail : hylee@madang.ajou.ac.kr

박 재 영 (朴 宰 永)

현재 LG 전자기술원 소재재료연구소 MS Gr. 책임연구원

Tel : 02-526-4550

Fax : 82-2-3461-3508,

E-mail : jpark41@LG-Elite.com

김 성 아 (金 成 娥)

현재 LG 전자기술원 소재재료연구소 MS Gr. 연구원