

# SLS 공정을 이용한 p-type poly-Si TFT 제작에 관한 연구

論 文
51C-6-1

## A Study on the Fabrication of p-type poly-Si Thin Film Transistor (TFT) Using Sequential Lateral Solidification(SLS)

李允載\* · 朴政浩\*\* · 金東換\*\*\* · 朴元圭§ · 梁明秀§  
(Younjae Lee · Jungho Pak · Donghwan Kim · Won-Kyu Park · Myoung-Su Yang)

**Abstract** - This paper presents the fabrication of polycrystalline thin film transistor(TFT) using sequential lateral solidification(SLS) of amorphous silicon. The fabricated SLS TFT showed high performance suitable for active matrix liquid crystal display(AMLCD). The SLS process involves (1) a complete melting of selected area via irradiation through a patterned mask, and (2) a precisely controlled pulse translation of the sample with respect to the mask over a distance shorter than the super lateral growth(SLG) distance so that lateral growth extended over a number of iterative steps. The SLS experiment was performed with 550Å a-Si using 308nm XeCl laser having 2 $\mu$ m width. Irradiated laser energy density is 310mJ/cm<sup>2</sup> and pulse duration time was 25ns. The translation distance was 0.6 $\mu$ m/pulse, 0.8 $\mu$ m/pulse respectively. As a result, a directly solidified grain was obtained. Thin film transistors (TFTs) were fabricated on the poly-Si film made by SLS process. The characteristics of fabricated SLS p-type poly-Si TFT device with 2 $\mu$ m channel width and 2 $\mu$ m channel length showed the mobility of 115.5cm<sup>2</sup>/V · s, the threshold voltage of -1.78V, subthreshold slope of 0.29V/dec, I<sub>off</sub> current of 7 $\times$ 10<sup>-14</sup>A at V<sub>DS</sub>=-0.1V and I<sub>on</sub>/I<sub>off</sub> ratio of 2.4 $\times$ 10<sup>7</sup> at V<sub>DS</sub>=-0.1V. As a result, SLS TFT showed superior characteristics to conventional poly-Si TFTs with identical geometry.

**Key Words** : SLS process, XeCl laser, poly-Si TFT.

### 1. 서 론

고도의 정보화 사회를 맞이하여 정보산업 발전을 이룰 수 있는 중요한 부분으로서 디스플레이 소자의 역할이 중요한 위치를 차지하게 되었다. 최근의 liquid crystal display(LCD)의 발전은 디스플레이 기준에 가장 적합하기 때문인데 LCD는 기존의 CRT에 비해서 얇고 가벼우며 평판이고 구동에 소요되는 전력 규모가 작은 특징들을 가지고 있다. LCD는 크게 passive matrix LCD와 active matrix LCD(AMLCD)로 구분되는데 AMLCD의 표시 품질이 우수하여 그 수요가 급증하고 있다. AMLCD의 대표적인 방식인 TFT-LCD는 액정에 전압 인가시 각 화소마다 독립적인 TFT 소자를 통해 전압 정보를 전달하는 방식이다.

AMLCD 기술에서 핵심이 되는 부분은 thin film transistor(TFT) 제작에 있다. 1972년에 W. E. Spear과 P. G. LeComber에 의해서 제작된 수소화된 비정질 실리콘 박막 트랜지스터는 1981년에 상업화가 되었고 비정질 실리콘 박막 트랜지스터를 유리기판 위에 제작함으로써 자연 색의 구현이

가능하게 되었다 [1]. 지난 10년 동안 LCD 화면의 크기가 늘어나면서 화소의 높은 집적도를 요구하게 되었고 화소의 전하 충전 시간을 줄이기 위하여 높은 이동도를 가지는 TFT가 요구되었다. 그러나 수소화된 비정질 실리콘 TFT는 높은 집적도를 가지고 AMLCD에 사용하기에 어려운 점이 많이 있는데 수소화된 비정질 실리콘 박막의 경우 트랩으로 작용하는 결정립 경계가 많아서 TFT 소자의 채널영역의 성능 저하를 가져온다. 즉, 이동도가 낮아지고 문턱전압이 증가하고 subthreshold slope이 증가하며 field effect mobility가 감소하고 누설전류가 증가하게 된다.

이를 극복하기 위해서 결정립 경계가 적은 단결정과 유사한 특성을 가지는 다결정 실리콘 TFT를 제작하기 위한 노력이 이루어져 왔다. 기본적으로 TFT 소자를 AMLCD에 적용하기 위해서는 유리를 기판으로 사용할 수 있어야 하는데 유리기판의 비정질적인 성질을 고려해야 하고 유리기판이 손상받지 않을 정도의 낮은 공정온도에서 제작이 이루어져야 한다. Low pressure chemical vapor deposition(LPCVD)로 증착한 다결정실리콘 위에 TFT 소자를 제작한 경우 높은 공정온도와 작은 결정립 크기(<50nm)를 가지는 단점이 있었다. 그래서 결정립을 크게 하기 위한 결정화를 위해 다음의 방법이 시도되었다. 먼저 비정질 실리콘을 증착한 후 온도를 높여서 결정화시키는 방법인 solid phase crystallization(SPC)는 furnace annealing(600 $^{\circ}$ C)나 rapid thermal annealing(RTA)을 사용하여 결정화를 하는데 최소한 600 $^{\circ}$ C 정도의 온도가 요구되므로 공정온도가 높아서 유리기판에 적용하기가 쉽지 않고 결정화 후의 결정립들간의 균일성이 문제가 되고 있다[2]. 결

\* 準 會 員 : 高麗大 電氣工學科 碩士.

\*\* 正 會 員 : 高麗大 電氣工學科 副教授 · 工博

\*\*\* 正 會 員 : 高麗大 金屬工學科 副教授 · 工博

§ 正 會 員 : LG Philips-LCD 安養研究所

接受日字 : 2002年 2月 20日

最終完了 : 2002年 3月 21日

정확을 하기 위한 또 다른 방법의 하나인 metal induced crystallization(MIC) 방법은 금속 불순물을 주입하여 낮은 온도에서 결정화를 촉진시키는 방법이다. 일반적으로 실리콘이 드를 형성하여 공정을 진행하고 특별한 공정의 개발이 필요하다 [3].

1980년대 중반에 Sony 연구진에서 개발된 excimer laser crystallization(ELC) 방법은 유리기판에 적용될 수 있는 결정화 방법을 사용하고 있고 레이저 에너지에 따라서 다양한 결과를 얻을 수 있었다. ELC 방법은 비정질 실리콘 위에 높은 에너지의 레이저 펄스를 짧은 시간동안 조사함으로써 비정질 실리콘을 결정화시키는 방법인데 공정 중에 주로 실리콘 표면의 온도만 증가하므로 기판 영역의 온도는 그리 크게 증가하지 않는다. 곧, 낮은 온도의 공정조건을 요구하는 유리기판에 적합한 방법이고 SPC 방법에 비해서 비정질 실리콘 박막의 용융과 응고 과정을 통해 짧은 시간 동안에 결정화되기 때문에 비정질 실리콘이 일정한 온도에서 균일한 결정화를 이룰 수 있다. 그러나 ELC 방법은 레이저를 조사하기 위한 공정 범위가 고정되어 있고 큰 결정립 크기를 갖는 미세구조의 제어가 어려워져서 원하는 방향으로 결정립 경계가 배열될 수 있다 [4,5]. 이를 극복하기 위해 새로운 ELC 방법의 하나인 artificially controlled super lateral growth(ACSLG)가 사용되었다. ACSLG 방법중의 하나인 sequential lateral solidification(SLS)는 패턴된 마스크 사이로 조사된 레이저에 의해서 실리콘 표면을 완전히 녹인 후에 마스크를 약간씩 이동시켜서 수평방향으로 확장된 결정립을 얻는 방법이다. 이 방법으로 원하는 방향으로 성장하는 결정립을 얻을 수 있게 되었다 [6,7]. 만일, 채널의 길이방향으로 다결정 실리콘을 성장시키게 될 경우 채널 영역 내에 보다 적은 결정립 경계가 존재하게 되어 보다 향상된 특성을 갖는 TFT 소자를 기대할 수 있을 것이다.

본 논문에서는 원하는 방향으로 결정이 성장하는 결정립을 얻기 위한 SLS 방법의 이론적인 배경과 실제 SLS 방법을 이용하여 비정질 실리콘을 결정화하였을 때 박막의 결정립 변화에 대해 서술하였다. 또한 SLS 방법을 이용하여 채널의 길이방향으로 다결정 실리콘을 성장시킨 TFT 소자의 제작 공정과 제작된 p-type TFT 소자의 전류-전압 특성을 측정하고 이에 대한 평가를 하였다.

## 2. 본 론

### 2.1 SLS 결정화 방법의 이론적 배경 및 실험

원하는 방향으로 결정립을 성장시키는 SLS 결정화 방법은 1) 패턴된 마스크를 통해 레이저가 조사되고 이 영역의 실리콘이 녹음(액체상태의 실리콘이 형성됨) 2) 액체상태의 실리콘이 응고되면서 마스크에 의해서 레이저가 조사되지 않은 부분(고체상태의 실리콘)으로부터 액체 상태의 실리콘으로의 결정 성장 3) 위의 과정을 super lateral growth(SLG) 길이보다 작은 거리만큼 마스크를 이동시키면서 반복 4) 마스크의 이동방향으로 계속해서 결정이 성장하는 과정으로 진행된다.

위의 과정 중에서 먼저 첫 번째 과정인 레이저에 의해서 실리콘이 녹는 현상과 결정 형성과정 중에 조사되는 레이저의 에너지 밀도가 작을 경우 실리콘이 부분적으로 녹게 되고

순간적으로 결정화가 진행된다. 이 에너지 영역은 레이저가 조사된 실리콘 영역의 녹는 깊이가 실리콘 박막의 두께보다 작은 영역이므로 실리콘 박막 하부에서 녹지 않은 부분이 연속적으로 존재하며 이 부분에서부터 고체상태인 영역으로 결정이 성장하고 결국 성장하는 결정의 충돌에 의해서 구조가 결정이 된다. 결과적으로 작은 결정립을 가지는 다결정실리콘 구조를 가지게 되고 결정립의 크기가 박막의 두께보다 작게 된다.

조사되는 레이저의 에너지 밀도가 커서 실리콘 박막이 완전히 녹을 수 있는 에너지 이상이 되면 SLG 현상이 발생한다. SLG 현상은 박막의 수평방향으로 큰 결정립이 성장하는 현상이다. 실리콘이 녹는 깊이가 박막의 두께와 비슷하기 때문에 녹지 않은 실리콘 영역이 이산적으로 분포하고 녹지 않은 실리콘 영역이 일정한 거리를 두고 분포하므로 계면과 기판 영역의 온도에 따라 변하는 응고 속도와 응집 핵 비율에 따라서 성장하는 결정립이 충돌하기 전까지 수평방향으로 결정이 성장한다. 결과적으로 이 영역에서 가장 큰 결정구조를 얻을 수 있고 이 때 형성된 다결정실리콘의 결정립은  $\mu\text{m}$  단위의 크기를 가진다.

조사되는 레이저의 에너지 밀도가 이보다 크게 되면 조사된 모든 실리콘 영역이 완전히 녹게 되고 액체상태의 실리콘으로부터 응집 핵이 발생한다. 응고 시의 온도가 빠르게 감소하면 액체 상태의 실리콘이 급격하게 응고가 진행된다. 곧 이 영역에서 기판온도가 낮은 경우 온도가 급격히 감소하고 빠른 시간 안에 결정화가 되고 수백 Å 미만의 결정립 크기를 갖는 다결정실리콘 구조를 가지게 된다. 결과적으로 SLG 영역에서 응집 핵이 발생하기 전에 녹지 않은 부분으로부터 결정성장이 이루어지므로 응집 핵은 거의 발생하지 않고 결정들이 수평방향으로 성장하므로 가장 큰 결정립을 얻을 수 있다. 결국 가장 큰 결정립을 얻기 위해 이 영역의 레이저 에너지를 사용한다[8].

SLS 방법은 SLG 영역의 레이저 에너지를 조사하여 고체상태인 실리콘 영역에서부터 액체상태의 영역으로 결정이 성장하는 과정을 이용한다. 응고과정 중에 SLG 거리(단일 레이저빔을 조사하였을 때 수평방향으로 성장할 수 있는 거리)보다 작은 거리만큼을 레이저가 이동하면 다음 단계에 조사되는 영역이 현재 녹아 있는 영역과 하나의 결정립이 될 수 있

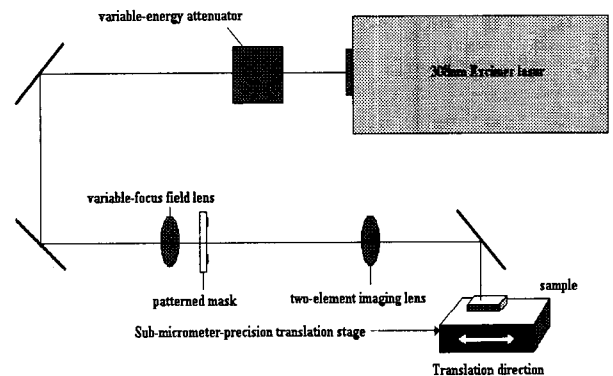


그림 1 SLS process를 위한 projection system.  
Fig. 1 The projection system for SLS process.

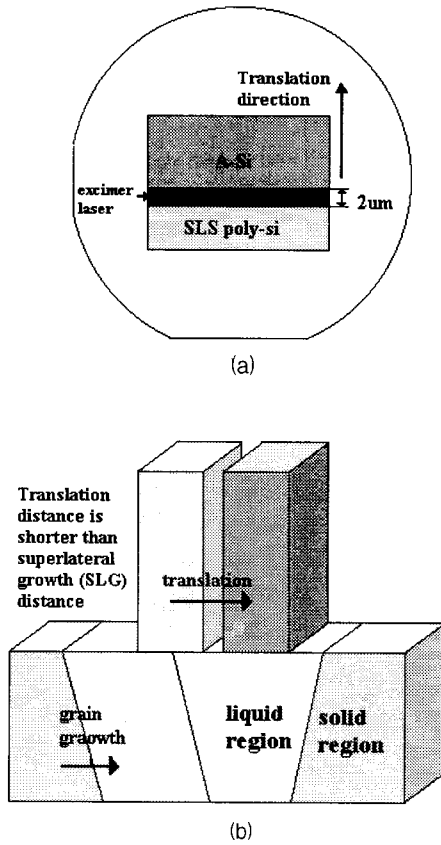


그림 2 SLS 공정 개략도. (a)평면도, (b)3차원 개략도.  
 Fig. 2 The schematics of the SLS process.  
 (a)Top view, (b)3-D schematics.

으며 이 과정을 계속해서 반복하면 레이저빔의 이동 방향으로 계속해서 성장하는 결정립을 얻을 수 있다.

SLS 공정은 비정질 실리콘에 패터닝된 마스크를 통하여 레이저를 조사함으로써 이루어진다. 비정질 실리콘에 조사하는 레이저는 308nm 파장의 XeCl을 사용하였고 그림 1에서 보는 바와 같이 variable lens attenuator, variable field lens, patterned mask, two-element imaging lens를 통하여 sample에 조사된다. 레이저가 비정질 실리콘에 조사된 후에 submicron translation stage를 SLG 거리보다 작은 거리만큼 이동시키면서 공정을 진행된다. 레이저를 조사한 시료는 silicon wafer 위에 PECVD oxide를 300°C에서 3000Å 증착하고 비정질 실리콘을 PECVD로 300°C에서 550Å 증착하여 사용하였다.

SLS 공정은 그림 2에서 보듯이 310mJ/cm<sup>2</sup> 에너지 밀도를 가지는 2μm의 폭의 XeCl 레이저빔을 0.6μm step/pulse, 0.8μm step/pulse 만큼 웨이퍼에 대해서 수직방향으로 이동시키면서 조사를 하고 레이저가 머무는 시간은 25ns로 하여 진행하였다. 공정 진행은 상온에서 실시하였으므로 응고과정이 상온에서 진행된 것으로 예상되고 SLS가 진행된 부분의 전체 면적은 2×2cm<sup>2</sup> 이다. 표 1에 SLS 공정조건을 요약하였다.

그림 3은 레이저가 반복 입사되면서 박막이 손상된 부분의 결정립을 보여준다. 손상된 부분은 처음의 레이저가 한번 지나가서 응고 과정이 끝나고 결정이 성장한 후에 다시 레이저

가 조사되어 박막이 타버린 부분으로 생각이 되므로 결정 성장한 결정립을 그대로 보여준다고 생각된다. 그림에서 보면 결정립이 빔의 이동 방향으로 길게 성장한 것을 알 수 있다. 결정립 경계는 결정이 성장하는 방향에 수평으로 배열되어

표 1 SLS 공정 조건

Table 1 The SLS process conditions

Process conditions	
Laser	XeCl, 308nm, 310mJ/cm <sup>2</sup>
Sample 상태	oxide 3000Å (PECVD, 300°C) 증착 비정질 실리콘 550Å (PECVD, 300°C) 증착
Beam 폭	2μm
Laser translation distance	0.8μm step/pulse
Laser pulse duration	25ns
SLS poly-Si area	2×2cm <sup>2</sup>

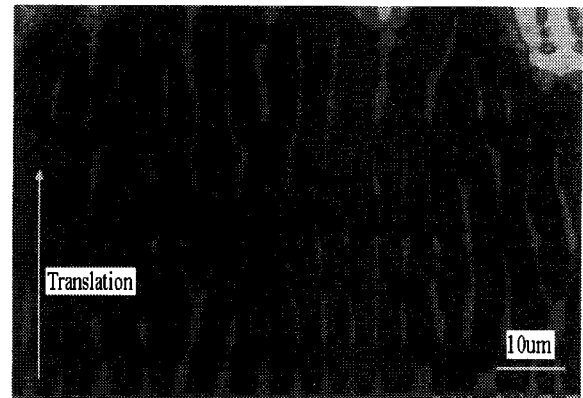


그림 3 레이저가 반복 입사된 박막의 결정립  
 Fig. 3 The grains of film that multi-irradiated by laser

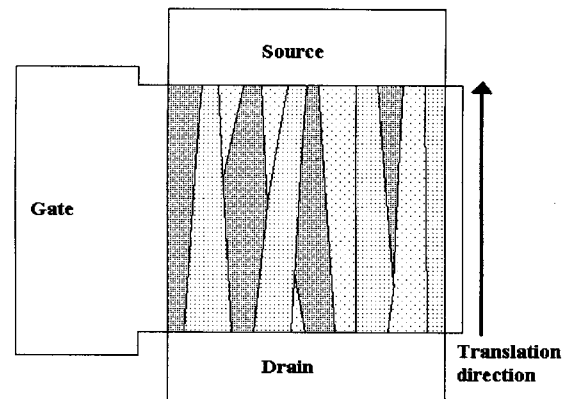


그림 4 SLS 실리콘 TFT의 결정립 경계  
 Fig. 4 The grain boundary of SLS silicon

있고(응고 과정시의 액체와 고체사이의 경계면에 수직) 바로 옆에서 성장하는 결정립과의 충돌에 의해서 결정이 된다는 것을 알 수 있는데 만약 바로 옆의 결정립과 충돌하지 않는다면 빔의 이동 방향으로 계속해서 성장할 것이다.

위의 그림 3와 같은 결정립 경계를 가지는 박막에 그림 4와 같이 수직 방향으로 소스와 드레인이 배열된 TFT 소자를 제작할 경우 수직방향으로의 결정립 경계가 거의 존재하지 않고 결정립 경계의 대부분이 low angle boundary를 가지게 된다. Low-angle-boundary는 high angle boundary와는 다르게 다수 캐리어 소자에 악영향을 미치는 전위(dislocation)가 적어서 그림 4와 같이 TFT 소자를 제작할 경우 우수한 성능의 TFT를 얻을 수 있을 것으로 기대된다.

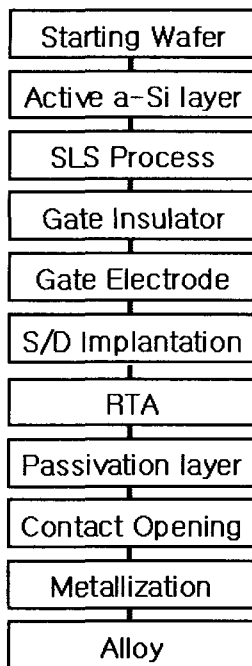
**2.2 SLS 다결정실리콘 TFT 제작 공정**

SLS 결정화를 이용한 coplanar 형태의 TFT 소자 제작을 하였으며 공정의 개략도는 표 2와 같다. 저온 공정조건을 확립하기 위해 implantation 후의 활성화 공정을 RTA(1000℃, 10sec)로 진행하였고 모든 절연막의 증착은 저온에서 PECVD로 진행을 하였다.

Coplanar type SLS TFT 소자의 세부 공정은 다음과 같이 진행하였다. 먼저 기판과 소자를 구성할 부분인 활성영역(active area) 사이의 절연을 위해서 buffer oxide를 300℃에서 PECVD로 3000Å 증착을 하였고 활성 영역으로 사용될 부분인 비정질 실리콘을 마찬가지로 300℃에서 PECVD로 550Å 증착을 하였다.

막이 증착된 상태에서 탈수소화를 430℃에서 2시간동안 진행한 후 표 1의 조건으로 SLS 결정화를 진행하였다. 그 후에

표 2 SLS 다결정 TFT 제작 흐름도  
Table 2 The Fabrication process of SLS poly-Si TFT



세정을 위해서 200:1 BHF에 10sec 동안 담근 후 활성영역 패턴을 위한 사진공정을 진행하였다. 사진공정을 진행한 후에 활성영역 정의를 위한 실리콘 식각은 STS ICP 식각장비를 사용하여 main power 300W, bias power 200W, pressure 7mTorr, Cl2 gas 40sccm의 공정조건으로 20초 동안 식각을 하였다. 식각 후, PR이 완전히 제거되지 않으면 추후 공정에 심각한 영향을 미치므로 PR 제거를 위해 H2SO4와 H2O2를 4:1의 비율로 혼합한 용액에 120℃에서 20min 동안 담근 후 DI water로 세정한 후 spin dryer로 건조시켰다.

게이트 절연체는 직접 채널영역 계면에 접해있기 때문에 소자 특성에 많은 영향을 미친다. 일반적으로 좋은 계면 및 절연 특성을 갖는 열산화막을 사용하면 소자특성이 더 좋지만 공정온도가 1000℃ 이상 되므로 300℃에서 증착한 PECVD oxide를 1000Å 증착하여 사용하였다. 게이트 전극은 625℃에서 다결정실리콘을 3000Å 증착하여 사용하였고 전도도 향상을 위해서 POCl3 도핑을 900℃에서 20분 동안 진행하였다. 게이트 전극 정의를 위한 사진공정을 진행한 후, TCP9600 식각장비를 이용하여 main power 200W, bias power 150W, pressure 5mTorr, Cl2 gas 70sccm과 O2 gas 5sccm의 공정조건으로 식각을 진행하였다.

PR을 제거한 후 추후 공정인 high ion implantation을 하기 위한 사진공정을 진행하였다. 이때 사용한 PR은 4100H로서 high ion implantation 시 높은 공정온도에서 burning이 잘 일어나지 않는 PR이다. High ion implantation은 소스, 드레인의 면저항을 1kΩ/□ 미만을 낮추기 위해 설정한 공정조건으로 진행하였다. 시뮬레이션을 통해 n+ implantation은 phosphorus를 75keV의 에너지, 3×10<sup>15</sup>/cm<sup>2</sup>의 도즈로 주입하여 진행하였고 p+ implantation은 boron을 30keV의 에너지, 3×10<sup>15</sup>/cm<sup>2</sup>의 도즈로 주입하여 진행하였다. High ion implantation 후의 PR은 high ion implantation 시 공정온도가 높게 올라가므로 PR이 경화가 되어서 잘 제거가 되지 않으므로 O2 plasma를 이용해서 먼저 제거를 한 후에 AZ remover 용액을 이용하여 O2 plasma로 완전히 제거가 되지 않은 PR을 제거하였다. PR 제거를 완전히 한 후 ion implantation한 이온들의 활성화를 위해서 1000℃에서 10초 동안 RTA를 진행하였다.

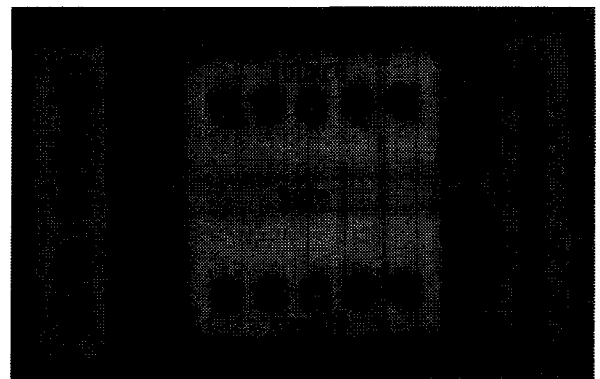


그림 5 Contact hole etch까지 진행된 소자의 평면도  
Fig. 5 The plane figure of contact hole etch processed device.

Implantation 및 RTA 공정 후의 금속 배선과의 절연을 위해 역시 300°C의 PECVD에서 oxide와 nitride를 각각 3000Å, 1000Å 증착을 하였고 contact hole 식각을 진행하였다. 그림 5는 contact hole 식각까지 진행된 소자의 평면도를 보여주고 있다. 사진공정후의 절연막 식각은 P-5000 식각장비를 사용하여 nitride 식각은 power 600W, pressure 100mTorr, CF4 gas 10sccm, CHF3 gas 15sccm, O2 gas 8sccm, Ar gas 10sccm의 공정조건을 사용하여 20초 동안 식각을 진행하였으며 oxide 식각은 power 600W, pressure 130mTorr, CF4 gas 5sccm, CHF3 gas 25sccm, Ar gas 70sccm의 공정조건을 사용하여 85초 동안 식각을 진행하였다. 식각 후 PR 제거는 활성영역의 PR 제거와 동일한 조건으로 실시하였다.

Contact hole 식각 후에 금속 배선을 위해서 1%Si-Al을 5000Å 증착하였다. 사진공정은 활성영역 식각과 마찬가지로 AZ1512를 사용하여 진행하였고 1%Si-Al 식각은 STS Al 식각 장비를 사용하여 main power 1000W, bias power 125W, pressure 2mTorr, Cl2 gas 20sccm의 공정조건을 사용하여 79초 동안 식각을 하였다. 1%Si-Al 식각 후 PR 제거는 40°C의 AZ remover 용액에서 20분 동안 진행하였다. 앞의 공정에서 사용하던 H2SO4의 경우 금속을 식각하기 때문에 PR 제거에 사용할 수가 없었고 금속을 식각하지 않는 AZ remover 용액을 이용하여 PR 제거를 했다. PR을 제거한 후에 금속과 활성영역 사이의 원활한 contact 형성을 위해서 alloy를 450°C에서 30분 동안 진행하였다.

표 3 전류-전압 특성 측정 변수 범위

Table 3 The range of Current-Voltage characteristics measurement variables

	$V_G$	$V_D$
$V_G$ - $I_D$ 특성 측정 변수 범위	15V ~ -20V	-0.1V, -10V
$V_D$ - $I_D$ 특성 측정 변수 범위	-2V, -4V, -6V, -8V	2V ~ -12V

2.3 SLS 다결정실리콘 TFT 전류-전압 특성 측정 및 결과

P-type SLS 다결정실리콘 TFT는 3단자로 제작을 하였기 때문에 소스를 접지하고 각각 게이트와 드레인에 전압을 인가하여 전류-전압 특성 측정을 하였다. 측정장비는 HP4145를 사용하였으며 전달 특성( $I_D$ - $V_G$ )과 출력 특성( $I_D$ - $V_D$ )을 측정하였다. 특성 측정을 위한 전압 및 전류의 측정변수 범위는 표 3과 같다.

SLS 다결정실리콘 TFT의 전달 특성 평가를 위해서  $V_{DS}$ 가 -0.1V일 때  $I_{off}$ ,  $I_{on}$  전류를 측정하였으며  $I_{on}/I_{off}$  비를 계산하여 on/off 특성을 평가하였다. 소자의 스위칭 특성을 살펴 보기 위해서 subthreshold slope과 문턱전압을 측정하였다. 그리고  $V_D$ 가 -0.1V일 때  $I_D$ 를  $V_G$ 에 대해서 미분하여  $g_m$ 을 구한 후 이동도( $\mu_{fe}$ )를 아래와 같이 계산하였다.

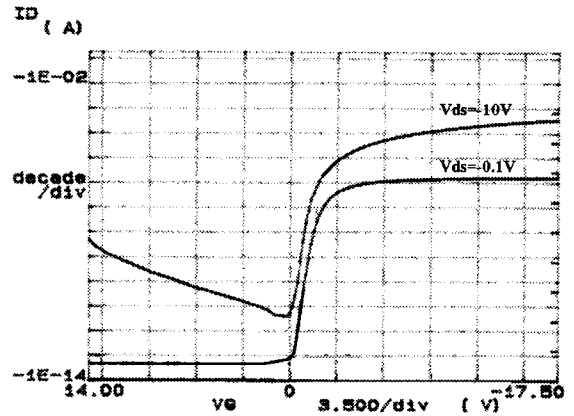


그림 6 W/L=2/2µm인 p-type TFT 소자의 ID-VG 특성. Fig. 6 The ID-VG characteristics of p-type TFT with W/L=2/2µm.

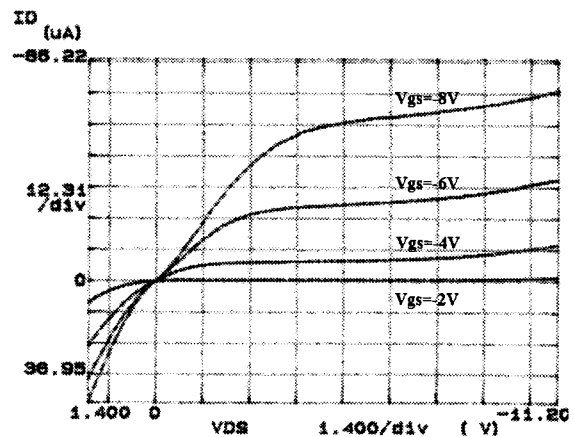


그림 7 W/L=2/2µm인 p-type TFT 소자의 ID-VD 특성. Fig. 7 The ID-VD characteristics of p-type TFT with W/L=2/2µm.

$$\mu_{fe} = \frac{Lg_m}{WC_iV_D}$$

이 때의  $V_D$  값은 -0.1V로 하였으며  $W$ 와  $L$ 에 각각 채널의 폭과 길이를 대입하였고, 게이트 캐패시턴스( $C_i$ ) 값은 PECVD oxide를 1000Å 증착하였을 때를 기준으로 3.5µf/cm²로 가정을 하여 계산하였다.

그림 6과 7은 각각 표1의 공정조건으로 SLS 결정화를 한 후 제작한 채널의 폭과 길이가 각각 2µm, 2µm인 p-type TFT의  $I_D$ - $V_G$ ,  $I_D$ - $V_D$  전류 전압 특성을 보여주고 있다.  $V_{DS}$ 가 -0.1V일 때  $I_{off}$ 는  $7 \times 10^{-14}$ A/µm로 매우 낮은 누설전류를 보여주고 있으며  $I_{on}$ 은  $1.5 \times 10^{-6}$ A/µm이므로 약  $10^7$ 정도의  $I_{on}/I_{off}$  비를 보여주고 있다. 이동도는  $115.5 \text{cm}^2/\text{V} \cdot \text{s}$ , subthreshold slope은 0.29V/dec이고 문턱 전압은 -1.78V 정도를 보여주고 있다. 결과적으로 기존의 p-type TFT에 비해서 우수한 특성을 얻을 수 있었다.

3. 결 론

본 논문에서는 보다 우수한 특성을 가지는 TFT 소자를 얻기 위해 SLS 방법을 이용하여 TFT 소자를 제작하고 제작한 소자의 특성을 분석하였다. 기존의 비정질 실리콘 TFT나 다결정 실리콘 TFT의 경우 결정립 경계로 인한 트랩에 의해 소자 특성이 저하되었다. 결정립 크기를 크게 해서 소자 특성을 향상시키기 위한 방법 중에 하나인 SLS 방법은 종전의 비정질 실리콘의 결정화 방법인 SPC, MIC, ELC 방법에 비해서 유리기판에 적용할 수 있는 저온공정에 적합한 방법이고 방향성을 가지고 성장하는 결정립을 얻을 수 있어 우수한 전기적 특성을 얻을 수 있는 장점이 있고 결정립의 균일성이 우수하다. SLS 결정화를 진행한 결과 그림 3에서와 같이 레이저빔의 이동 방향으로 성장하는 결정 구조를 얻을 수 있었고 SLS 결정화를 진행한 박막 위에 결정립의 성장 방향으로 소스, 드레인 영역을 가지는 TFT 소자를 제작하면 운반자의 이동 방향으로 결정립 경계가 거의 없는 단결정화된 TFT와 거의 유사한 특성을 가지는 소자를 얻을 수 있는 가능성을 보여주었다.

SLS 결정화를 진행한 박막에 2.2에서 서술한 바와 같이 TFT 소자를 제작한 후 채널의 폭과 길이가 각각 2 $\mu$ m, 2 $\mu$ m인 p-type TFT 소자의  $V_G$ - $I_D$  전달 특성,  $V_D$ - $I_D$  출력 특성을 HP4145로 측정하였고 측정결과를 분석하였다. 특성 측정 결과  $V_{DS}$ 가 -0.1V 일 때  $I_{off}$ 는  $7 \times 10^{-14}$  A/ $\mu$ m,  $I_{on}$ 은  $1.5 \times 10^{-6}$  A/ $\mu$ m를 보여주었으므로 낮은 누설 전류와 약  $10^7$  정도의 높은  $I_{on}/I_{off}$  비를 보여주고 있다. 이동도는  $115.5 \text{cm}^2/\text{V} \cdot \text{s}$ , subthreshold slope은 0.29V/dec이고 문턱 전압은 -1.78V 정도를 보여주었다. 결과적으로 제작한 SLS TFT 소자는 기존의 TFT 소자에 비해서  $I_{off}$  전류,  $I_{on}/I_{off}$  비, subthreshold swing, 이동도 등의 특성에서 우수한 특성을 보였다.

감사의 글

본 연구는 LG Philips LCD(주)와 고려대학교 특별 연구비 및 두뇌한국(BK21) 사업에 의하여 부분적으로 지원되어 수행된 연구로서 관계부처에 감사 드립니다.

참 고 문 헌

[1] J. Jang, B. C. Lim, "A-Si thin film transistors with planarized gate insulators", *Tech. Pap. Digest, SID '99*, pp. 728-731, San Jose, California, 1999.

[2] J. C. Muller and S. Martinuzzi, "Multicrystalline silicon materials: Effects of classical and rapid thermal process", *J. Mater. Res.*, Vol. 13, No. 10, pp. 2721-2731, Oct, 1998.

[3] J. Jang, "Metal induced crystallization of amorphous silicon", *WOFE '99*, Villard de Lans, France, May 31- June 4, 1999.

[4] K. H. Lee, J. T. Hwang, C. Y. Jung, T. H. Ihn, S. J. Yi, H. I. Jeon, W. G. Lee and D. H. Choi, "Gigantic crystal grain by excimer laser with a pulse duration of 200ns and its application to TFT", *J. Korean, Phys. Society*, Vol. 34, pp. S268-S272, June 1999.

[5] 양명수, 정윤희, 문대규, 박원규, 소희섭, "Simultaneous dehydrogenation and recrystallization by excimer laser annealing for amorphous silicon films", 제 5회 반도체 학술대회, pp. 231-232, February, 1998.

[6] James S. Im, M. A. Crowder, Robert S. Sposili, J. P. Leonard, H. J. Kim, J. H. Yoon, Vikas V. Gupta, H. Jin Song, and Hans S. Cho, "Controlled super-lateral growth of Si films for microstructural manipulation and optimization", *MRS*, Vol. 166. pp. 613-617, April 1998.

[7] James S. Im and H. J. Kim, "On the super lateral growth phenomenon observed in excimer laser-induced crystallization of Si films", *Appl. Phys. Lett*, 64 (17), pp. 2303-2305, April 1994.

[8] James S. Im and H. J. Kim, "Phase transformation mechanisms involved in excimer laser crystallization of amorphous silicon films", *Appl. Phys. Lett*, 63 (14), pp. 1969-1971, October 1993.

저 자 소 개



**이 윤 재 (李 允 載)**

1977년 2월 25일 생. 1999년 고려대 전기공학과 졸업(학사). 2000 ~ 2002 동대학원 전기공학과 졸업(석사).

Tel : 02-3290-3238

Fax : 02-921-0544

E-mail : leeyj95@hanmail.net



**박 정 호 (朴 政 浩)**

1960년 2월 5일생, 1985년 미국 Purdue대 전기공학과 졸업(학사), 1988년 동대학원 전기공학과 졸업(석사), 1992년 동대학원 전기공학과 졸업(공학박), 1992년~1995년 미국 Intel사 책임연구원, 1995년~1998년 고려대 공대 전기공학과 조교수,

1998년~현재 고려대 공대 전기공학과 부교수.

Tel : 02-3290-3238

Fax : 02-921-0544

E-mail : pak@korea.ac.kr



**김 동 환 (金 東 換)**

1982년 서울대 금속공학과 졸업(학사), 1984년 동대학원 금속공학과 졸업(석사), 1993년 Stanford 재료공학과 졸업(공학박), 1993년~1994년 미국 콜로라도 자원공학대학 물리학과 조교수, 1994년~1995년 Applied Material, Inc. 엔지니어, 1995년~현재 고려대 재료금속공학부 부교수.

Tel : 02-3290-3275

Fax : 02-928-3584

E-mail : donghwan@korea.ac.kr

**박 원 규 (朴 元 圭)**

1982년 서울대학교 금속공학과 졸업(공학사), 1984년 서울대학교 금속공학과 대학원 졸업(공학 석사), 1986년 금성사 입사, 현 LG.Philips LCD 안양연구소 책임연구원

Tel : 031-450-7435

Fax : 031-450-7406

E-mail : wkpark@lgphilips-lcd.com

**양 명 수 (梁 明 秀)**

1987년 한양대학교 전자공학과 졸업(공학사), 1992년 한양대학교 전자공학과 대학원 졸업(공학 석사), 1992년 금성사 입사, 현 LG.Philips LCD 안양연구소 책임연구원.

Tel : 031-450-7435

Fax : 031-450-7406

E-mail : yangms@lgphilips-lcd.com