

고온 초전도 RSFQ A/D 변환기의 시뮬레이션과 설계

Simulation of HTS RSFQ A/D Converter and its Layout

남두우*, 정구락**, 강준희***

Doo-Woo Nam*, Ku Rak Jung**, Joonhee Kang***

Abstract: Since the high performance analog-to-digital converter can be built with Rapid Single Flux Quantum (RSFQ) logic circuits the development of superconductive analog-to-digital converter has attracted a lot of interests as one of the most prospective area of the application of Josephson Junction technology. One of the main advantages in using Rapid Single Flux Quantum logic in the analog-to-digital converter is the low voltage output from the Josephson junction switching, and hence the high resolution.

To design an analog-digital converter, first we have used XIC tool to compose a circuit schematic, and then studied the operational principle of the circuit with WRSPICE tool. Through this process, we obtained the proper circuit diagram of an 1-bit analog-digital converter circuit. The optimized circuit was laid out as a mask drawing. Inductance values of the circuit layout were calculated with L-meter.

Key Words: superconductor, analog-to-digital, converter, flux, Josephson.

1. 서 론

일찍부터 선진 외국에서는 초고속 전자소자 분야의 중요성을 인식하고 저온 초전도체를 사용한 단자속 양자회로의 개발 연구를 시작하였고, [5], [6], [7] 고온 초전도체가

발견된 이후에는 고온 초전도체를 이용한 회로의 개발에도 많은 연구가 이루어지고 있다. 저온 초전도체의 경우 작동 온도가 약 4 K 부근에 머무는 단점이 있으나, 고온 초전도체의 경우에는 30 K - 40 K 정도로 작동 온도가 높아 상업적 냉각기의 사용이 가능하게 된다. 이러한 상업적 냉각기의 사용은 초전도체를 보다 실용적인 시스템에 적용 가능토록 하여 준다. 또한 저온 초전도체의 스위칭 속도보다 고온 초전도체의 스위칭 속도가 훨씬 빠르므로 이를 이용한 고기능 전자회로의 개발 전망을 밝게 하여준다. [4]

본 연구에서는 기존에 개발된 저온 초전도체를 사

용한 단자속 양자회로의 개념을 고온 초전도체에 적용하여 고온 초전도체 단자속 양자 1-bit A/D 변환기 회로를 시뮬레이션을 통하여 설계하였으며 회로 구성 요소들의 최적 값들을 알아내고 회로의 설계를 하였다.

2. 본 론

2.1. 회로의 구성

본 연구에서는 Xic와 WRspice라는 소프트웨어를 사용하여 회로를 시뮬레이션 하였다. 또한 Xic를 사용하여 설계를 하고 L-meter를 사용하여 설계에 대한 인덕터값을 결정하였다. WRspice를 사용한 회로의 시뮬레이션을 통하여 Xic로 설계된 회로의 정상적인 작동여부를 확인하고 또한 각 소자의 회로요소들이 작동하는 최적 값을 찾아 최적의 작동성능을 발휘할 수 있는 회로를 설계할 수 있었다. Xic는 회로의 설계를 하는데도 사용된다.

본 연구에서 설계한 회로는 1-bit A/D(Analog-Digital) 변환기로서 Fig.1에 보여진 바와 같이 전체 회로를 구성하는 부분은 크게 세 부분으로 나눌 수 있다. 우선 입력신호에 비례하여 일정한 펄스를 보내주는 펄스발생기(pulse generator) 부분과 계수기(counter)의 역할을 하는 T Flip-Flop(Toggle Flip Flop)부분이 있고 pulse generator와 T Flip-Flop 간의 간섭을 최소화시키는 역할을 해주는 JTL(Josephson Transmission Line)부분이 있다. 회로의 설계에서 $I_c R_n$ 은 0.3 mV로 되도록하여 시뮬레이션을 수행하였으며, 접합의 최소 임계전류(I_c) 값은 2 μ m의 선폭을 갖는 0.4 mA로 제한하여 회로를 구성하였다. [1], [3]

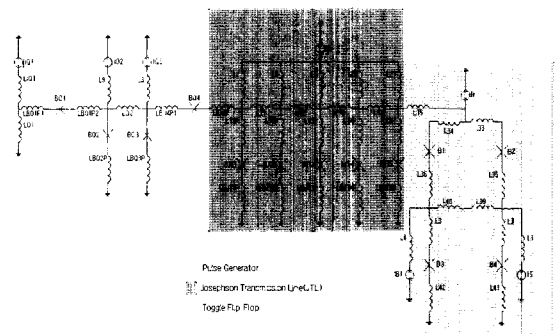


그림 1. 1-bit A/D converter의 회로도
Fig. 1. Circuit diagram of 1-bit A/D converter

* 학생회원 : 인천대 대학원 물리학과 석사과정

** 정 회 원 : 한국광기술원 연구원

*** 정 회 원 : 인천대 자연과학대 물리학과 부교수

원고접수 : 2002년 03월 31일

심사완료 : 2002년 05월 23일

본 연구에서는 펄스발생기, JTL, 그리고 T Flip-Flop부분을 따로 설계하여 각 소자의 작동이 최적 이 되는 값을 구한 후에 Fig.1과 같이 각 회로들을 조합하여 1-bit A/D 변환기를 구성하였다. 각 회로들을 조합하여 1-bit A/D 변환기로 구성하였을 때 각 회로 요소들의 최적 값이 여러 변수들에 의하여 변할 수 있으므로 펄스발생기 → JTL → T Flip-Flop의 순으로 회로의 최적 값을 다시 구해나갔다. 이렇게 하여 회로의 최적 값을 구한 것을 바탕으로 하여 Xic와 L-meter를 사용하여 회로의 설계를 수행하였다.

2.2. 시뮬레이션 및 설계

Fig. 2. 에 있는 SFQ(Single Flux Quantum) 발생기는 일정하게 증가하는 전류가 입력되면 일정한 주기의 SFQ 펄스를 생성하는 회로로서 양자화의 기능을 하는 회로이다. Fig.3는 실제 이 회로가 동작하는 것을 시뮬레이션 결과를 나타낸 그림이다.

SFQ 펄스발생기가 동작하는 과정은 Fig. 2에서 펄스발생기 부분의 IQ1에서 일정하게 증가하는 전류가 흐르게 되면 LQBQ1P1 - BQ1 - LBQ1P2 - BQ2를 따라 점점 증가하는 전류가 흐르다가 어느 시점이 되면 BQ2가 스위칭하게 되고 스위칭한 전류가

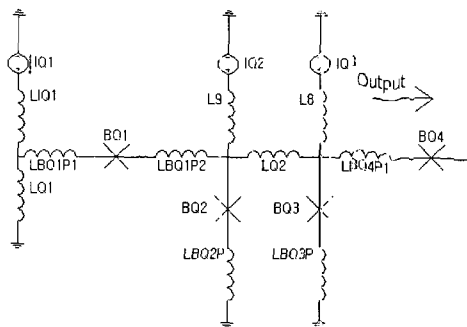


그림 2. Pulse Generator 부분의 회로도
 Fig. 2. Circuit diagram of pulse generator (IQ2, IQ3: 0.4 mA, BQ1, BQ2, BQ3: 0.4 mA, BQ4: 1 mA, LQ2: 2 pH)

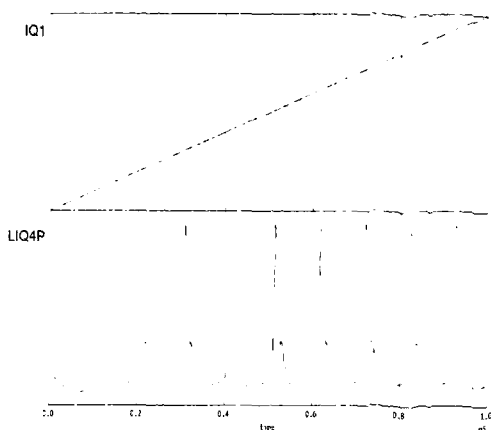


그림 3. SFQ Pulse Generator의 작동 결과
 Fig. 3. Simulation results of an SFQ Pulse Generator

LBQ1P2와 LQ2에 전류가 흐르게 된다. LBQ1P2 쪽으로 흐르는 전류는 BQ1에서 스위칭하게 되어 IQ1 - LIQ1 - LBQ1P1 - BQ1 - LBQ1P2를 따라 흐르는 전류를 차단하게 된다. 반면에 LQ2로 흐르는 전류는 BQ3를 스위칭하게 되고 여기서 생긴 펄스가 LBQ4P1-BQ4를 따라 JTL로 들어가게 된다.

IQ2와 IQ3는 bias전류를 흘려주어 접합이 스위칭 대기상태가 되도록 만들어준다. 그러면 일정하게 증가하는 전류에 의해 일정한 시간 간격을 두고 BQ2와 BQ3에서 펄스가 발생하게 된다. 이렇게 발생한 펄스는 JTL을 통과해서 T Flip-Flop회로에 전해지게 된다.

Fig.4에 있는 JTL 부분은 SFQ 발생기와 T Flip-Flop 간의 간섭을 최소화 해주는 역할을 해준다. 뿐만 아니라 펄스 발생기에서 발생한 펄스를 보강하는 역할을 하여 T Flip-Flop이 정상적으로 작동할 수 있는 Fig. 5에서 보여지는 것처럼 날카로운 펄스를 보내주는 역할을 한다. 반복된 시뮬레이션 결과를 통하여 이 회로에서 JTL을 5개 이하로 구성하게 되면

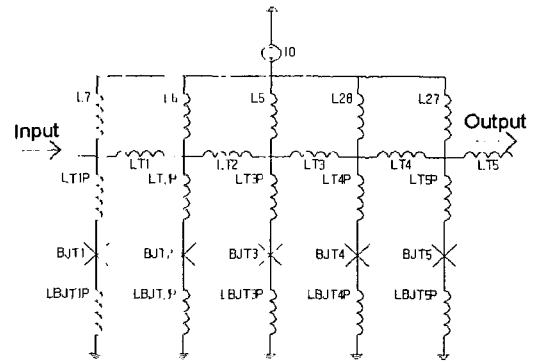


그림 4. JTL 부분의 회로도
 Fig. 4. Circuit diagram of JTL (I0: 3 mA, BJT1, BJT2, BJT3, BJT4, BJT5: 0.7 mA, LT1, LT2, LT3, LT4: 3 pH)

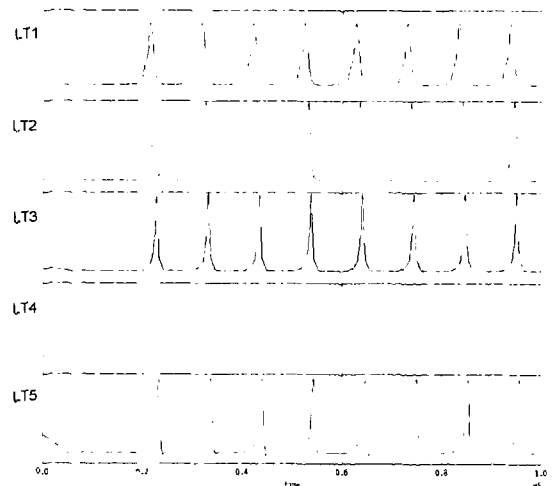


그림 5. JTL 부분의 작동 결과
 Fig. 5. Simulation results of JTL

펄스발생기에서 실제 발생한 펄스보다 많은 펄스가 JTL에서 발생하여 나가게된다. Fig. 8에서 보는 것처럼 T Flip-Flop으로 들어가는 펄스 및 T Flip-Flop의 스위칭 되는 것이 정상적으로 작동하지 않는다는 것을 알 수 있었으며 JTL을 5개로 구성하였을 때 Fig. 5에서 보는 것처럼 최적의 시뮬레이션 결과를 얻을 수 있었다.

Fig. 6에서 T Flip-Flop에 첫 번째 펄스가 입력 되면 우선 B2와 B3이 스위칭 하게 되고 이어서 두 번째 펄스가 들어오게 되면 B1, B4가 스위칭 하게 된다. Fig.7은 T Flip-Flop회로의 동작을 나타낸 그림으로 입력된 전압펄스의 모양과 접합들이 2π 만큼 스위칭 되는 모습을 보여주고 있다.[2] Fig.9에서 보여진 것과 같이 L39와 L40에서 처음 펄스가 들어오면 일정한 전류가 흐르게 되고 두 번째 펄스가 들어오면 전류가 감소하는 것을 알 수가 있다. 이렇게 L39와 L40에서 디지털 정보가 전류의 흐름으로 저장되어 이 회로가 정상적으로 작동하는 것을 알 수 있게된다. 스토리지 인덕터인 L40과 L39 사이에 SQUID를 첨가하여 T Flip-Flop회로의 작동을 확인할 수 있다.

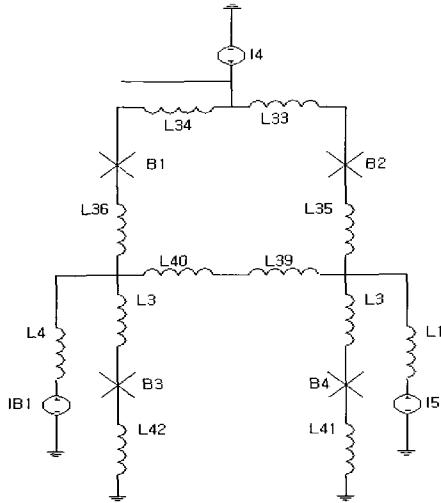


그림 6. T Flip-Flop 부분의 회로도
 Fig. 6. Circuit diagram of T Flip-Flop (I4: 0.5 mA, IBI: 0.25 mA, I5: 0.1 mA, B1, B3: 0.5 mA, B2: 0.4 mA, B4: 0.7 mA, L39, L40: 1.5 pH)

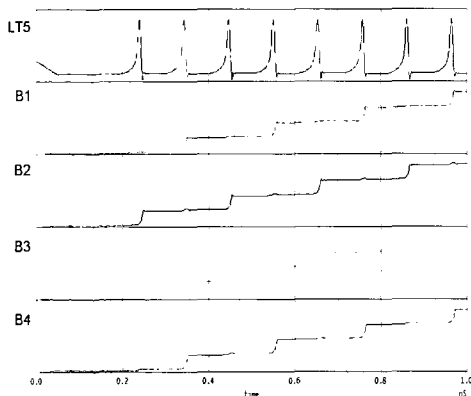


그림 7. T Flip-Flop 부분의 작동결과
 Fig. 7. Simulation results of a T Flip-Flop

Table 1은 T Flip-Flop회로의 margin 결과이다. 하여 T Flip-Flop회로의 작동을 확인할 수 있다. Table 1은 T Flip-Flop이 정상적으로 동작하는 범위 내에서 인덕터, 접합 그리고 bias 전류의 값을 바꾸어 가면서 최소 값과 최대 값을 얻었으며 단위는 접합의 임계전류의 경우 mA이며, 인덕터는 pH이다.

Fig.10은 Fig.1의 회로도를 설계한 그림이다. 이 설계에서 보는 것과 같이 SFQ 펄스발생기, JTL, T Flip-Flop 이렇게 세 부분으로 구성되어있다. 설계에서 접합의 Ic값이 0.4 mA가 될 때 2 μ m의 선 폭을 가질 수 있도록 하였다. Fig.10에서 진한 부분이 Bottom 층이고 흐린 부분이 Top 층을 나타낸다. 이 설계에서 Bottom 층과 Top 층이 교차하는 부분이 접합이 된다. Bottom 층 선과 Top 층 선 사이의 간격은 최소 값이 2.5 μ m이며, Top 층 선들 사이의 최소 간격은 2 μ m이다.

또한 Bottom 층 선들 사이의 최소 간격을 3 μ m로 설계하였다. 이는 실제 제작 시 Bottom 층의 경사각이 Top 층의 경사각보다 크기 때문에 Bottom 층의 최소 간격을 크게 하였다. Ground 층과 Top, Bottom 층의 접지면 면적은 $18 \times 18 \mu\text{m}^2$ 이다.

제작된 회로에 대하여 Ground와 상위 층과의 접지면 저항을 측정할 수 있도록 측정용 층을 사용하였으며, Ground와 상위 층의 접지 되는 부분의 크기는

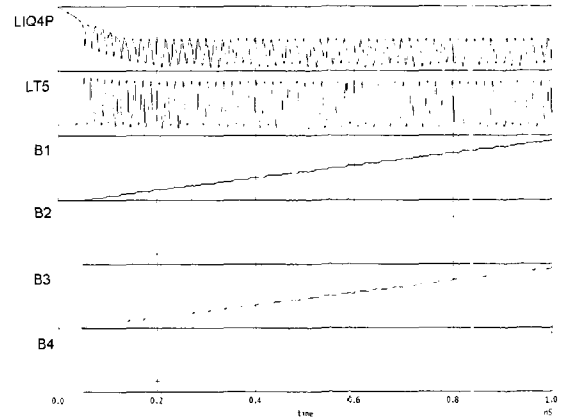


그림 8. JTL의 오작동결과
 Fig. 8. Error results of JTL

Table 1. Margin for T Flip-Flop
 (Unit - Junction: mA, Inductor: pH)

	Center	(-) margin(%)	(+) margin(%)
I4	0.5	30.00	32.00
IB1	0.25	60.00	60.00
I5	0.1	130.00	90.00
B1	0.5	32.00	8.00
B2	0.4	37.50	20.00
B3	0.5	28.00	26.00
B4	0.7	12.86	17.14

회로상의 크기와 동일하게 하여 회로 상에서 Ground 부분의 접지면 저항을 측정할 수 있도록 하였다. 또한 Bottom 층과 Top 층의 박막 특성을 4 단자법을 사용하여 측정할 수 있도록 설계하였다. Fig.11은 실제 Mask의 모양을 나타내고 있다. 전체 Mask의 구성을 보면 첫 번째 줄에는 PR의 edge 제거용 mask, Ground pad 위의 insulator 제거용 mask, lift-off 방법을 사용하여 전극을 만들 수 있는 전극 mask, 두 번째 줄에는 Ground mask, 접지용 mask, Bottom 전극 위의 insulator 제거용 mask이고 세 번째 줄에는 Bottom 전극 mask, Top 전극 mask가 보여지고 있다.

Fig.12은 이 회로에서 설계한 전체 설계가 중첩되어 있는 모습을 나타낸 것이며 이는 완성된 sample를 나타낸 것이다.

3. 결 론

본 연구에서는 Xic라는 design tool을 사용하여 고온 초전도체에서의 1-bit A/D 변환기 회로를 설계하였으며 WRspice를 사용하여 각 소자의 최적값을 시뮬레이션을 할 수 있었다. 그 결과 Table 1에서 보는 것처럼 T Flip-Flop 부분의 결합 margin이 12% 이상 됨을 알 수 있었다. 이렇게 시뮬레이션한 결과를 바탕으로 Xic를 사용하여 회로의 설계를 하고 L-meter를 사용하여 인덕터의 값을 결정할수 있었다. 위와 같은 과정을 거쳐 본 연구에서는 Fig.11과 같은 Mask 설계를 얻을 수 있게되었다.

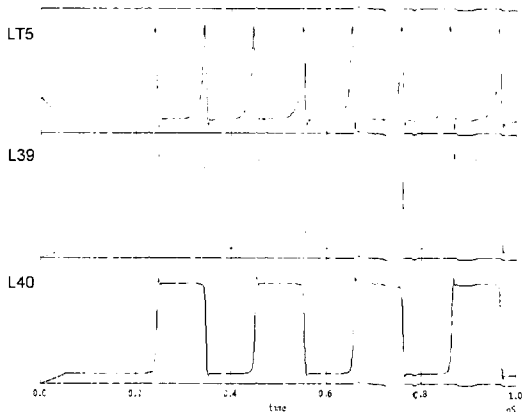


그림 9. L39와 L40의 전류 흐름
Fig. 9. The current flows in L39 and L40

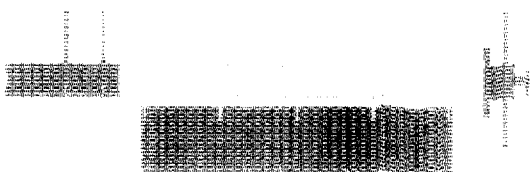


그림 10. 1-bit A/D converter의 layout
Fig. 10. 1-bit A/D Converter layout

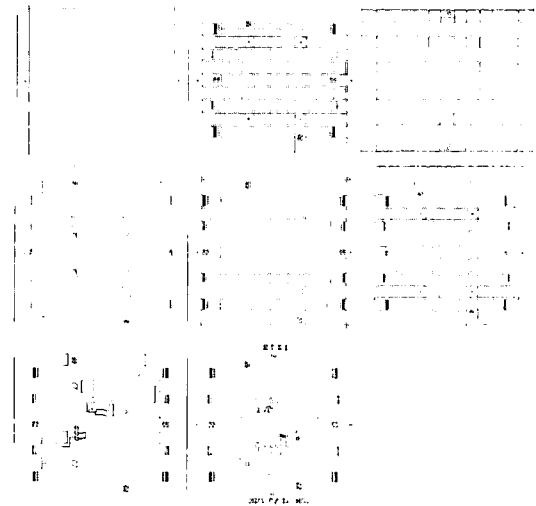


그림 11. 1-bit A/D converter의 전체 Mask layout
Fig. 11. Mask layout of an 1-bit A/D Converter

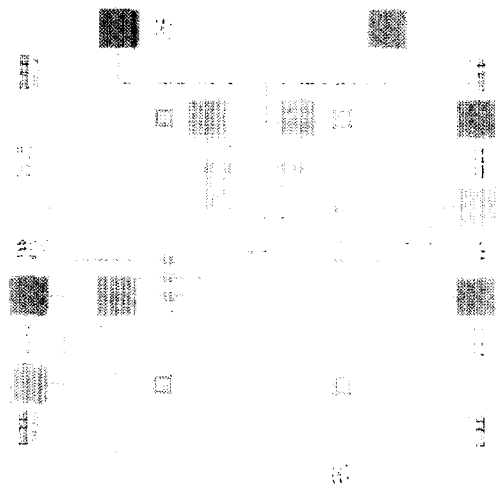


그림 12. 전체 mask layer를 중첩한 모양
Fig. 12. The picture of mask layout where all the layers are overlaid

감사의 글

본 연구는 21세기 프론티어 연구개발사업인 차세대 초전도 응용 기술 개발 사업단의 연구비 지원에 의해 수행되었습니다.

참고 문헌

[1] V. K. Semenov and M. A. Voronova, "DC Voltage Multipliers: A novel application of

- synchronization", IEEE Trans. Magn. Vol.25, 1432-1435(1989)
- [2] S.P. Benz and C.A. Hamilton, "A pulse-driven programmable Josephson voltage standard", Appl. Phys. Lett. Vol.68, 3171-3173(1996)
- [3] C.A. Hamilton, C.J Burroujhs and R.L.Kautz, "Josephson D/A Converter with Fundamental Accuracy", IEEE Trans. Inst and Meas. Vol.44, 223-225(1992)
- [4] K.K.Likharev and V.K.Semanov, "RSFQ Logic/Memosy Family: A new Joesphoson-Junction Technology Digital System", IEEE Trans. Appl. Supercond. Vol.1, 3-28 (1991)
- [5] P. Bunyk and P. Litskevitch, "Case Study in RSFQ Design: Fast Pipelined parallel Adder", IEEE Trans. Appl. Supercond., Vol. 9, 3714-3720, 1999
- [6] Alex F. Kirichenko, Saad Sarwana, Oleg A. Mukhanov, Igor V. Vernik, "RSFQ Time Digitizing System", IEEE Trans. Appl. Supercond., Vol.11, 978-981, 2001
- [7] Shuichi Nagasawa, Hideaki Numata, Yoshihito Hashimoto and Shuichi Tahara, "High-frequency Clock Operation of Josephson 256-word x 16-bit RAMs", IEEE Trans. Appl. Supercond., vol. 9, 3708-3713. 1999

저 자 소 개



남두우(南斗祐)

1975년 9월 3일생, 2001년 인천대 자연과학대 물리학과 졸업, 2001년 3월 동 대학원 물리학과 입학 현재 동 대학원 물리학과 석사과정



정구락(鄭求洛)

1971년 7월14일생, 1997년 인천대 자연과학대 물리학과 졸업, 2000년 동 대학원 물리학과 졸업(이학석사), 현재 한국광기술원 연구원



강준희(강준희)

1955년 2월5일생, 1987년 U. of Minnesota 물리학과 졸업(이학박사), 현재 인천대학교 자연과학대학 물리학과 부교수