

전해도금법으로 증착한 Cu-Sn 합금막의 배선훈성에 관한 연구

김주연·배규식†
수원대학교 전자재료공학과

A Study on the Metallization Properties of Cu-Sn Alloy Layers Deposited by the Electroplating Method

Ju-Youn Kim and Kyoo-Sik Bae†
Dept. of Electronic Materials Engineering, The University of Suwon

(2001년 8월 24일 받음, 2002년 3월 16일 최종수정본 받음)

Abstract Sn was selected as an alloying element of Cu. The Cu-Sn thin layers were deposited on the Si substrates by the electroplating method and their properties were studied. By rapidly thermal annealing(RTA) up to 400°C after electroplating, sheet resistance decreased and adhesion strength increased, but that trend was reversed at the 500°C RTA. Cu-Sn particles grew dense and the surface was uniform up to 400°C, but at 500°C, empty area was introduced and the surface became rough owing to oxidation and particle coarsening and agglomeration. Deposited layer contained significant amount of Si, while pure Cu-Sn layer with the composition ratio of 90:10 was present only on the top surface. However, no significant change in the Cu composition within alloy layers occurred by the RTA regardless of its temperature. This indicates that the Cu diffusion into the Si was suppressed by the presence of Sn.

Key words: Cu metallization, Cu diffusion, Cu-Sn alloy layer, Electroplating

1. 서 론

기존의 금속배선인 Al 및 Al 합금은 RC time delay, cross-talk, electromigration 등의 문제로 인해 차세대 논리소자와 Giga 급 이상의 메모리소자, 그리고 대면적 TFT-LCD 등에의 적용에는 한계를 보이고 있다. 따라서, Al 합금에 비해 비저항이 낮고 electromigration 내성이 큰 Cu에 대한 관심이 커지고 있다.¹⁾ Cu 배선을 적용하려는 최초의 상업적 시도가 1997년에 IBM에 의해 발표되고, 뒤이어 Motorola도 low-k 재료와 함께 Cu 배선을 성공적으로 사용하게 됨에 따라, Cu 배선을 차세대 배선으로 적용하려는 연구가 국내·외적으로 광범위하게 이루어지고 있다. 이때 Cu의 증착방법으로 화학기상증착법(CVD)²⁾ 등이 있으나 IBM에서 사용한 전해도금법(electroplating method)³⁾이 공정비가 낮고 적용이 쉬워 가장 많이 연구되고 있다.

그러나, Cu는 낮은 온도에서 쉽게 산화되어 전기적 특성이 저하되고 절연물과의 접착력 불량 그리고 Si 및 SiO₂ 내로의 확산 등의 문제점 때문에 배선공정 적용에 있어 개선할 점이 아직 남아 있다. 이의 해결을 위해 TiN, TaN 등의 확산방지층을 증착하거나⁴⁾ Cu 표면에 실리사이드나 질화물 보호막을 형성하려는 연구^{5,6)}가 진행되고 있다. 그런데, Cu는 오래 전부터 전기장치나 전력전송에 사용되어 왔으며, 내부식성과 고강도가 요구되는 경우에는 Cu 합금, 즉 각종의 bronze가 사용되어 왔다. 따라서 별도의 보호막을

만들기 보다는 내부식성과 접착력이 크고 Cu 확산이 억제되는 Cu 합금 자체를 개발하여 이를 증착한다면 더 효과적인 방법이 될 것이다. 이러한 특성을 가진 기존의 Cu 합금은 대개 삼원계 이상이어서 전해도금법으로는 적용하기가 어렵다. 따라서 전해도금법을 적용하려면 적절한 Cu 이원계 합금의 선택이 필요하다. 이와 관련하여 Cu-Cr, Cu-Ti, Cu-Al, Cu-Mg 등의 이원계 합금에 대한 연구^{7~10)}가 있었으나, 이들 대부분은 전해도금법 대신 전자빔 증착법이나 스퍼터링법을 이용하였다. 그런데, Cu-Sn은 기존의 bronze에 오랫동안 사용되어 그 특성이 잘 알려져 있고, 또 전해도금법으로 전자부품의 표면처리를 위해 널리 사용되는 합금이나, 이를 배선재료로 적용하려는 시도는 아직 거의 전무하다.

본 연구는 합금원소로 Sn을 선택하여 Cu-Sn 합금을 전해도금법으로 증착하고 그 증착특성, 접착력, 전기적 특성을 측정하여 반도체 소자 배선으로의 적용 가능성을 조사하는 것을 목표로 하였다. 특별히 합금도금막의 morphology, 전기적특성, 접착특성을 중점적으로 연구하였다.

2. 연구 방법

본 연구에서는 비저항이 1~20Ωcm인 4" P형(100) 실리콘 웨이퍼를 기판으로 사용하였다. 먼저 기판을 H₂SO₄/H₂O₂ 용액으로 세척하여 유기물을 제거한 후, 그 위에 습식 산화법(wet oxidation)으로 5000 Å 두께의 산화막을 성

† E-mail: ksbae@mail.suwon.ac.kr

장시켰다. 그리고, 시료를 3개까지 장착할 수 있는 전자빔 증발장치 (electron beam evaporator)를 사용하여, 확산 방지막으로 500 Å의 Ti을, 또 Cu 씨앗층으로 5000 Å의 Cu를 1×10^{-6} torr 이하의 진공에서 순차적으로 증착하였다. 증착에 사용된 Ti와 Cu의 순도는 각각 99.99%와 99.9%이었다. Cu-Sn 합금 전해도금액은 H_2SO_4 에 $CuSO_4 \cdot 5H_2O$ (황산구리육)를 섞은 용액에 Sn을 5% 용해시켜 만들었다. 준비된 시편을 40°C의 전해도금액에 넣고 10-40mA/cm²의 전류밀도로 90초 동안 전해도금을 하여 약 2~5µm 두께의 Cu-Sn 합금막을 증착하였다. 합금 도금막이 증착된 시편은 질소 분위기에서 300°C, 400°C, 500°C에서 각각 30초 동안 급속 열처리 (rapid thermal anneal, RTA) 하였다. 열처리된 Cu-Sn 합금막의 표면 morphology와 거침성은 SEM과 AFM으로 각각 관찰하였으며, 도금막의 조성은 EDS로 분석하였다. 도금막의 결정성과 금속간 화합물의 형성은 입사각을 2°로 고정된 XRD로 관찰하였다. 또 4-point probe로 면저항을 측정하였으며 scratch tester로 접착강도 (adhesion strength)를 각각 측정하였다.

3. 결과 및 고찰

Fig. 1은 Cu-Sn 합금을 전해도금법으로 증착한 후 열처리 시간에 따른 면저항의 변화를 나타낸 것이다. 열처리후 면저항값은 낮아졌고 400°C에서 최소값을 나타내었다. 400°C의 면저항값은 순수 Cu의 면저항값에 근접하는 낮은 값이다. 그러나, 500°C에서는 면저항 값이 다시 증가하였다. 그러나, 500°C에서의 면저항값도 막표면 전체가 산화되어 나타나는 것과 같은 큰 값을 나타내지는 않았다. 이는 Cu에 함유된 소량의 Sn이 Cu의 산화를 어느 정도 억제하였기 때문으로 생각된다.

Cu-Sn 합금 도금막에 대한 XRD 결과를 Fig. 2에 나타내었다. Si 기관 피크외에 Cu 피크가 가장 강하게 나타나고 있으며 이 피크는 (111) 피크로 Cu막은 (111)면으로 우선배향함을 알 수 있다. 이러한 전착 Cu막의 (111) 우선배향성은 전자빔 증발장치로 증착한 씨앗층의 (111) 배향성에 기인한다. Cu에 함유된 소량의 Sn 피크도 미비하게나마 보이고 있다. 열처리를 함으로써 Cu_3Sn 이 형성되어 이에 대한 피크가 생겨날 것으로 사료되나 Cu(111) 피크와 Cu_3Sn 의 피크가 거의 동일한 위치에서 나타남으로 확실하게 구분하기 힘들다 Cu_3Sn 역시 소량 생성된 것으로 생각된다.

Fig. 3은 Cu-Sn 합금 도금막의 열처리 시간에 따른 도금막의 표면 변화를 보여주는 SEM 사진이다. 열처리 온도가 올라 갈수록 입자가 성장하는 모습을 보이고 있다. 열처리하지 않은 도금막 (Fig. 3(a))은 도금막이 마치 섬유질처럼 입자가 미세하게 연결되어져 있고 300°C에서 열처리한 도금막 (Fig. 3(b))은 입자가 결정을 이루며 성장되어진 모습을 보이고 있으나 역시 미세한 입자들도 남아 있는 것을 알 수 있다. 400°C에서 열처리한 경우 (Fig. 3(c)) 입자가 300°C에서 열처리한 경우 (Fig. 3(b))보다 커졌고 거의 표면에 빈 공간이 보이지 않을 정도로 조밀하게 성장하였음을

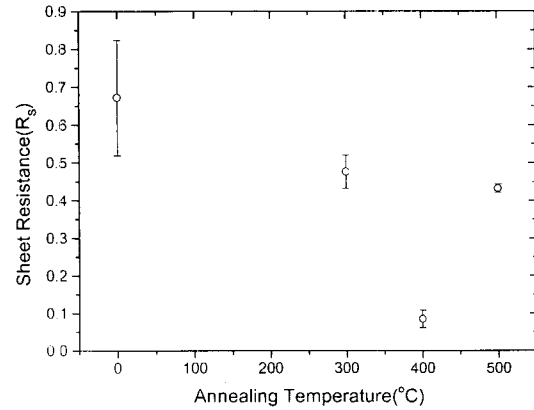


Fig. 1. The changes of the sheet resistance as a function of the RTA temperature (for 30 sec.).

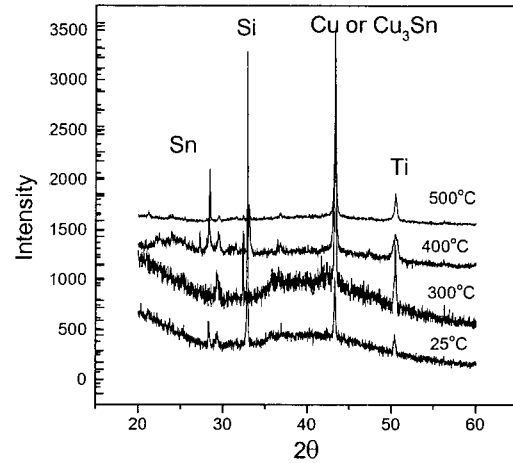


Fig. 2. XRD patterns of Cu-Sn electroplated layers after RTA for 30 sec.

알 수 있다. 500°C에서 열처리한 경우 (Fig. 3(d))는 400°C에서 열처리한 경우 (Fig. 3(c))보다 산화와 과도한 입자성장으로 인해 입자가 조야해졌고, 또 입자들이 응집하여 그 결과 빈공간들이 많이 생겨났음을 알 수 있다. 이로 미루어 400°C에서 열처리한 경우 (Fig. 3(c)) Cu-Sn 입자가 충분히 성장하고, 또 표면에 빈 공간이 없을 정도로 조밀해졌기 때문에 면저항이 가장 높았던 것으로 판단된다.

AFM으로 관찰한 Cu-Sn 합금 도금막의 열처리 시간에 따른 표면 거침성의 변화를 Fig. 4에 나타내었다. 증착된 도금막 (Fig. 4(a))의 표면이 거칠고 두께가 불균일하였다. 그런데, 300°C (Fig. 4(b)) 및 400°C (Fig. 4(c))에서 열처리하면 표면은 평탄해지고 두께는 증가하였다. 그러나 열처리 온도를 500°C (Fig. 4(d))로 증가시키면, 두께는 증가하였으나 표면이 더 거칠어졌다. 이로 미루어 500°C에서 열처리한 경우 면저항이 증가한 또 하나의 이유는 위의 Fig. 3(d)에서 보인 것같이 입자들이 응집하고 빈공간들이 많이 생겨남으로 인해 도금막의 표면이 불균일하고 거칠어졌기 때문이다.

Fig. 5~8은 Cu-Sn 합금 도금막의 열처리 온도에 따른 단면 변화 모습을 나타낸 것이다. 그리고 Table 1~4는 각

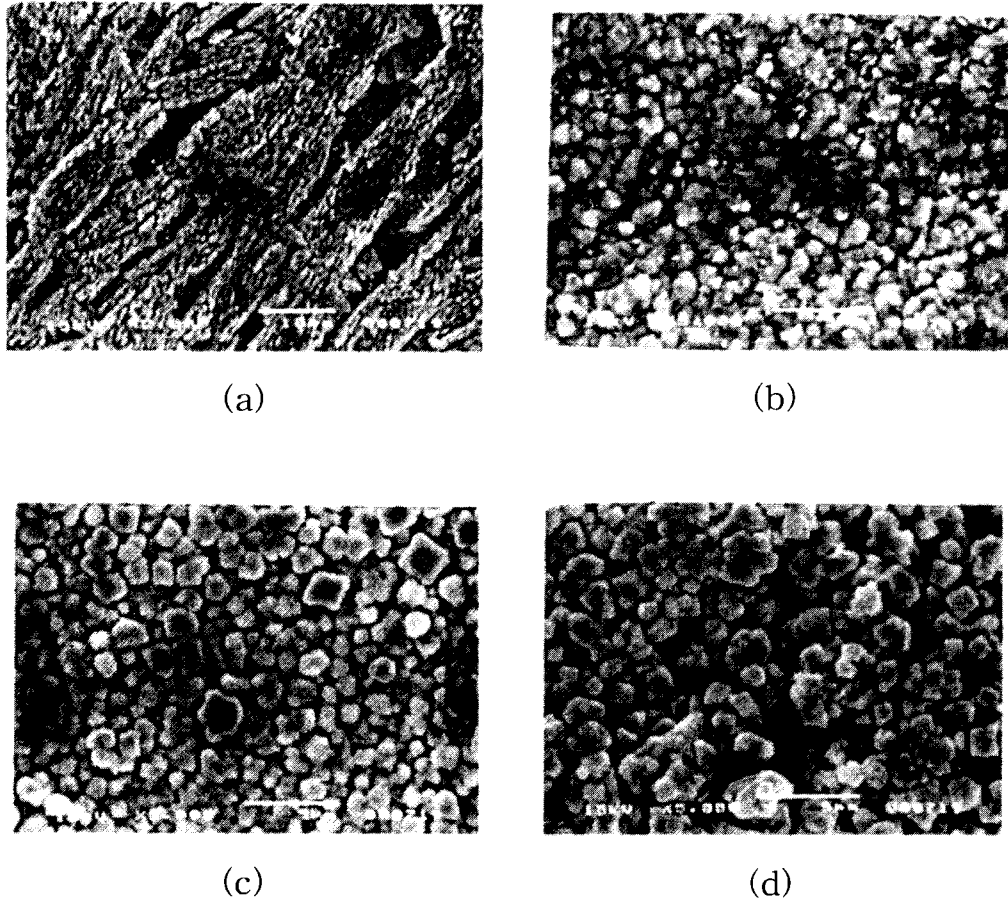


Fig. 3. Surficial SEM of Cu-Sn electroplated layers after RTA for 30 sec. at (a) 25°C, (b) 300°C, (c) 400°C, and (d) 500°C.

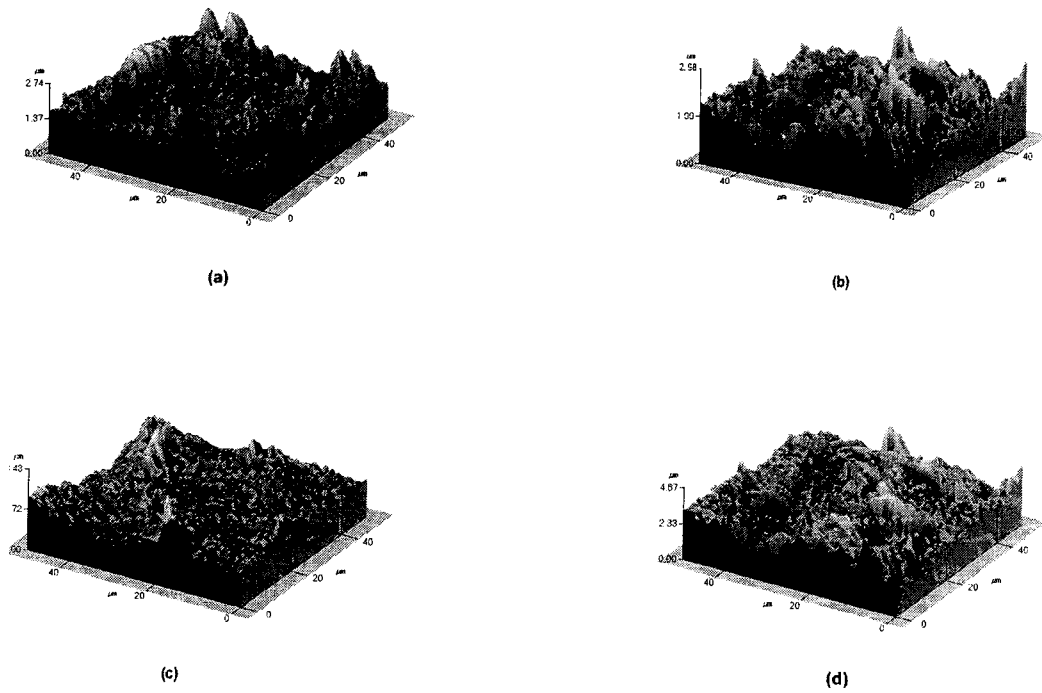


Fig. 4. AFM images of Cu-Sn electroplated layers after RTA for 30 sec. at (a) 25°C, (b) 300°C, (c) 400°C, and (d) 500°C.

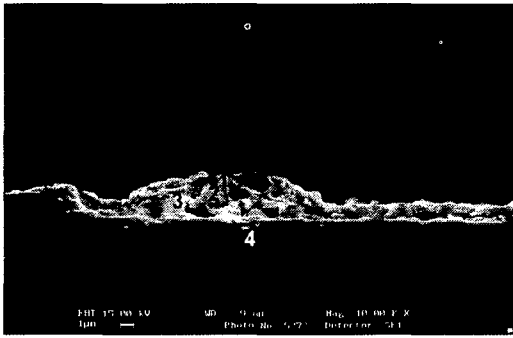


Fig. 5. Crosssectional SEM of Cu-Sn electroplated layers before RTA.

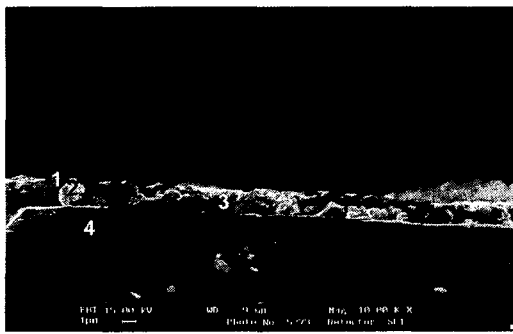


Fig. 6. Crosssectional SEM of Cu-Sn electroplated layers after RTA at 300°C for 30 sec.

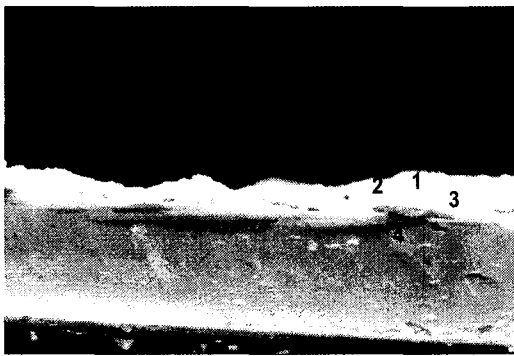


Fig. 7. Crosssectional SEM of Cu-Sn electroplated layers after RTA at 400°C for 30 sec.

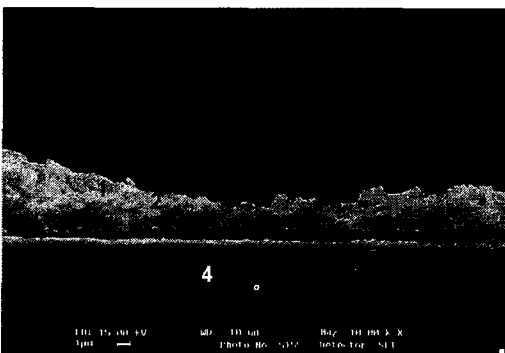


Fig. 8. Crosssectional SEM of Cu-Sn electroplated layers after RTA at 500°C for 30 sec.

Table 1. EDS results of Fig. 5.

Point	Composition(at.%)			
	Cu	Sn	Si	Ti
1	89.21	10.77	0.02	
2	47.22	5.65	47.06	0.07
3	25.58	0.75	67.68	5.99
4	0.20	0.07	97.46	2.27

Table 2. EDS results of Fig. 6.

Point	Composition(at.%)			
	Cu	Sn	Si	Ti
1	87.88	12.09	0.03	
2	51.27	5.17	41.22	2.34
3	29.17	1.20	66.37	3.26
4	1.35	0.14	95.92	2.59

Table 3. EDS results of Fig. 7.

Point	Composition(at.%)			
	Cu	Sn	Si	Ti
1	86.70	13.27	0.03	
2	58.24	3.94	63.77	2.12
3	32.54	3.08	94.53	0.61
4	2.67	0.17		2.63

Table 4. EDS results of Fig. 8.

Point	Composition(at.%)			
	Cu	Sn	Si	Ti
1	86.99	12.98	0.03	
2	64.78	4.12	29.00	2.10
3	35.57	3.10	60.07	1.26
4	4.56	0.16	92.69	2.59

각의 도금막에 대한 깊이에 따른 성분조성을 EDS로 분석한 결과이다. 증착된 도금막(Fig. 5)의 두께는 2~5 μ m로서 실제 반도체 damascene 공정에서 적용되는 1 μ m보다 두꺼웠으며, 또한 불균일하였다. 이는 시편 표면의 전류밀도가 불균일하여 나타난 결과로서 전해액을 순환시키거나, 첨가제를 혼합하면 개선될 수 있을 것으로 생각된다. 그런데, Fig. 5~8에서 알 수 있듯이 열처리 온도가 올라갈수록 입자 성장으로 인해 도금막의 두께는 증가하였다. 한편, Table 1에서 전해도금시 이미 상당량의 Si이 도금막내에 함유되어 있고, 순수한 Cu-Sn 합금막은 최상단 표면에만 형성되어 있음을 알 수 있다. 이 표면 합금막의 조성비는 Cu:Sn이 약 90:10으로 나타났다. 한편, 기판에 가까운 층(Point 3)의 Sn 함량은 상대적으로 작았으며, 이는 전해도금시 Cu에 비해 Sn의 증착속도가 낮기 때문이다. 그런데,

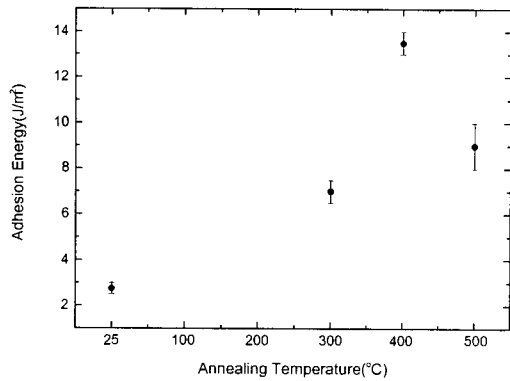


Fig. 9. The changes of adhesion strength as a function of the RTA temperature (for 30 sec.).

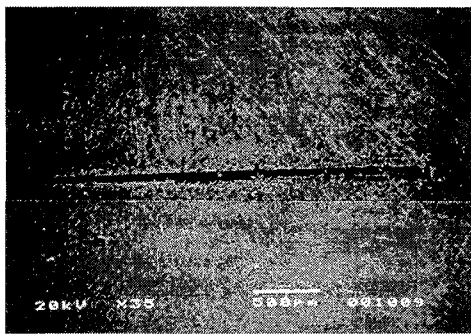
합금 도금막의 Cu 성분비는 열처리 온도가 증가하여도 큰 변화를 보이지는 않았다. 특별히 Si 기판 내부인 Point 4에서의 Cu 성분비는 열처리 온도가 증가하여도 큰 증가를 나타내지 않아서, Cu의 Si쪽으로 확산량은 그렇게 많지 않았음을 알 수 있다. 이는 Sn의 영향으로 Cu의 확산이 억제되었기 때문으로 생각된다.

Scratch test로 측정한 Cu-Sn 합금 도금막의 접착강도를 Fig. 9에 나타내었으며, Fig. 10은 scratch test한 후 도금막의 표면을 보여주는 SEM 사진이다. Fig. 9에서 열처리전 2.75 (J/m²) 이던 접착에너지가 열처리 온도가 300°C, 400°C로 올라감에 따라, 7.0, 13.5으로 증가하였고, 500°C

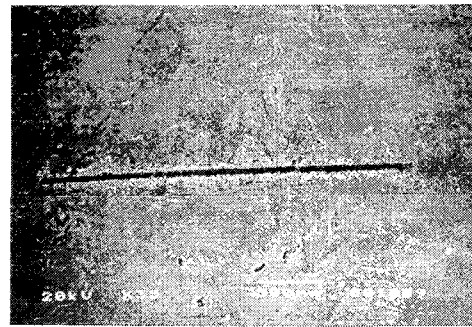
에서는 오히려 9.0으로 떨어졌다. 이것 역시 열처리에 의해 결정립의 성장과 산화, 응집에 따른 빈공간의 증가로 인한 것으로 생각된다. 그러나 Cu-Sn 합금 도금막의 접착강도는 비교적 높은 것으로 나타났다.

4. 결 론

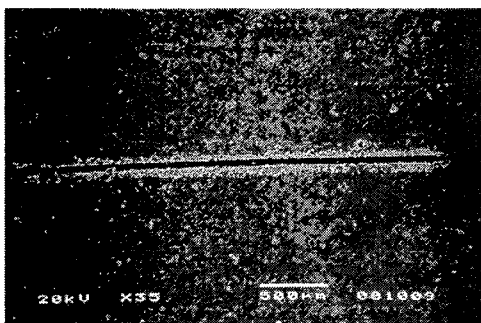
전해도금법으로 Cu-Sn 합금 도금막을 Si기판위에 증착하였다. 증착후 열처리 온도에 따른 도금막의 특성을 측정한 결과 400°C까지는 먼저항은 낮아지고 접착강도는 증가하였으나, 500°C에서는 그 반대로 나타났다. 400°C까지는 Cu-Sn 입자가 조밀하게 성장하고 표면이 균일하였으나, 500°C에서는 산화와 입자의 조야화 및 응집으로 인해 빈공간이 많아지고 또 표면도 불균일하고 거칠어졌다. 도금막 증착 직후 상당량의 Si이 도금막내에 존재하였으며, 조성비가 90:10인 순수 Cu-Sn 합금막은 표면층에만 형성되어 있었다. 한편, 열처리를 하여도 온도에 상관없이, 합금 도금막의 Cu 성분비는 큰 변화를 보이지 않아 Cu의 Si 기판층으로의 확산은 억제된 것으로 나타났다. 지금까지의 연구 결과에서 Cu₉₀Sn₁₀ 합금의 경우 400°C에서 열처리시 가장 우수한 특성을 나타내었다. 위의 기초 연구결과에 비추어 Cu-Sn 합금은 반도체 소자의 금속배선으로 적용될 수 있는 특성을 충분히 가진 재료로 판단된다. 그러나 앞으로 합금조성, 전해도금 조건, 열처리 조건 등의 변화를 통해 더 많은 연구를 수행하여 Cu-Sn 합금 도금막의 배선훈재료의



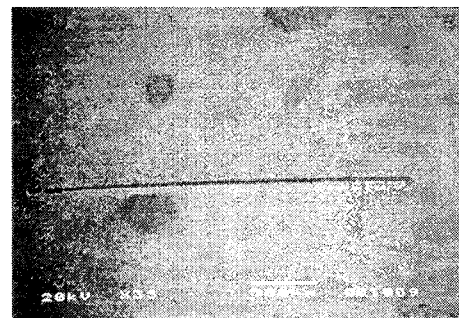
(a)



(b)



(c)



(d)

Fig. 10. Surficial SEM of Cu-Sn electroplated layers after the scratch tests. Specimens were RTAed for 30 sec. at (a) 25°C, (b) 300°C, (c) 400°C, and (d) 500°C.

활용성을 개선하는 것이 요구된다.

감사의 글

본 연구는 한국과학재단이 지원하는 수원대 RRC (CECT)의 연구비와 2000년도 서울대학교 반도체공동연구소의 1차 공동시설이용지원프로그램 (Share-ISRC)의 지원을 받아 연구되었기에 감사드립니다.

참 고 문 헌

1. S.P. Murarka, in *Proceedings of the Workshop on "Tungsten and Other Advanced Metals for ULSI Application 1990,"* edited by G. C. Smith and R. Blumarthal (MRS, Pittsburgh, PA, 1991). 179 (1991).
2. D. Temple and A. Reisman, *J. Electrochem. Soc.*, **136**, 3525 (1989).
3. R.L. Jackson, E. Broadbent, T. Cacouris, A. Harrus, M. Biberger, E. Patton, and T. Walsh, *Solid State Technol.*, **41 (3)**, 50 (1998).
4. Shi-Qing Wang, *MRS Bulletin*, **XIX (8)**, 30 (1994).
5. A.J. Cabrera, J.F. Kirner, and J.N. Armor, *J. Mater. Res.*, **6**, 71 (1990).
6. W.A. Lanford, P.J. Ding, W. Wang, S. Hymes, and S.P. Murarka, *Thin Solid Films*, **262**, 234 (1995).
7. P.J. Ding, W.A. Langford, S. Hymes, and S. P. Murarka, *Appl. Phys. Lett.*, **64 (21)**, 2897 (1994).
8. C. Cabral, Jr., J.M.E. Harper, K. Holloway, D.A. Smith, and R. G. Schad, *J. Vac. Sci. Technol. A*, **10 (4)**, 1706 (1992).
9. J. Li, J.W. Mayer, and E.G. Colgan, *J. Appl. Phys.* **70 (5)**, 2820 (1991).
10. H.L. Cho, and J.G. Lee, *MRS Symp. Proc.*, Vol-**564**, 353 (1999).