

## 패키지된 실리콘-게르마늄 이종접합 바이폴라 트랜지스터의 콜렉터 형성 조건에 따른 전기적 특성

이승윤<sup>†</sup> · 이상홍 · 김홍승 · 박찬우 · 김상훈 · 이자열 · 심규환 · 강진영

한국전자통신연구원 SiGe소자팀

### Electrical Characteristics of the Packaged SiGe Hetero-Junction Bipolar Transistors Fabricated with Various Conditions of the Collector Formation

Seung-Yun Lee<sup>†</sup>, Sang-Heung Lee, Hong-Seung Kim, Chan-Woo Park, Sang-Hoon Kim,  
Ja-Yol Lee, Kyu-Hwan Shim, and Jin-Yeong Kang

SiGe Devices Team, Electronics and Telecommunications Research Institute (ETRI), Yuseong-gu, Daejeon 305-350

(2002년 1월 28일 받음, 2002년 6월 7일 최종수정본 받음)

**Abstract** The effects of the conditions of the collector formation on electrical characteristics of the packaged SiGe hetero-junction bipolar transistors (HBT) were investigated. While the DC characteristics of SiGe HBTs such as IV characteristic, forward current gain, Early voltage, and breakdown voltage were hardly changed after packaging, the AC characteristics such as  $f_T$  and  $f_{max}$  were degraded severely. With the rise of the collector concentration, the breakdown voltage decreased but the  $f_T$  increased. Additionally,  $\beta$  and  $f_T$  values were kept high in the range of elevated collector current due to the increase of the critical current density for the onset of the Kirk effect. The devices As implanted before the collector deposition showed lower breakdown voltage and higher  $f_T$  than the others, which seems to be originated from the As up-diffusion resulting in the thinner collector.

**Key words:** SiGe, HBT, bipolar transistor, package, collector

#### 1. 서 론

실리콘-게르마늄 에피택셜 층을 베이스로 사용하는 실리콘-게르마늄 이종접합 바이폴라 트랜지스터 (SiGe hetero-junction bipolar transistor, 이하 SiGe HBT)는 실리콘 BJT (bipolar junction transistor)에 비해 RF 특성이 뛰어나고 기존의 실리콘 공정으로 제조가 가능하므로 초고주파 영역에서 동작하는 RF IC에 장착되기에 적합한 소자의 하나로 생각되고 있다.<sup>1)</sup> 이러한 SiGe HBT의 장점은 실리콘-게르마늄 고유의 물성에서 비롯되는 것이다. 게르마늄의 에너지 밴드 갭은 실리콘에 비하여 작으며, 그 격자상수는 실리콘과 비슷하여 결정성을 유지하면서 실리콘과 적당한 비율로 혼합하는 것이 가능하다. 따라서, 실리콘과 게르마늄을 혼합한 실리콘-게르마늄은 실리콘에 비하여 에너지 밴드 갭이 작고, 실리콘 기판 위에서 에피택셜 성장을 하는 특성이 있다. 이러한 실리콘-게르마늄을 바이폴라 트랜지스터의 베이스로 사용하는 경우에는 에미터와 베이스 사이의 밴드 갭 차이에 의하여 전류이득이 커지게 된다.<sup>2)</sup> SiGe HBT는 실리콘 BJT에 비하여 전류이득이 월등히 크기 때문에 전류이득을 약간 손해보면서 베이스의 농도를 높일 수 있고 결국 베이스 두께를 얇게 하여 RF 특성을 대표하는

값인  $f_T$ 를 높일 수 있다.

이러한 SiGe HBT는 RF IC 내의 능동소자로 사용되리라 예상되고 있지만, 기존의 실리콘 공정을 이용하여 낮은 공정단가로 제조하는 것이 가능하기 때문에 현재 널리 사용되고 있는 실리콘 단위 부품 BJT를 대신하여 hybrid 형태로 사용되는 것도 가능하리라 생각된다. SiGe HBT가 단위 부품으로 사용되기 위해서는 웨이퍼 절단 및 패키지 공정을 거쳐야 하는데, 바이폴라 트랜지스터의  $f_T$  값은 패키지 하계 되면 패드 및 패키지가 기생성분으로 작용하여 감소하게 된다.<sup>3)</sup> 이러한 현상은 널리 알려져 있으나 구체적인 실험결과가 보고된 예는 거의 없다. 한편,  $f_T$  값을 포함한 SiGe HBT의 전기적 특성을 개선시키기 위해 이제까지 진행된 연구들의 대부분은 SiGe 베이스나 다결정 실리콘 에미터에 관한 내용으로 한정되어 왔다. 따라서 본 연구에서는 웨이퍼 상태의 SiGe HBT를 절단 및 패키징하여 단위 부품의 SiGe HBT로 만들고 패키지 전후의 전기적 특성을 측정하여 패키지가 그 특성에 미치는 영향을 살펴보았다. 또한, 우수한 특성을 갖는 SiGe 단위 부품 트랜지스터를 제작하기 위하여 콜렉터 형성 조건을 분리하고 이에 따른  $\beta$  및  $f_T$  값을 측정하여 콜렉터 형성 조건이 SiGe 단위 부품 트랜지스터의  $\beta$  및  $f_T$ 에 미치는 효과를 고찰하였다.

<sup>†</sup> E-mail: seungyun@etri.re.kr

## 2. 실험 방법

SiGe HBT의 에미터 및 콜렉터는 실리콘 층, 베이스는 SiGe 층이며, 모두 ASM EPSILON-ONE RPCVD(reduced pressure chemical vapor deposition) 시스템에서 증착하였다. 베이스 및 콜렉터 층은 에피택셜 구조, 에미터는 다결정 구조로 성장시켰다. 베이스로 사용된 SiGe 층은 실리콘을 사용하는 경우에 비하여 전류이득을 높이고 동작 속도를 빠르게 하는 역할을 한다.

기관으로는 안티몬(Sb)이 도핑된 5인치 n<sup>+</sup>형 실리콘 웨이퍼(0.02Ω·cm)를 사용하였고, 일부 소자의 경우 웨이퍼 전면에 비소(As)를 이온주입(ion implantation)으로 첨가하였다. 그 위에 두께가 800nm인 에피택셜 실리콘을 성장시키고 인(P)을 이온주입하여 콜렉터를 형성하였다. 인 이온주입은 2단계로 진행하였는데 1단계에서는 마스크를 사용하지 않고 웨이퍼 전면에 인을 주입하였고, 2단계에서는 SIC(selectively implanted collector) 구조로 만들기 위하여 마스크를 사용하여 콜렉터의 일부 영역에만 인을 주입하였다. SIC 구조에서는 트랜지스터로 동작하는 영역을 제외한 부분의 도펀트 농도가 낮기 때문에 콜렉터-베이스 접합의 기생 정전용량이 감소하여 AC 특성이 향상된다.<sup>4)</sup> 1단계 이온주입 조건은 에너지를 180keV로 고정하고 주입량(dose)을 5.0×10<sup>11</sup>/cm<sup>2</sup>부터 4.4×10<sup>12</sup>/cm<sup>2</sup>까지 변화시켰다. 1단계 이온주입 공정 후에 LOCOS 공정을 통해 액티브 영역을 정의하고, 일부 소자의 경우 마스크 작업을 한번 더 거치고 2단계로 인을 주입하여 콜렉터를 SIC 구조로 만들었다. SIC를 위한 이온주입 조건은 180keV, 4.4×10<sup>12</sup>/cm<sup>2</sup>이었으며, 이온이 주입되는 지역의 면적은 에미터-베이스 접합의 면적과 동일하게 하였다. Table. 1에 소자 제작 조건을 정리하였다. 그 위에 베이스 역할을 하는 붕소(B)가 in-situ 도핑된 두께가 120nm인 SiGe 에피택셜 층을 형성하였다. 산화막 증착 후 전식식각에 의하여 에미터-베이스 접합부를 열고 두께가 350nm인 다결정 실리콘을 증착하여 에미터를 만들었다. 다결정 증착 시에는 베이스와 유사하게 in-situ 방식으로 인을 도핑하였다. 에미터 형성 후에 베이스 윗부분에 자기정렬(self-align) 방식으로 Ti 실리사이드를 형성시켰다. 실리사이드는 SiGe 베이스에 비하여 저항이 훨씬 작으므로 베이스 저항을 줄여서 트랜지스터의 f<sub>max</sub>를 높이는 역할을 한다.<sup>5)</sup> 한편, 소자는 current crowding 효과<sup>6)</sup>를 감소시키기 위하여 여러 개의 에미터 콘택과 베이스 콘택이 엇갈려서 놓이는 multi-finger 형으

로 제작하였다. 최종적으로 일반적인 콘택, 메탈, 패드 공정으로 웨이퍼 상태의 SiGe HBT를 완성하였다. Fig. 1은 위와 같은 공정으로 제작된 SiGe HBT의 단면도이다. 공정이 완료된 웨이퍼의 밑면을 연마하고 메탈을 접착하여 콜렉터 전극을 형성한 후, 웨이퍼를 하나의 소자 크기로 절단하고 SOT-23 타입으로 패키징하였다.

웨이퍼 상태의 소자나 패키징된 소자의 전류-전압(IV) 특성 및 전류이득(β) 등의 DC 특성은 HP4145B 반도체 파라미터 분석기와 probe station을 이용하여 측정하였고, f<sub>T</sub> 및 f<sub>max</sub> 등의 AC 특성은 HP8510B 네트워크 분석기와 UTMOST3 파라미터 추출 소프트웨어<sup>7)</sup>를 이용하여 측정하였다. 한편, ATHENA process simulator<sup>8)</sup>를 이용한 시뮬레이션을 통해 콜렉터 영역의 도펀트 농도 분포를 확인하였다.

## 3. 결과 및 고찰

### 3-1. DC 특성

일반적으로 언급되는 트랜지스터의 DC 특성으로는 전류-전압(IV) 특성, 전류이득(β), Early 전압, 항복전압 등이 있으며 본 연구에서 제작된 웨이퍼 상태의 소자와 패키징된 소자의 DC 특성 차이는 거의 없었다. 소자 내부의 콘택이나 메탈 라인에 비해 bonding wire를 포함한 패키징 전도체의 크기(dimension)가 훨씬 크기 때문에 소자 자체의 저항과 비교할 때 패키징의 기생 저항은 무시될 수 있을 정도로 작아서 패키징 전후의 특성 차이가 없는 것으로 생각된다.

Fig. 2는 각각 조건 1 및 조건 2로 제작된 SiGe HBT의 콜렉터-에미터 전압(V<sub>CE</sub>)에 따른 콜렉터 전류(I<sub>C</sub>) 특성이

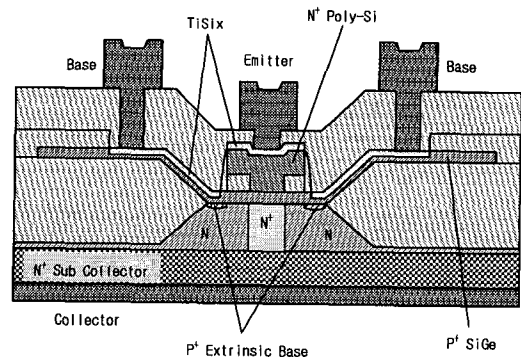


Fig. 1. Schematic cross-sectional view of a SiGe HBT

Table 1. Collector implantation conditions

Condition	As implantation dose (/cm <sup>2</sup> )	First P implantation dose (/cm <sup>2</sup> )	Second P implantation dose (SIC) (/cm <sup>2</sup> )	Total P implantation dose (/cm <sup>2</sup> )
1	None	1.2×10 <sup>12</sup>	None	1.2×10 <sup>12</sup>
2	None	4.4×10 <sup>12</sup>	None	4.4×10 <sup>12</sup>
3	None	5.0×10 <sup>11</sup>	4.4×10 <sup>12</sup>	4.9×10 <sup>12</sup>
4	8.0×10 <sup>15</sup>	5.0×10 <sup>11</sup>	4.4×10 <sup>12</sup>	4.9×10 <sup>12</sup>

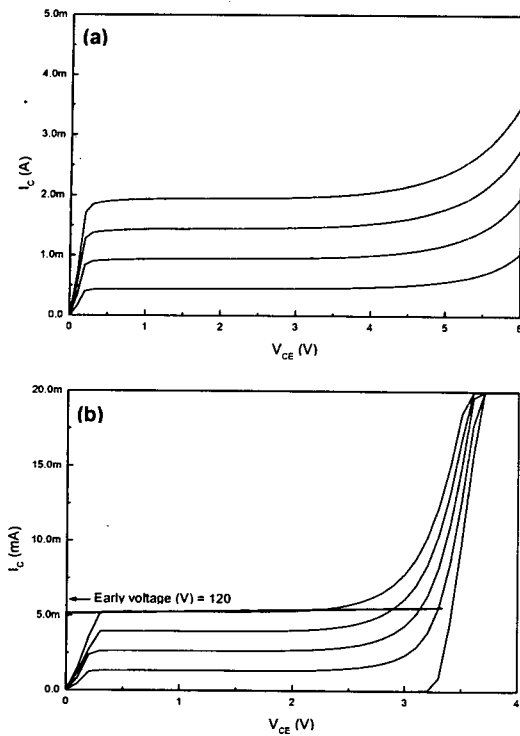


Fig. 2.  $I_c$  as a function of  $V_{CE}$  (a) The device fabricated on condition 1 ( $1.2 \times 10^{12}/\text{cm}^2$ ,  $I_B$  step:  $1 \mu\text{A}$ ) (b) The device fabricated on condition 2 ( $4.4 \times 10^{12}/\text{cm}^2$ ,  $I_B$  step:  $5 \mu\text{A}$ )

다. 두 그래프 모두 전형적인 바이폴라 트랜지스터의 IV 특성을 나타내고 있으며, 베이스 전류 ( $I_B$ )를 증가시키에 따라  $I_C$ 가 일정하게 증가되는 양상을 보이고 있다. Early 전압은 Fig. 2(b)에 표시된 것처럼  $I_C$ 가 5mA 일 때 120V였으며  $V_{CE}$ 에 따라  $I_C$ 가 거의 증가하지 않는 양호한 특성을 보였다. 한편, Fig. 2로부터 컬렉터 이온주입 조건에 따라  $I_B=0$  일 때의 컬렉터-에미터 항복전압 ( $BV_{CEO}$ )이 크게 다른 것을 관찰할 수 있다. 이온주입량이  $4.4 \times 10^{12}/\text{cm}^2$ 인 경우에는  $BV_{CEO}$ 가 3.2V였고  $1.2 \times 10^{12}/\text{cm}^2$ 인 경우에는 6V에서도 항복 현상이 발생하지 않았다. 이러한 차이는 컬렉터 농도에 따라 컬렉터-베이스 항복전압 ( $BV_{CBO}$ )이 다르기 때문에 나타난 것이다. PN 접합에서 역 바이어스(reverse bias) 전압이 커짐에 따라 전기장의 최대값 ( $E_{max}$ )이 증가하다가 특정한 값 ( $E_C$ )에 도달하면 avalanche 항복이 발생하며, 이때  $E_C$ 는 접합 중에서 농도가 낮은 쪽의 도핑 농도  $N$ 에 비례하여 완만하게 증가하는 값이라고 알려져 있다. 항복이 발생할 때 접합에 걸리는 전압  $BV$ 와  $E_C$ 는  $BV = \epsilon E_C^2 / 2qN$  (단,  $\epsilon$ 는 유전상수)의 관계를 가지므로<sup>9)</sup>, 항복전압은 베이스에 비해 도핑 농도가 낮은 컬렉터의 농도에 반비례한다고 볼 수 있다. 따라서  $BV_{CBO}$ 는 이온주입량이 증가하면 감소하게 되며,  $BV_{CEO} = BV_{CBO} / \beta^{1/n}$  (단,  $n=3 \sim 6$ )이므로<sup>10)</sup>,  $BV_{CEO}$  또한 컬렉터 농도가 높을 때 작은 값을 갖는다. Fig. 3은 각 조건에 따라 제작된 소자의 컬렉터-베이스 접합의 누설전류 특성이다. 그래프의 x축은 컬렉터-베이스 역 바이어스 전압이고, y축은 컬렉터-베이스 접합에 흐르는 누설 전류이다. Fig. 3에서 역 바이어스가 커짐에

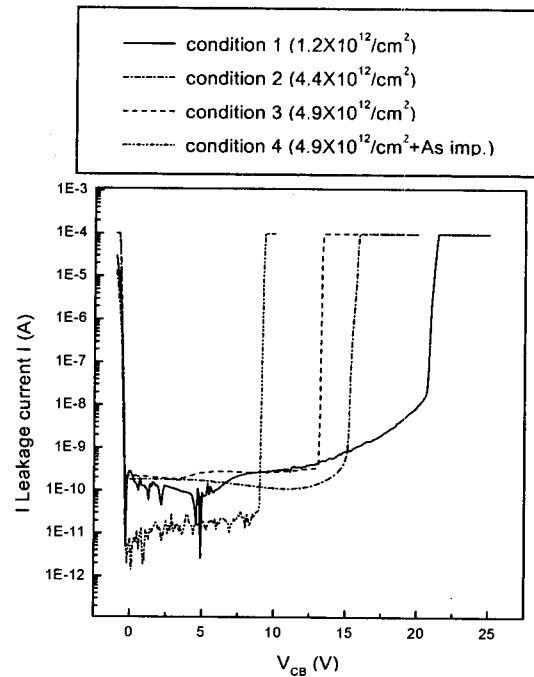


Fig. 3. Leakage current as a function of  $V_{CB}$

따라 누설전류가 처음에는 일정하다가 특정한 전압에서 급격하게 증가하는 것을 관찰할 수 있는데 이때의 전압이  $BV_{CBO}$ 가 된다. 조건 1 및 조건 2로 제작된 소자의  $BV_{CBO}$ 는 각각 20.8V과 14.9V였다. 따라서 Fig. 2와 Fig. 3으로부터  $BV_{CEO}$  및  $BV_{CBO}$ 는 컬렉터 농도가 증가하면 감소하며, 항복 전압을 높이기 위해서는 컬렉터 농도를 낮추어야 한다는 사실을 알 수 있다.

한편, Fig. 3에 나타난 바와 같이 전체 컬렉터 이온주입량은 동일하지만 As를 주입한 경우에  $BV_{CBO}$ 가 13V에서 8.8V로 크게 감소하였다. 이러한 현상이 발생한 이유는 후속공정이 진행되는 동안 기판에 도핑된 Sb에 비해 이온주입된 As이 베이스 쪽으로 더욱 확산하여 컬렉터의 두께가 얇아졌기 때문이다. 이것은 LOCOS 공정 직후의 컬렉터 영역의 시뮬레이션 결과로부터 확인할 수 있다. Fig. 4는 ATHENA process simulator<sup>8)</sup>를 사용하여 얻은 시뮬레이션 결과로 표면에서 기판 방향으로 실리콘 질화막, 실리콘 산화막, 실리콘 액티브 영역 순으로 구성된 모의 시료 내에서 각 도펀트들의 농도분포를 나타내고 있다. 산화막과 액티브 영역 사이의 계면에서  $n^+$ 형 저저항 층(Fig. 1의  $n^+$  sub-collector)까지의 거리는 As가 이온주입되지 않은 경우에는 590nm인 반면에 As가 이온주입된 경우에는 230nm였다. 앞에서 언급한 바와 같이 컬렉터-베이스 접합에서의  $E_{max}$ 가  $E_C$ 에 도달하면 항복 현상이 발생하는데, 만일 컬렉터 두께가 얇아서 전기장의 최대값이  $E_C$ 가 되기 전에 접합의 공핍층(depletion layer)이  $n^+$ 형 저저항 층에 닿게 되면 전류가 급격하게 증가하게 된다. Ikeda et al.<sup>11)</sup>은  $BV_{CEO}$ 가 컬렉터 층의 두께에 비례하여 증가한 결과를 보고하였는데 이러한 현상을 reach-through라 하며 이때의 전압이 항복전압이 된다.

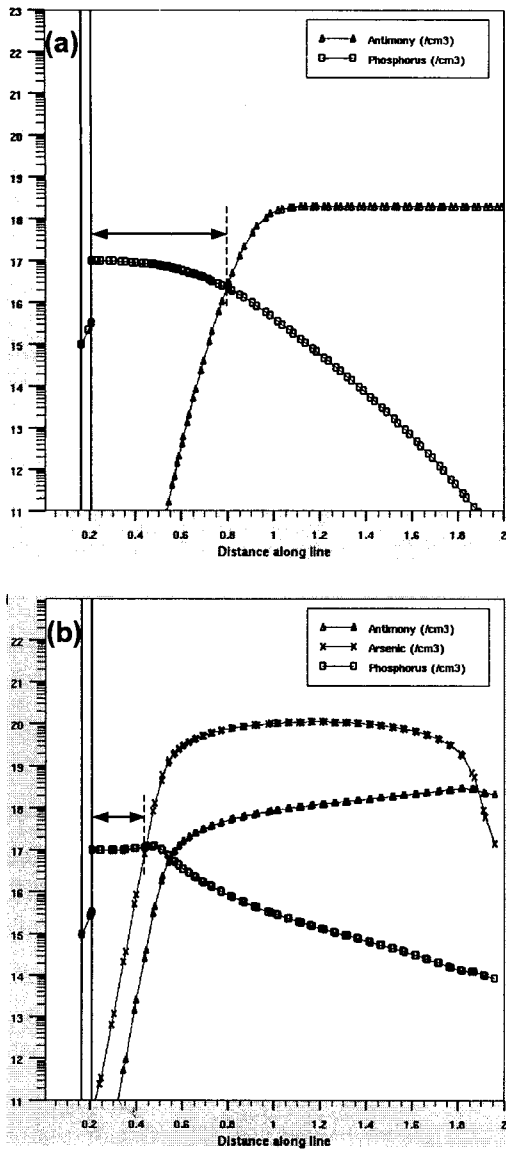


Fig. 4. Simulated dopant profiles after LOCOS process (a) The device fabricated on condition 2 ( $4.4 \times 10^{12}/\text{cm}^2$ ) (b) The device fabricated on condition 4 ( $4.9 \times 10^{12}/\text{cm}^2 + \text{As imp.}$ )

IV 특성, Early 전압, 항복전압 이외에 중요한 DC 특성으로는 전류이득 ( $\beta$ ) 이 있는데 여러 바이어스 조건에서 트랜지스터를 사용하기 위해서는 넓은 컬렉터 전류 범위에서 일정한  $\beta$ 값이 유지되어야 한다. Fig. 5는 각각의 조건으로 제작된 소자의 컬렉터 전류에 따른  $\beta$ 특성이다. Fig. 5(b)와 Fig. 5(c)에서 조건 2로 제작된 소자의  $\beta$ 곡선이 동일하지 않은 이유는 베이스 구조를 서로 다르게 하였기 때문이다. 에미터 면적이 넓거나 전체 컬렉터 농도가 높고 As 이온주입을 한 경우에는 Fig. 5에 화살표로 표시된 것과 같이  $\beta$ 가 급격하게 감소하는  $I_C$ 가 고전류 쪽으로 이동하여 넓은 전류 범위에 걸쳐 높은  $\beta$ 값이 유지되었다. 이것은 소자 제작 조건에 따라 Kirk 효과<sup>12)</sup>가 발생하는 임계 전류가 다르기 때문에 나타난 현상이다. 바이폴라 트랜지스터에서 컬렉터 전류 밀도가 임계 값 이상이 되면 인가되는 전압에 따라 베이스가 두꺼워지게 되어  $\beta$  및  $f_T$ 가 감소하는데 이것을

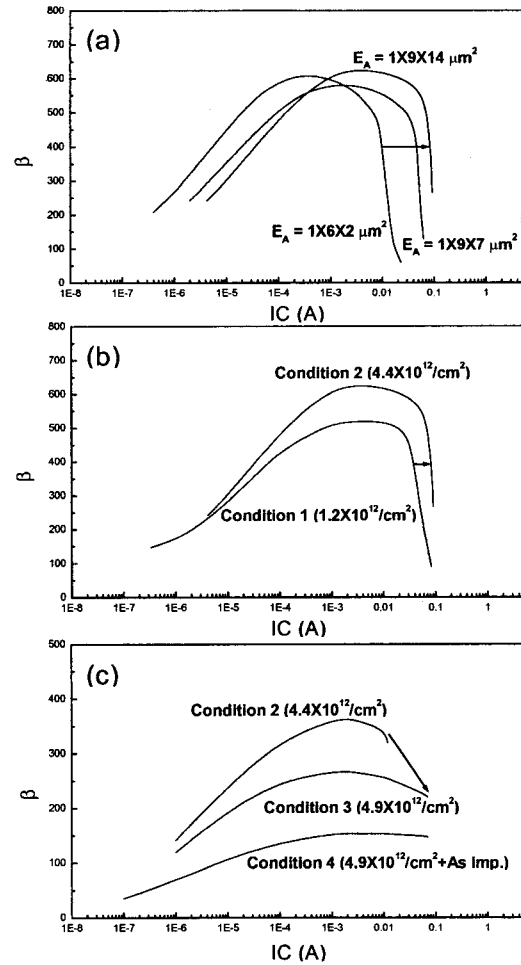


Fig. 5. Variations of  $\beta$  curves with (a) the area of the emitter (b) the implantation dose of the collector (c) the implantation dose of the collector and the As implantation

Kirk 효과라 한다. 이러한 현상은 Fig. 5(a)로부터 쉽게 이해될 수 있다. 임계 전류 밀도가 되면  $\beta$ 는 급격하게 감소하는데 에미터 면적만 다른 소자들은  $\beta$ 가 감소하는 임계 전류 밀도는 동일하고 임계 전류는 에미터 면적에 비례하므로 Fig. 5(a)와 같이  $\beta$ 가 급격하게 감소하는  $I_C$ 가 이동하게 된다. Kirk 효과가 발생하는 임계 전류 밀도  $J_{CK}$ 는 다음과 같이 표시된다.<sup>12)</sup>

$$J_{CK} = qv(N_C + \frac{2\epsilon V_{CB}}{qt_{epi}^2}) \quad (1)$$

(단,  $v$ 는 전자의 종단속도,  $N_C$ 는 컬렉터 농도,  $V_{CB}$ 는 컬렉터와 베이스 사이에 인가되는 전압,  $t_{epi}$ 는 컬렉터의 두께)

따라서, Fig. 5(b), (c)에서와 같이  $N_C$ 가 큰 경우에는  $J_{CK}$ 가 커서 높은  $I_C$ 에서도  $\beta$ 값이 유지되는 현상이 나타난다. 또한, Eq.(1)과 Fig. 5(c)로부터 조건 3에 비하여 조건 4의 경우 더 높은 전류까지  $\beta$ 가 일정한 값을 나타내었으므로 조건 4의 컬렉터 두께 ( $t_{epi}$ )가 더 얇다고 추론할 수 있다.

결국, 컬렉터 농도가 낮고 두께가 두꺼운 경우에 항복전

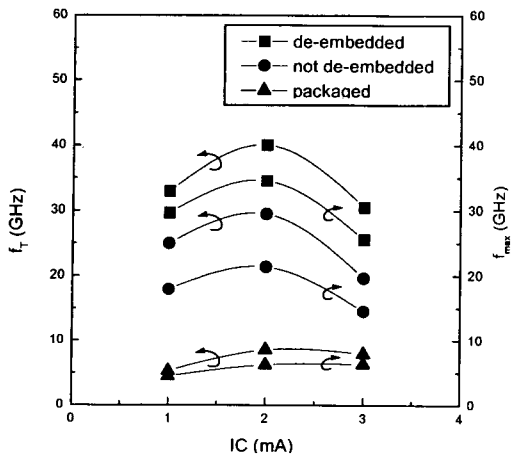


Fig. 6.  $f_T$  and  $f_{max}$  changes after the de-embedding or the packaging ( $V_{CE}=2V$ )

압은 크지만  $\beta$ 는 높은 콜렉터 전류 범위에서 낮은 값을 갖게 되므로 트랜지스터의 동작에 적합한 항복전압과  $\beta$ 값을 고려하여 콜렉터 농도와 두께를 최적의 값으로 선택하여야 한다.

3-2. AC 특성

DC 특성과는 달리  $f_T$  및  $f_{max}$ 와 같은 AC 특성의 경우 패키지 전후의 측정 값이 다른 결과를 나타내었다. Fig. 1과 같이 콜렉터 전극을 기판 아래로 형성하는 방법은 공정이 간단하므로 단위 부품 트랜지스터를 만들 때 적용하여 제조 단가를 크게 낮출 수 있다. 그러나, 웨이퍼 상태에서 바로 AC 특성을 측정하기 위해서는 측정 probe의 모양에 맞게 패드가 디자인되어야 하므로 콜렉터 전극도 웨이퍼 위쪽으로 형성되어야 한다. Fig. 6는 콜렉터 전극이 위로 형성된 소자의 패키지 전후의  $f_T$  및  $f_{max}$  특성이다. 패드의 기생성분이 포함된 SiGe HBT의  $f_T$  및  $f_{max}$  값은 각각 30GHz와 21GHz였으며, 패드의 기생성분을 제거하는 과정인 de-embedding<sup>13)</sup>을 거쳐서 얻어진 순수한 트랜지스터 성분만 포함된  $f_T$  및  $f_{max}$  값은 각각 40GHz와 35GHz였다. 바이폴라 트랜지스터의  $f_T$  및  $f_{max}$ 는 다음과 같이 표시된다.<sup>14)</sup>

$$\frac{1}{2\pi f_T} = \frac{kT}{qI_C} (C_{EB} + C_{CB}) + \tau_B + \tau_E + R_C C_{CB} \quad (2)$$

$$f_{max} = \left( \frac{f_T}{8\pi R_B C_{CB}} \right)^{\frac{1}{2}} \quad (3)$$

(단,  $C_{EB}$ 는 에미터-베이스 접합의 정전용량,  $C_{CB}$ 는 콜렉터-베이스 접합의 정전용량,  $\tau_B$ 는 베이스 통과시간,  $\tau_E$ 는 에미터 통과시간,  $R_C$ 는 콜렉터 저항,  $R_B$ 는 베이스 저항)

$f_T$ 의 역수는 시간 항으로 전자가 에미터 전극부터 콜렉터 전극까지 이동하는데 걸리는 시간에 비례하며, 만일 패드의 기생 정전용량이나 인덕턴스(inductance) 성분이 존재한다면 Eq. (2)의 우항에 첨가된다. 따라서, 패드의 기생성분에 의하여 전자의 이동이 지연되어  $f_T$ 가 감소하게 되며, 또한  $f_{max}$ 는 Eq. (3)과 같이  $f_T$ 의 제곱근에 비례하므로  $f_{max}$ 도

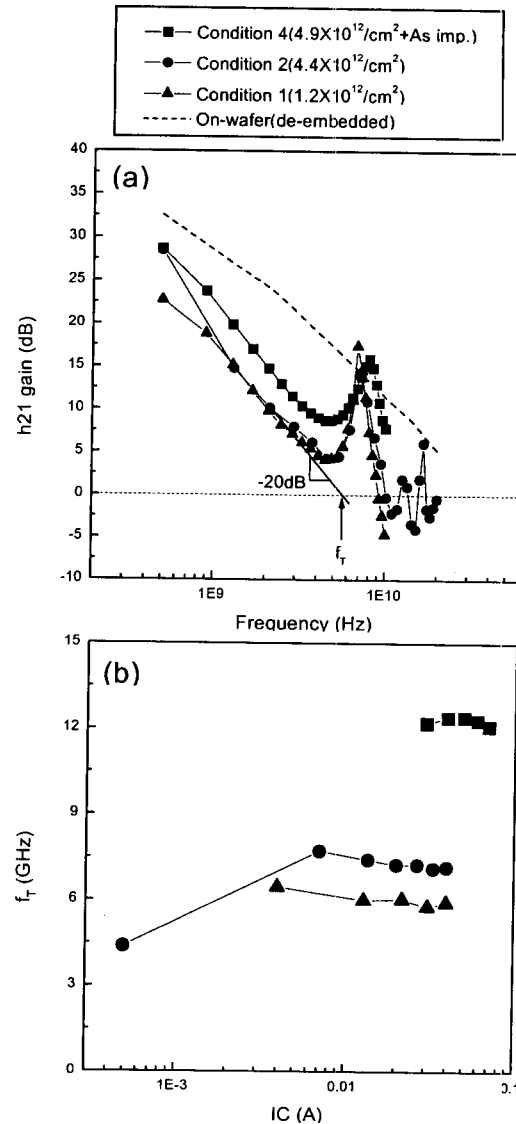


Fig. 7. AC characteristics with various conditions (a)  $h_{21}$  gain as a function of frequency (b)  $f_T$  as a function of  $I_C$  ( $V_{CE}=2V$ )

감소하게 된다. Fig. 6의 패키지된 소자의 결과도 이와 유사하게 설명될 수 있다. 패키지된 소자의  $f_T$  및  $f_{max}$  값은 10GHz 이하의 낮은 값을 보였는데 이것은 패드의 기생성분에 패키지의 기생성분이 더하여져서 전자의 이동 시간이 더욱 증가하여 나타난 현상으로 보인다. 패키지된 소자의  $f_T$  및  $f_{max}$  값은 de-embedding하여 얻은 값의 약 18% 정도 밖에 되지 않았으므로, 우수한 AC 특성을 갖는 단위 부품 소자를 얻기 위해서는 소자 자체의  $f_T$  및  $f_{max}$  값을 높이는 것뿐만 아니라 최적의 설계에 의하여 패드 및 패키지의 기생성분을 최소화하여야 한다고 생각된다.

Fig. 7(a)는 실제로  $f_T$  값을 구하는 방법을 나타내고 있다.  $f_T$ 는 AC 파라미터의 하나인  $h_{21}$  이득(gain)이 0이 되는 주파수이며,  $h_{21}$  이득은 네트워크 분석기로 직접 측정하는 s 파라미터를 변환하여 얻는 값이다. Fig. 7(a)에서와 같이 패키지된 소자의 경우 측정 지그(jig) 설계에 따라 특정 주파수 이상에서 공진이 발생하여  $h_{21}$  이득이 불균일한 특성

을 나타내므로 기울기가  $-20\text{dB}$ 를 만족하는 수 개의 포인트에 직선을 긋고  $h_{21}$  이득이 0이 되는 주파수를 읽어서  $f_T$ 를 구하였다. 한편, 패키징되지 않은 웨이퍼 상태의 소자의 경우 균일한  $h_{21}$  이득 특성을 보였다. Fig. 6와 마찬가지로 Fig. 7(a)에서도 패키징된 소자의  $f_T$ 가 웨이퍼 상태 소자의 값보다 매우 작은 것을 확인할 수 있다.

콜렉터 형성 조건에 따른  $f_T$  값의 변화는 Fig. 7(b)와 같으며,  $f_{\text{max}}$ 는  $f_T$ 와 동일한 경향을 나타내었다. 콜렉터 농도가 높을수록 큰  $f_T$  값을 나타냈으며, 특히 콜렉터 농도가 높고  $A_s$  이온주입을 한 경우에  $f_T$ 가 크게 증가하였다. Eq. (2)에 의하면 콜렉터 농도가 증가하는 경우에  $R_c$ 는 감소하고  $C_{CB}$ 는 증가하는데  $R_c$  감소 쪽에 비해  $C_{CB}$  증가 쪽이 작으므로 결국  $f_T$ 는 증가한다. 또한 바이어스 전압 강하가 접합에서만 일어난다고 가정하면 콜렉터의 두께가 작은 경우에  $C_{CB}$ 는 변화가 없고  $R_c$ 만 감소하게 되므로 콜렉터 농도만 높인 경우에 비하여  $f_T$ 가 훨씬 증가하게 될 것이다. 따라서,  $A_s$ 를 이온주입한 조건 4의 경우 다른 조건에 비해서 약 12GHz의 훨씬 큰 값을 나타낸 것으로 생각된다. 한편, 콜렉터 농도가 높고 두께가 얇을 때에는 Eq. (1)에 의하여 Kirk 효과가 시작되는 임계 전류 밀도가 커지게 된다. 앞에서 언급하였듯이 Kirk 효과가 발생하면 Eq. (2)의  $\tau_B$ 가 증가하여  $f_T$ 가 감소하므로 Fig. 7(b)에서와 같이 콜렉터 농도가 높고  $A_s$ 를 이온주입한 경우에  $f_T$  곡선이 높은 전류쪽으로 이동한 것으로 생각된다.

#### 4. 결 론

웨이퍼 상태 및 패키징된 상태의 SiGe HBT 소자의 DC 특성은 거의 차이가 없었으나  $f_T$  및  $f_{\text{max}}$  특성은 큰 차이를 보였다. 순수한 트랜지스터 성분에 의한  $f_T$  및  $f_{\text{max}}$  값은 각각 40GHz와 35GHz였고, SOT-23 타입으로 패키징된 소자의  $f_T$  및  $f_{\text{max}}$  값은 각각 8GHz와 6GHz였다. 이와 같이 큰 폭으로 AC 특성 값이 감소한 것은 패드와 패키지의 기생 정전용량 및 기생 인덕턴스에 의하여 전자 이동이 지연되어 나타난 현상으로 보인다.

SiGe HBT의 콜렉터 농도가 증가함에 따라 낮은 바이어스 전압에서 콜렉터-베이스 접합의 avalanche 항복 현상이 발생하여  $BV_{\text{CEO}}$ 와  $BV_{\text{CBO}}$ 가 감소하였다. 제작된 소자의  $\beta$  및  $f_T$  결과로부터 콜렉터 농도에 비례하여 Kirk 효과가 시작되는 임계전류가 증가한다는 사실을 확인하였다. 한편,  $A_s$ 를 이온주입한 소자의 경우 다른 소자에 비해  $BV_{\text{CBO}}$ 가 작은 값을 나타내었고  $\beta$  및  $f_T$ 가 높은 콜렉터 전류 범위에서 큰 값을 유지하였는데 이것은 후속공정이 진행되는 동안  $A_s$ 가 베이스 쪽으로 확산하여 콜렉터 두께가 얇아져서 생긴 현상으로 생각된다. 콜렉터 농도가 낮고 두께가 두꺼운 경우에는 항복전압 특성은 우수하였으나  $f_T$  및  $f_{\text{max}}$ 가 낮고

콜렉터 전류가 높을 때  $\beta$  및  $f_T$ 가 급격히 감소되는 결과를 나타내었으므로, SiGe 베이스 및 다결정 실리콘 에미터 뿐만 아니라 콜렉터의 경우에도 그 농도 및 두께를 SiGe HBT의 사용 목적에 맞게 최적화 하는 것이 중요하다고 생각된다.

#### 감사의 글

본 연구는 정보통신부의 연구비 지원에 의해 수행되었으며 이에 감사 드립니다.

#### 참 고 문 헌

1. R. Goezfried, F. Beisswanger, S. Gerlach, A. Schueppen, H. Dietrich, U. Seiler, K.-H. Bach, and J. Albers, *IEEE Trans. Microwave Theory Tech.*, **46**(5), 661 (1998).
2. S.S. Iyer, G.L. Patton, J.M.C. Stork, B.S. Meyerson, and D.L. Harame, *IEEE Trans. Electron. Devices*, **36**(10), 2043 (1989).
3. K. Hartmann, W. Kotyczka, and M.J.O. Strutt, *Electron. Lett.*, **7**(18), 510 (1971).
4. M. Liang and M.E. Law, *Solid-State Electron.*, **35**(7), 1017 (1992).
5. S.-Y. Lee, H.-S. Kim, S.-H. Lee, K.-H. Shim, J.-Y. Kang, and M.-K. Song, *J. Mater. Sci. : Mater. Electron.*, **12**(8), 467 (2001).
6. P.J. van Wijnen, J.L. de Jong, and B. van Schravendijk, *Proc. IEEE BCTM*, 110 (1990).
7. SILVACO International, *UTMOST (Universal Transistor MOdeling SofTware) III*, SILVACO International Inc., Santa Clara, (1995).
8. SILVACO International, *ATHENA (2D process simulation framework)*, SILVACO International Inc., Santa Clara, (1996).
9. E.S. Yang, *Microelectronic Devices*, p.87, McGraw-Hill, Singapore, (1988).
10. S. Wolf, *Silicon Processing for the VLSI Era Volume 2*, p. 469, Lattice Press, Sunset Beach, (1990).
11. T. Ikeda, A. Watanabe, Y. Nishio, I. Masuda, N. Tamba, M. Odaka, and K. Ogiue, *IEEE Trans. Electron. Devices*, **ED-34**(6), 1304(1987).
12. D.J. Roulston, *Bipolar Semiconductor Devices*, p. 257, McGraw-Hill, Singapore, (1990).
13. P.J. van Wijnen, H.R. Claessen, and E.A. Wolsheimer, *Proc. IEEE BCTM*, 70 (1987).
14. D.J. Roulston, *Bipolar Semiconductor Devices*, p.241, McGraw-Hill, Singapore, (1990).