

## 최근의 MOS 구동 사이리스터의 현황과 미래



오재근  
(서울대 전기공학부)



이유상  
(서울대 전기공학부)



한민우  
(서울대 전기공학부)



최연익  
(아주대 전자공학부)

### 1. 서론

#### 1.1 MOS 구동 사이리스터의 등장 배경

오늘날 높은 수요 증가율을 보이는 인버터 기기의 고주파화와 소형화의 추세에 의해 고속의 스위칭이 가능하고 구동회로의 전력손실을 감소시킬 수 있는 MOS 구동 소자가 주목받고 있다. 1970년대의 등장한 전력용 MOSFET (metaloxide-semiconductor field-effect transistors) 과 80년대에 등장한 IGBT (insulated gate bipolar transistors) 는 높은 입력 임피던스를 가짐으로써 높은 전력이익을 가진 소자였다. 따라서 높은 효율을 가진 저면적의 시스템 개발을 가능하게 하였다(1). 표 1 은 각종 전력용 소자의 성능을 상대적으로 비

교한 것이다.

그림 1은 IGBT 의 단면구조이다. IGBT는 높은 입력 임피던스를 위한 MOS 게이트를 채택하였으며, 소자의 동작 시 바이폴라 트랜지스터 동작에 의한 낮은 순방향 전압 강하를 가진다. 또한 IGBT 소자는 소수 반송자 수명 조절(minority carrier lifetime control)에 의한 스위칭 시간 감소로 인해 많은 전력 전자 시스템에서의 응용이 가능하여졌다.

표 1. 전력용 반도체 소자의 성능비교.

	BJT	MOSFET	IGBT	GTO	Thyristor	MCT
구동방식	전류	전압	전압	전류	전류	전압
스위칭 주파수(Hz)	10000	500000	20000	2000	400	20000
고내압화	○	△	○	◎	◎	○
대전류화	○	△	○	◎	◎	△
고속화	△	◎	○	△	△	○
단락 SOA	○	○	△	△	△	○
포화전압	◎	△	○	◎	◎	◎

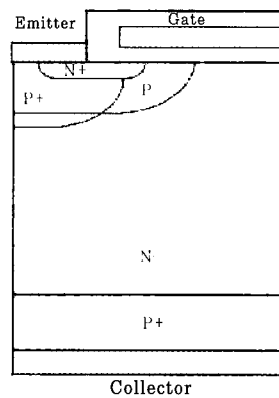


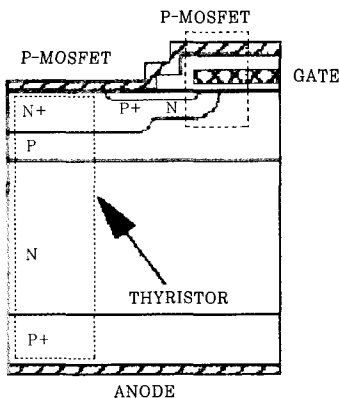
그림 1. IGBT 의 단면도.

이러한 IGBT 소자의 우수함에도 불구하고, 전력 소모를 줄이기 위한 지속적인 연구는 MOS 구동 사이리스터 소자의 개발을 가져왔다[1]. 최초의 MOS 구동 사이리스터는 MCT (MOS Controlled Thyristor) 이다[2]. MCT 는 기존의 게이트 구동 사이리스터인 GTO (Gate Turn-off Thyristor) 에 비해 간단한 게이트 구동 회로 및 IGBT 에 비해 적은 전력 소모 등의 장점으로 인해 주목 받았다. 초기의 MOS 구동 사이리스터인 MCT 는 삼중 확산 구조의 채택 등으로 인하여 공정이 IGBT 나 전력용 MOSFET 등에 비교하여 상당히 어려운 면이 있었다. 90년대 들어 EST[3], BRT[4] 등이 개발되면서, IGBT 와 같은 공정을 이용하여 사이리스터의 장점을 가지는 소자의 개발이 가능하여짐에 따라서 MOS 구동 사이리스터에 대한 연구가 활발하여 지는 계기가 되었다. 다음 그림 2, 3, 4 는 각각 MOS 구동 사이리스터인 MCT, EST, BRT 의 구조이다.

그림 5 는 MOS 구동 사이리스터와 IGBT 의 한 턴-오프 시간과 순방향 전압 강하와의 관계를 도시한 것이다. 동일한 턴-오프 시간을 가지면서 낮은 순방향 전압을 갖는다면 소자의 전력 소모가 적으므로 유리하다. 그림 5 를 보면, MOS 구동 사이리스터가 IGBT 에 비해서 동일한 턴-오프 시간에서 낮은 순방향 전압 강하가 가능한 소자의 제작이 가능함을 알 수 있다.

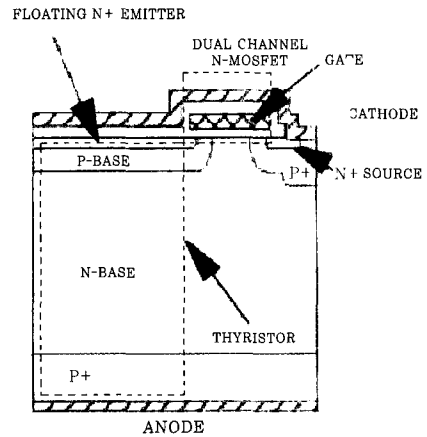
### 1.2 최근의 MOS 구동 사이리스터 연구

그림 6은 EST 소자의 일종인 DC-EST (dual-channel EST)의 단면구조이다. DC-EST는 자생적인 MOSFET에 의한 전류 포화 특성으로 인해 MCT에 비해 우수한 순방향 안전 동작영역 (FBSOA : Forward Biased Safe Operating Area) 을 가진다. 반면 DC-EST의 순방향 전압 강하의 경우



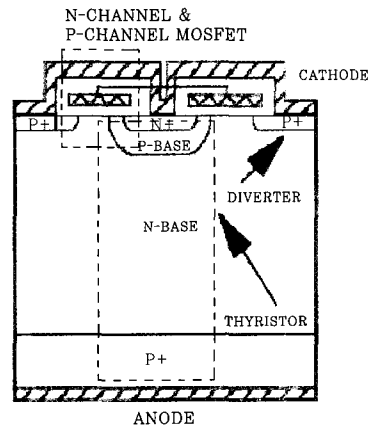
MCT STRUCTURE

그림 2. MCT 의 단면도.



EST STRUCTURE

그림 3. EST 의 단면도.



BRT STRUCTURE

그림 4. BRT 의 단면도.

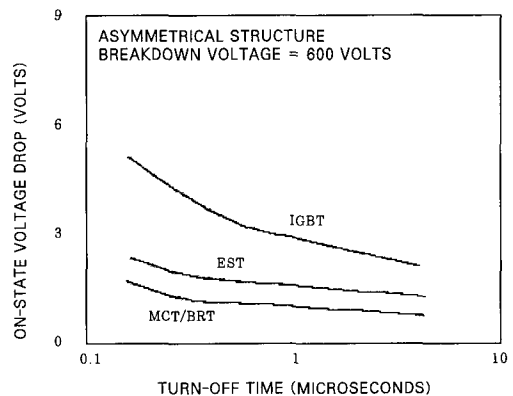


그림 5. 소자에 따른 턴-오프 시간과 순방향 전압 강하의 관계

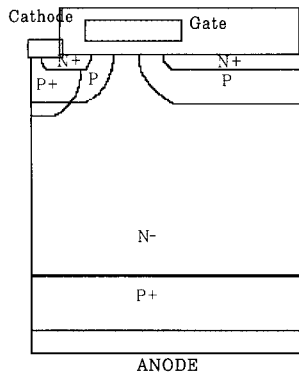


그림 6. DC-EST의 단면도.

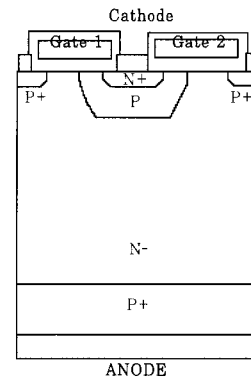


그림 7. DG-BRT의 단면도.

는 MOSFET 성분으로 인하여 약간 증가하는 단점이 있다 [5].

우수한 FBSOA 특성을 유지하면서 전력 소모를 줄이기 위한 방법으로 이중 게이트를 이용한 소자의 제안이 이루어졌다. 그림 7은 BRT의 단점인 FBSOA를 개선하며 BRT의 낮은 전력 소모 특성을 이용한 DG-BRT (dual-gate BRT) 소자이다. DG-BRT는 소자의 on-off 상태에 따라서 각각 사이리스터와 IGBT의 방식으로 동작함으로써 IGBT와 같은 우수한 FBSOA 특성을 나타냄과 동시에 낮은 순방향 전압 강하를 보인다[6].

MOS 구동 사이리스터의 연구는 기존의 3극관 교류 스위치인 트라이악 (triac)을 대체하는 분야에서도 진행되고 있다. 그림 8은 이러한 소자인 IGTR (Insulated Gate Triac)의 단면구조이다[7]. 이중 채널 구조의 MOS 구동 사이리스터를 이용하여 IGTR은 교류 스위치로서 높은 유효 동작 면적을 가지는 장점을 가진다. 또한 기존의 연구되었던 IGBT등을 이용한 교류 스위치가 일반적으로 4개의 전극을 필요로 하는 것에 비해 3개의 전극으로 구현 가능하다는 장점이 있다.

## 2. 본론

지금까지 MOS 구동 사이리스터의 등장 배경과 현재 연구 추세를 살펴보았다. 본문에서는 현재 서울대학교에서 활발한 연구가 진행 중인 수평형 MOS 구동 사이리스터에 대하여 살펴보고자 하겠다. 전력 집적 회로 (PIC : power integrated circuit) 응용에 있어서 수평형 전력 소자는 수직형 전력 소자에 비해 상당한 이점을 가진다. 수평형 MOS 구동 사이리스터는 낮은 전력 소모를 가지므로 전력 집적회로 구성에 유리한 장점을 가진다. 그러나 MOS 구동 사이리스터의 전력 집적회로 응용에 있어서는 수평형 MOS 구동 사이리스터의 전류 집중화 현상이나, 부정 저항 영역 발생, 기생 사이리스터 동작

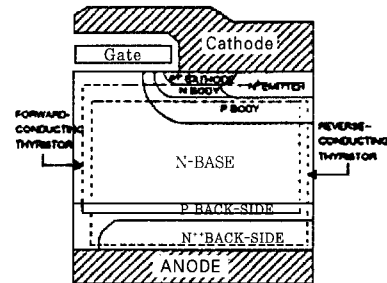


그림 8. IGTR의 단면도.

등 해결하여야 할 문제가 존재한다. 본문에서는 이러한 문제점을 해결하기 위해서 최근에 서울대에서 연구되었던 두 가지의 수평형 MOS 구동 사이리스터를 소개하도록 하겠다.

### 2. 1. 수평형 SB-DCEST

MOS 구동 사이리스터 중에서 EST는 2중 확산 공정만으로 제작이 가능하기 때문에 MCT에 비해 제작 공정이 용이하다. 또한, DC-EST는 게이트 구동에 의한 전류 포화 특징을 지니고 있어서 안전 동작 영역(safe operating area : SOA)이 넓은 장점을 갖는다. 그러나 EST는 순방향 동작시 스냅백 (snap-back) 현상이 발생하며 이것은 소자의 응용 시 문제점을 야기할 수 있다[8][9].

그림 1(a)은 일반적인 DC-EST 소자의 단면도이다. 게이트에 문턱 전압보다 큰 전압을 가하고 애노드에 양의 전압을 가하면 캐소드에서 주입된 전자 전류는 pnp 트랜지스터를 구동시키는데 그 때 애노드에서 주입된 정공은 p 베이스 / n+ 캐소드간의 전위 장벽을 넘지 못하고 그림 1(a)에 삽입된 그림과 바와 같이 p+ 캐소드를 거쳐서 빠져나간다. 따라서 DCEST는 동작의 초반에는 트랜지스터 방식으로 도통되어 온-저항이 크게 나타난다. 애노드 전압이 증가하여, p 베이스 내의 수평 경로상의 션트(shunt) 저항(이하  $R_p$ )에 의한 전압

강하( $V_b$ )가 0.7V에 도달하면 p 베이스/n<sup>+</sup> 캐소드가 순방향으로 도통되어 pnp 트랜지스터와 npn 트랜지스터의 regenerative action으로 인한 사이리스터 동작이 발생하고 순방향 전압 강하가 낮아진다. 이와 같이 DCEST는 소자의 도통 시에 트랜지스터 방식에서 사이리스터 방식으로의 동작의 전환되면서 부성 저항 영역을 가지는 스냅백 현상이 발생하게 된다. 스냅백을 억제하기 위해서는 그림 1(a)에 나타난 p 베이스의 수평경로상의 션트 저항(shunt resistance),  $R_p$ 를 증가시킴으로써 래칭 전류를 낮추어야 한다[10].

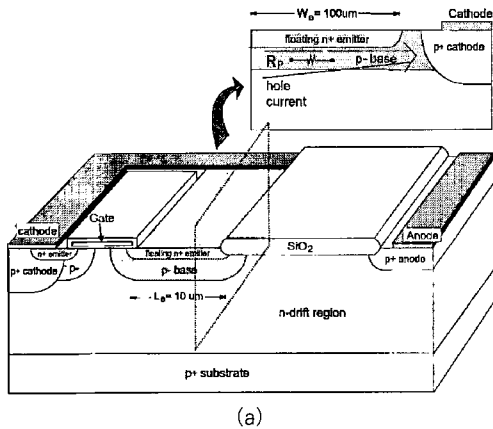
본 연구팀은 자기 정렬된 세그먼트 p 베이스 영역을 이용하여, 소자의 스냅백 현상을 억제하고, 순방향 전압 강하를 크게 감소시킬 수 있는 새로운 이중 채널 에미터 스위치드 사이리스터(SB-DCEST : dual-channel emitter switched thyristor)를 제안하고, 제안된 소자와 기존의 구조를 함께 제작하여 소자 특성을 조사하였다[11].

제안된 SB-DCEST는 그림 1(b)에 나타난 바와 같이 세그먼트 p 베이스 구조를 이용하여  $R_p$  저항 경로에 고저항의 측

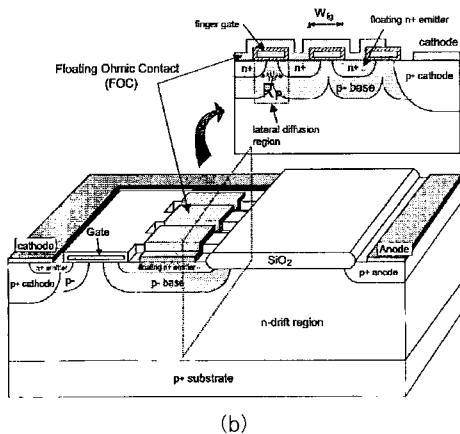
방향 확산 영역을 다수 삼입함으로써  $R_p$  저항을 크게 증가시킬 수 있다. 세그먼트 p 베이스 구조는 게이트 폴리실리콘을 자기 정렬된 확산층으로 붕소 불순물을 확산시켜 형성된다. 각각의 p 베이스는 인접한 p 베이스와 측방향 확산에 의해 연결되며, 그 결과 그림 1(b)의 우측 상단의 그림과 같이 정공 전류 ( $I_{hp}$ )는 고저항의 측방향 확산 영역을 경유하여 흐르게 되므로 저항  $R_p$ 가 크게 증가된 효과를 얻을 수 있다. 증가된 저항  $R_p$ 는 래칭 전류  $I_{LH}$ 를 낮춤으로써 스냅백의 억제를 가능하게 함과 동시에 같은 전류 밀도에서 사이리스터 동작영역이 확대되는 효과를 가져오므로 소자의 순방향 전압 강하가 감소되는 효과를 얻을 수 있다.

제안된 SB-DCEST와 기존의 DCEST에 대한 전압-전류 특성의 측정 결과를 그림 10에 나타내었다. 게이트 전압을 6V에서 10V 까지 변화시키면서 각각의 경우의 특성을 측정하였다. 제안된 SB-DCEST 구조의 전류-전압 특성에서 스냅백이 성공적으로 제거되었음을 알 수 있다. 이와 달리 기존의 DCEST 구조의 전류-전압 특성에서는 부성저항 영역(negative resistance regime)을 포함하는 스냅백 영역이 관찰된다. SB-DCEST의 래칭 전류 밀도는 게이트 전압이 10V의 경우  $12A/cm^2$ 로서, 기존 DCEST 구조의  $20A/cm^2$ 에 비해 40%가 감소되었음을 확인하였다. 또한 게이트 전압이 6V인 경우 기존DCEST의 경우는 래치-업이 일어나지 않아서 트랜지스터 방식으로만 작동하고 사이리스터 동작을 하지 않는 것에 비해, 제안된 SB-DCEST는 사이리스터 동작을 하는 것이 관찰되었다. 애노드 전류 밀도  $150A/cm^2$ 에서 제안된 SB-DCEST 소자의 순방향 전압 강하는 4.3V로서 기존 DCEST 구조의 5.3V에 비해서 1V가 감소했다.

전력집적회로의 경우, 소자의 자기 열 발생(self-heating) 현상 혹은 동작 환경의 고온 조건에 의해 소자 온도가 상승하기 쉽다. 이로 인한 소자 특성 변화가 크게 나타나므로 본 제



(a)



(b)

그림 9. 단면도 (a) 일반적인 수평형 DCEST (b) 제안된 수평형 SB-DCEST.

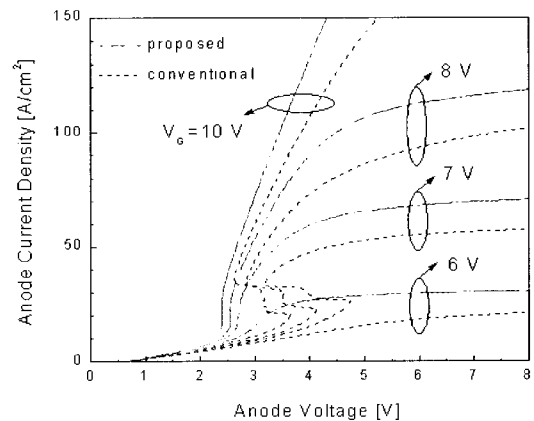


그림 10. 제안된 SB-DCEST의 I-V 특성.

안된 소자와 기존의 소자에 대한 고온 조건에서의 특성을 조사하였다. 그림 11서 온도가 100°C로 상승함에 따라 제안된 SB-DCEST 소자와 기존의 DCEST에서 모두 래칭 전류의 감소 현상이 보인다. SB-DCEST의 경우는 100°C의 경우도 역시 상온과 같이 스냅-백이 억제된 특성을 보인다.

## 2. 2. LCMT

모스 구동사이리스터에서 래치업과 기생 사이리스터의 regenerative 동작으로 인해 전류포화손실과 긴 턴-오프 시간은 중요한 이슈이다. 본 연구팀은 성공적으로 SOA(Safety Operating Area)을 증가시키고, 턴-오프 시간을 감소시킨 새로운 수평형 MOS-게이트 사이리스터인 수평형 전도도 변조 사이리스터 (LCMT : Lateral Conductivity Modulated Thyristor)를 제안하였다[12]. 제안된 LCMT는 기생 사이리스터의 제거로 전류포화특성이 향상되어 SOA가 크게 증가되었다. 또한 턴-오프 동작 중에 정공을 성공적으로 빠지게 하는 p' 다이버터(diverter)를 이용해 턴-오프 시간을 크게 개선시켰다.

그림 12는 제안된 LCMT의 단면 구조이다. 제안된 LCMT의 주된 사이리스터 경로는 FOC(floating ohmic contact)

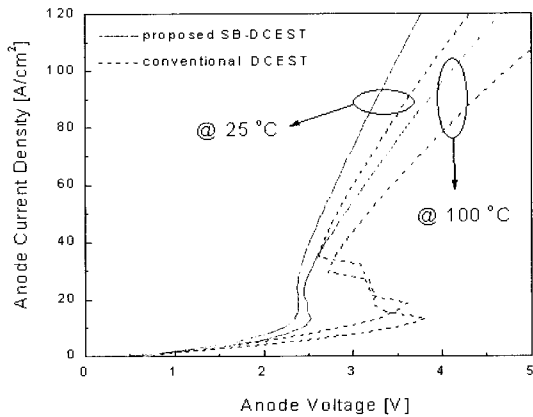


그림 11. 상온과 100°C에서 제안된 SB-DCEST 소자의 I-V 특성.

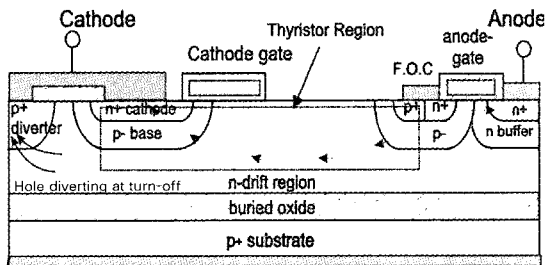


그림 12. LCMT의 단면 구조 및 소자 동작 시의 전류 흐름.

아래의 플로팅 p', p 베이스/n 드리프트/p 베이스/n' 캐소드이다. 기존의 LIGBT나 LEST 구조에서 발생하는 기생 사이리스터의 래치-업 문제를 해결하기 위해서 p' 애노드를 n' 애노드로 대체하여 LCMT는 전류포화특성을 우수한 SOA를 갖도록 설계하였다.

N' 애노드로 대체한 LCMT에서 사이리스터 경로가 존재해야 하므로, 애노드 옆에 FOC을 만들고 그 아래 p 베이스 위에 플로팅 p' 을 형성하였다. 또한 FOC 하부에 플로팅 n' 영역을 형성하고 애노드의 n' 영역과 애노드-게이트로 연결함으로써, LCMT의 전류를 제어할 수 있는 MOSFET을 집적하였다. 캐소드 영역에는 P' 다이버터를 설계하여, 턴-오프 시에 드리프트 영역에서의 재결합으로 턴-오프 되던 기존의 LIGBT, LEST등과는 달리, 다이버터를 통해 다량의 소수캐리어 정공(hole)이 빠져나갈 경로를 설정하여 줌으로써 턴-오프가 빨리 이루어지도록 하였다.

그림 13은 제안된 LCMT의 순방향 I-V 특성이다. 캐소드 게이트 전압이 10V이고, 애노드 게이트 전압이 0V에서 15V까지 상승시켜서 소자의 순방향 전류-전압 특성을 측정하였다. 제안된 LCMT는 애노드-게이트 전압이 15V일 때, 애노드 전류밀도가 1200A/cm²보다 높은 영역에서도 전류 포화능력을 가지는 것을 볼 수 있다. LCMT는 전류밀도 100A/cm²일 때, 1.2V의 우수한 순방향 전압강하를 보여준다. 높은 애노드-게이트 전압, 높은 애노드 전압에서도 소자가 전류포화특성을 얻으며, 안정적으로 동작하는 것을 확인할 수 있다.

제안한 소자와의 비교목적으로 같은 드리프트 길이를 갖는 LIGBT와 LEST, p' 다이버터가 없는 LCMT를 제작하였다. 그림 14는 제안된 LCMT, LIGBT와 LEST의 전류-전압 특성이다. 게이트 전압은 모두 10V로 바이어스 한 상태에서 애노드 전압을 올리면서 전류밀도를 측정하였다. LIGBT나

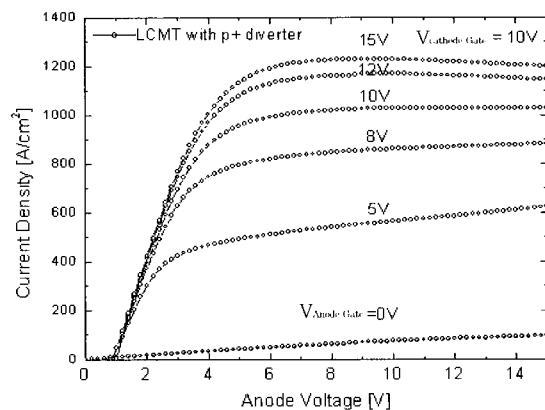


그림 13. 여러 가지 애노드-게이트 전압에 대한 LCMT의 I-V 특성.

LEST의 애노드 전압을 올리면 전류포화특성을 보이지 못하며, 기생 사이리스터 래치-업으로 전류가 게이트 제어를 상실하게 된다. LIGBT와 LEST가 각각 전류밀도  $670\text{A}/\text{cm}^2$ ,  $100\text{A}/\text{cm}^2$ 에서 래치업으로 인한 게이트 제어 상실을 보이는데 반면에 제안한 LCMT는 애노드 전압이 20V에도 훌륭한 전류 포화 능력을 보여준다. 또한 순방향 전압강하의 특성도 애노드 전류밀도  $100\text{A}/\text{cm}^2$ 에서 LCMT는 1.2V로서 다른 소자들에 비해 우수한 것으로 나타났다

그림 15는 제안된 LCMT의 턴-오프 측정 결과이다. 캐소드-게이트와 애노드-게이트에 peak 5V, 2 $\mu\text{s}$ 의 싱글 게이트 펄스를 인가하였다. 제안한 소자의 턴-오프 특성에서 p+ 다이버터의 효과를 비교 연구하기 위해 p+ 다이버터가 없는 LCMT도 제작하여 함께 측정하였다. p+ 다이버터가 있는 LCMT와 없는 LCMT의 턴-오프 시간은 각각 1.5 $\mu\text{s}$ 와 3.0 $\mu\text{s}$ 로 p+ 다이버터가 턴-오프 시간을 줄이는데 유효함을 알 수 있다.

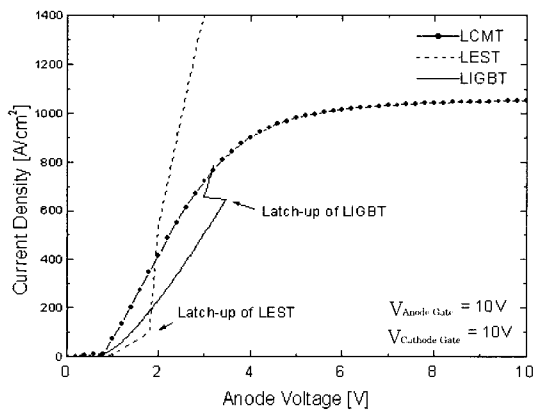


그림 14. LCMT와 LEST, LIGBT의 I-V 특성 비교.

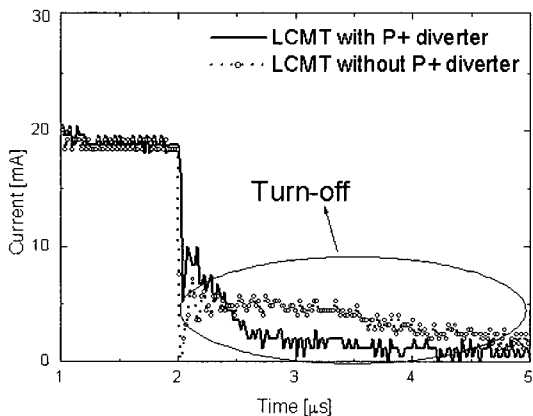


그림 15. p+ 다이버터를 형성한 LCMT와 형성하지 않은 LCMT의 턴-오프 특성.

### 3. 결론

MOS 구동 사이리스터의 등장 배경과 최근의 연구 동향을 살펴보았다. MOS 구동 사이리스터는 전력용 스위치로서 낮은 전력 소모를 가지는 장점이 있으므로 향후 전력 전자 소자로서 가능성을 가지고 있으며 현재 용도별로 다양한 종류의 MOS 구동 사이리스터가 연구되고 있다.

두 종류의 수평형 MOS 구동 사이리스터를 살펴보았다. SB-DCEST는 기존 소자에 비해 추가된 공정이나 마스크 없이 주 사이리스터의 래칭 전류를 낮추어서 소자 동작 시 악영향을 주는 스냅백 영역을 효과적으로 억제하였다. 또한 사이리스터 동작 영역 확대를 통하여 순방향 전압 강하가 감소되는 효과를 얻었다. LCMT는 역시 추가된 공정이나 마스크 없이 기생 사이리스터 경로를 구조적으로 제거함으로써 향상된 안전동작영역(SOA)을 확보하였다. 또한 전류 다이버터를 이용하여 향상된 스위칭 특성을 얻었다. 제안된 두 가지 소자는 전력집적회로용 소자로서 MOS 구동 사이리스터의 응용 가능성을 높여주는 결과라고 할 수 있다.

### 감사의 글

본 논문은 과학기술부의 후원하는 중점국가연구개발 과제를 통한 연구 과정으로 수행되었다.

### 참고 문헌

- [1] B. J. Baliga, "The future of power semiconductor device technology," Proceedings of the IEEE, Vol. 89, p. 822, 2001.
- [2] V. A. K. Temple, "MOS controlled thyristors," IEEE Int. Electron Devices Meeting, p. 282, 1984.
- [3] B. J. Baliga, "The MOS-gated emitter switched thyristor," IEEE Electron Device Lett., Vol. 11, p. 75, 1990.
- [4] M. Nandakumar and B. J. Baliga, "A new MOS-gated power thyristor with turn-off achieved by controlling the base resistance," IEEE Electron Device Lett., Vol. 12, p. 227, 1991.
- [5] N. Iwamuro and B. J. Baliga, "A study of ESTs short-circuit SOA," IEEE Int. Symp. Power Semiconductor Devices and ICs, p. 71, 1993.
- [6] B. J. Baliga and R. Kurlagunda, "The dual gate base resistance controlled thyristor," IEEE Electron Device Lett., Vol. 16, p. 223, 1995.

- [7] R. Dutta, J. S. Ajit, and D. Kinzer, "MOS-gated three-terminal bi-directional switch," IEEE Int. Symp. Power Semiconductor Devices and ICs, p. 213, 1998.
- [8] B. H. Lee, W. O. Lee, M. S. Lim, J. E. Park, M. K. Han, and Y. I. Choi, "A new dual-gate LIGBT with the shorted anode," Proc. SSDM, p. 287, 1996.
- [9] V. Parthasarathy and T. P. Chow, "Theoretical and experimental investigation of 500V p and n channel VDMOS-LIGBT transistors," IEEE Int. Symp. Power Semiconductor Devices and IC's, p. 241, 1995.
- [10] B. J. Baliga, "Lateral junction isolated emitter switched thyristor," IEEE Electron Device Lett., Vol. 13, No. 12, p. 615, 1992.
- [11] D. S. Byeon, B. H. Lee, D. Y. Kim, M. K. Han, and Y. I. Choi, "CB-BRT: a new base resistance-controlled thyristor employing a self-aligned corrugated p-base," IEEE Electron Device Lett., Vol. 19, No. 12, p. 493, 1998.
- [12] You-Sang Lee, Dae-Seok Byeon, Min-Koo Han, and Yearn-Ik Choi, "A new lateral dual-gate thyristor with current saturation", Jpn. J. Appl. Phys., Vol. 39, No. 4B, p. 1979, 2000.

**성명 : 한 민 구**

❖ 학 력

- 1971년 서울대 공대 전기공학과 공학사
- 1979년 미국 Johns Hopkins Univ. 공학박사

❖ 경 력

- 1979년 미국 뉴욕 주립대 조교수
- 현재 서울대 공대 전기공학부 교수

**성명 : 최 연 익**

❖ 학 력

- 1976년 서울대 공대 전자공학과
- 1981년 한국과학기술원 공학박사

❖ 경 력

- 1982년 미국 UC Berkley 전기 및 전산공학과 research associate.
- 현재 아주대 전자공학부 교수

**저 자 약 력**

**성명 : 오 재 근**

❖ 학 력

- 1998년 서울대 공대 전기공학과 공학사
- 2000년 동 대학원 전기공학부 공학석사
- 현재 동 대학원 전기공학부 박사과정

**성명 : 이 유 상**

❖ 학 력

- 1997년 서울대 공대 전기공학과 공학사
- 1999년 동 대학원 전기공학부 공학석사
- 현재 동 대학원 전기공학부 박사과정