

파워 MOSFET를 이용한 전력집적회로기술



박 일 용
(ETRI 다기능소자팀 선임연구원)



노 태 분
(ETRI 다기능소자팀 책임연구원)



구 진 건
(ETRI 다기능소자팀 팀장)

1. 서론

파워 MOSFET(Power Metal-Oxide-Semiconductor Field Effect Transistor)는 입력 임피던스(input impedance)가 매우 크기 때문에 기존의 바이폴라 트랜지스터(Bipolar Transistor)에 비해 게이트 구동 전류가 작고, 구동 회로를 간단히 할 수 있을 뿐만 아니라 구동회로의 면적이 집적화 할 수 있을 만큼 충분히 작게 만들 수 있게 되었다. 따라서 파워 MOSFET를 중심으로 구동회로를 집적화하여 시스템의 가격(cost), 크기(size), 무게(weight)를 줄이기 위한 전력집적회로(Power Integrated Circuits, 일명 PIC)의 개발이 80년대 중반부터 가속화되었다.

전력집적회로(PIC)[1]는 크게 스마트 전력집적회로(Smart power IC)와 고전압 집적회로(High Voltage IC, 일명 HVIC)로 나누어진다. 스마트 전력집적회로는 수직형 전력반도체소자와 로직(Logic) 및 아날로그(Analog) 회로, 감지 및 보호기능을 갖는 요소들을 하나의 칩(chip)에 구현한 것을 말하며, 고전압 집적회로는 기존의 로직 및 아날로그 회로에 전력반도체소자를 집적한 것을 말한다.

그림 1은 부하 전류 및 공급 전압에 따른 전력집적회로의 응

용범위를 나타낸 것이다. 스마트 전력집적회로는 주로 자동차 전자장치(Automobile Electronics) 위주로 개발된 반면 고전압 집적회로의 응용 분야는 모터제어(Motor Control), 통신(Telecommunications), 전원장치(Power Supplies), 디스플레이 구동IC 등이다. 이들의 전압 및 전류 범위는 20~

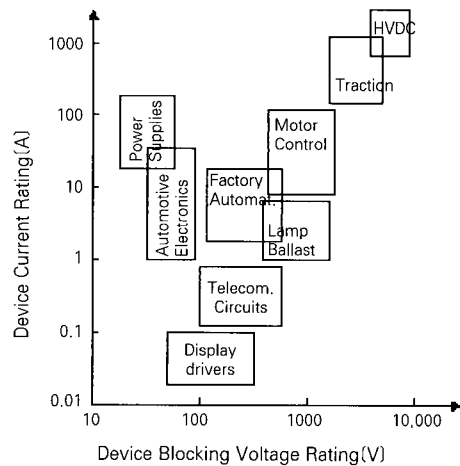


그림 1. 부하 전류 및 공급 전압에 따른 전력집적회로의 응용범위.

1200V, 1~100A 이다.

초기의 전력 MOSFET은 수직형 구조로 V-groove 형 게이트를 사용했으나, 신뢰도에 문제가 있어 이중확산(Double Diffusion)을 사용한 DMOS(Double-diffused MOS)가 가장 많이 사용되고 있다. 90년대 이후로는 트렌치 식각 기술을 이용한 U-shaped groove MOS(또는 UMOS)가 개발되어 상업화가 이루어지고 있으며, 최근에는 COOLMOS등과 같이 새로운 개념을 도입한 전력 MOSFET이 개발되었고, Trench 및 Multi-RESURF(REduced SURface Field) 기술을 도입한 고밀도의 전력 MOSFET에 대한 연구가 활발하게 진행되고 있다. 수평형 DMOS(Lateral DMOS, LDMOS)는 파워 IC에서 가장 많이 쓰이는 소자로 20-30V급의 응용에서부터 1200V 급까지 다양한 분야에서 사용되고 있다.

본 고에서는 파워 IC에 가장 널리 사용되는 파워 MOSFET의 소자기술 및 격리기술을 소개하고, 전력집적회로기술에 대하여 살펴보고자 한다.

2. 파워 MOSFET 기술

2.1 고전압 기술(High-Voltage Technology)

전력반도체 소자의 항복전압(Breakdown Voltage)은 전력 소자에서 가장 중요한 설계 요소중 하나이다. 일반적으로 소자의 항복전압은 웨이퍼의 농도가 낮고, 접합 깊이가 깊을수록 증가하는 것으로 알려져 있다. 그러나 웨이퍼의 농도가 낮으면 소자의 온-상태(on-state)에서는 저항이 증가하는 요인이 되므로 항복전압의 설계는 반드시 온-저항(on-resistance)과 동시에 고려되어야 한다. 수직형 DMOS(Vertical DMOS, VDMOS)의 항복전압을 향상시키는 데 가장 널리 알려진 구조는 전계 제한 링(Field Limiting Ring, FLR), 전계 판(Field Plate) 구조이며, LDMOS에서는 얇은 에피층을 사용하면서도 높은 항복전압을 얻을 수 있는 RESURF 원리를 이용한다. RESURF 기술은 수직형 소자에도 응용이 되어 Multi-RESURF 또는 Superjunction이라고 불리는 신개념의 소자가 연구되고 있다.

2.1.1 전계 제한 링

그림 2는 VDMOS의 대표적인 제품으로 International Rectifier사에서 개발된 HEXFET의 구조이다. 셀의 평면 구조가 육각형으로 이루어진 것이 특징으로 사각형, 삼각형 등의 셀 구조에 비해 집적도가 높다. 셀 내부에서는 그림과 같이 MOS 게이트 구조와 P⁺ 확산 영역이 반복적으로 형성되기 때문에 역방향 바이어스 상태에서 전위 분포가 매우 고르게 분산된다. 그러나 셀의 반복이 끝나는 가장자리에서는 그림 3, 그림 4와 같이 P⁺ 접합이 원통형 접합(Cylindrical Junction)으로 형성되므로 접합의 가장자리에 전계가 집중되어 항

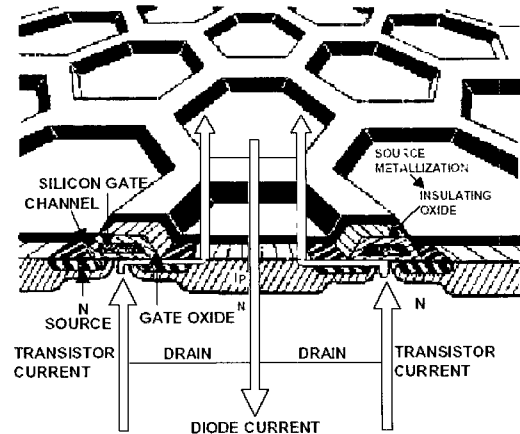


그림 2. HEXFET의 구조(International Rectifier).

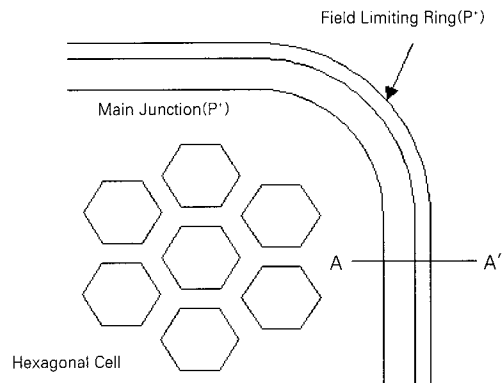


그림 3. VDMOS의 주 접합 확산 창과 FLR 확산 창의 평면 구조.

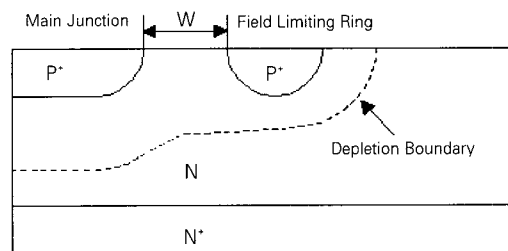


그림 4. 그림 3의 A-A' 단면 구조.

복전압이 감소한다..

원통형 접합은 그 접합 깊이가 증가할수록 전계가 분산되어 항복전압이 향상된다. 그러나 P⁺ 접합 깊이는 VDMOS의 셀 간격과 밀접한 관계가 있으므로 무한정 깊게 할 수는 없다. 예를 들어 600V급 VDMOS의 경우, P⁺ 접합 깊이가 7 μ m라고 하면 원통형 접합의 항복전압은 평면형 접합(Parallel-plane Junction) 항복전압의 30% 정도로 감소한다[2].

결국 항복전압을 증가시키려면 에피층의 농도를 낮게 해야 하는데, 이것은 온-상태에서의 저항을 증가시키므로 가능하면 주어진 조건에서 항복전압을 높이기 위한 방법으로 가장 많이 사용되는 구조가 FLR이다(3-7).

FLR을 이용하면 원통형 집합에서 전계가 집중되는 효과를 완화시키므로 집합 깊이를 증가시키지 않고 항복전압을 증가시킬 수 있으며, 여러 개의 FLR을 사용할 경우 이상적인 항복전압의 80% 정도를 달성할 수 있다. 이 때 FLR의 수와 거리(W)를 최적화하는 것은 매우 어려운 작업이며, 높은 항복전압을 갖는 경우 FLR 설계 능력에 따라 칩 면적이 크게 좌우될 수 있다.

2.1.2 전계 판(Field Plate)

전계 판(Field Plate)은 그림 5와 같이 주 집합에서 금속을 단순히 확장함으로써 간단하게 이룰 수 있다. 그림 5(b)와 같이 금속판을 산화막 위로 연장시킬 경우 공핍층이 확장되어 원통형 집합에서 발생하는 전계의 집중을 완화시킬 수 있다(8,9). Field Plate 구조는 수직형 전력소자뿐만 아니라 수평형 전력 소자에도 많이 응용되고 있다. LDMOS의 경우 게이트로 사용되는 다결정 실리콘을 확장하거나, 소오스 전극을 확장하여 Field Plate로 사용하는 구조는 이미 보편화되어 있다(10,11). 그러나 Field Plate 구조에서는 에피층의 농도, P⁺ 접합 깊이, 산화막의 두께, Field Plate의 연장된 길이 등이 복합적으로 영향을 미치기 때문에 설계하기가 매우 까다롭다.

2.1.3 RESURF

전력 소자들은 p-n 접합에서 가해진 전압을 견디게 되므로 항복전압은 에피층의 농도가 낮을수록, 또 집합깊이가 깊을수록 높아진다. 따라서 높은 항복전압을 유지하려면 에피층을 사용하여 항복전압이 유지되는 영역의 농도를 낮추고 두께를 두껍게 한다. 그러나 이것은 소자간의 격리를 위한 영역을 증가시키고 소자의 집적도를 감소시키게 된다. 1980년대 초에 얇은 에피층을 사용하면서 항복전압을 높일 수 있는

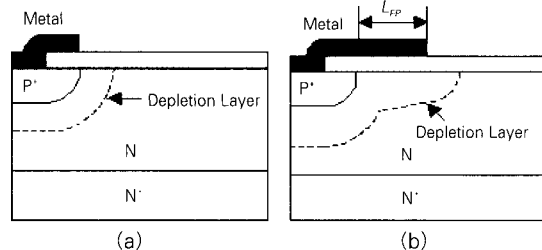


그림 5. Field plate를 이용하여 항복전압을 향상시키는 구조. (a) 기존의 구조 (b) FP 구조

RESURF(REDuced SURface Field) 원리(12)가 발표되면서 전력 IC 공정에 RESURF 기술을 도입하였다.

그림 6은 전력 IC용 pn 다이오드의 단면도를 나타낸 것이다. 그림 6(a)는 에피층이 두꺼운 경우이고, 표면에서의 전계, E_s가 수직방향 전계, E_v보다 커서 항복이 실리콘 표면에서 일어나고, 항복전압이 낮아지게 된다. 그러나 그림 6(b)의 RESURF 소자는 얇은 에피층을 사용하여 항복이 일어날 때 에피층을 완전히 공핍시킴으로써 표면전계를 낮추고 수직방향으로 항복현상이 일어나게 되어 그림 6(a)의 경우보다 항복전압이 증가하게 된다. RESURF 소자는 얇은 에피층을 사용하기 때문에 저전압 논리회로와 쉽게 집적할 수 있고, 격리 면적 또한 감소한다. RESURF 원리는 절연 격리를 이용한 SOI(Silicon-On-Insulator)기판에서도 적용할 수 있으며,

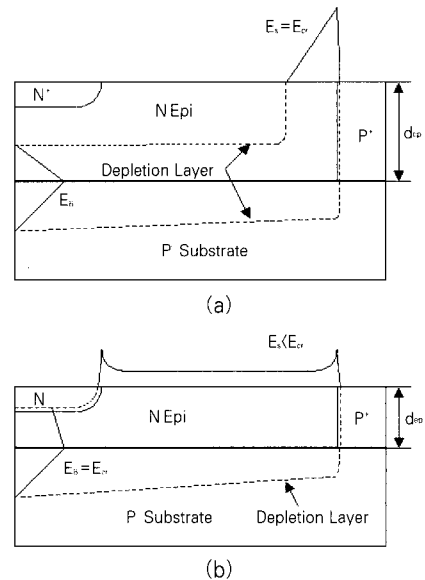


그림 6. (a) 에피층이 두꺼운 경우 (b) 에피층이 얇은 경우(RESURF).

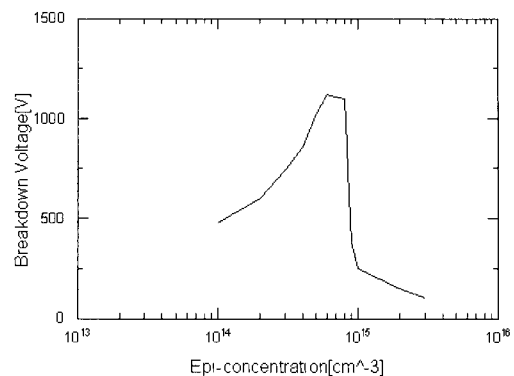


그림 7. 에피층의 농도에 따른 RESURF 소자의 항복전압(13).

수평 길이를 조절함으로써 항복전압을 쉽게 조절할 수 있는 장점이 있으나, 항복전압은 수평길이 및 수직 방향으로의 구조에 의해 결정된다.

그림 7은 에피층의 농도에 따른 RESURF 소자의 항복전압을 나타낸 것이다. RESURF 소자의 항복전압은 에피층의 농도에 매우 민감한 특성을 보이며, 에피층의 두께와 농도의 곱이 $2 \times 10^{12} \text{cm}^2$ 근처에서 최대 항복전압에 도달한다. 이와 같이 RESURF 소자는 높은 항복전압을 얻을 수 있는 영역이 매우 좁고 그 외의 영역에서는 항복전압이 크게 감소하기 때문에 이 기술을 양산에 적용하려면 에피층의 농도 및 두께를 정확히 조절해야만 한다. 그러나 웨이퍼의 농도의 표준편차를 줄이는 데에는 많은 비용이 소요되어 안정적인 항복전압을 얻기 위해서는 에피층의 농도에 대한 항복전압의 민감도를 완화시킬 수 있는 방법이 절실하다.

2.2 온-저항 최소화 기술

파워 MOSFET은 유니폴라 소자이므로 바이폴라 트랜지스터나 IGBT와 같은 바이폴라 계의 파워 소자에 비해 스위칭 속도가 빠르나, 온 상태에서는 저항이 크기 때문에 600 V 이하의 전압 영역에서 주로 사용된다. 따라서 전력 손실을 줄이기 위해 파워 MOSFET의 온-저항을 최소화하기 위한 노력이 계속되고 있으며, 이는 항복전압을 향상시키기 위한 노력과 병행하여 이루어지고 있다.

2.2.1 수직형 파워 MOSFET

파워 MOSFET가 개발된 이래로 온-저항을 줄이기 위해 셀 집적도를 높이는 것이 주 목표였으나, 100V 이하의 전압 영역에 사용되는 파워 MOSFET의 경우에는 메모리 반도체에 사용된 트랜치 공정을 이용한 파워 MOSFET가 개발되어 셀 집적도를 혁신적으로 증가시켜 온-저항을 줄일 수 있게 되었다. 그림 8은 수평형(Planar) 구조와 트랜치 구조의 파워 MOSFET의 온-저항 성분을 표시한 것이다. 플라나 구조의 경우 P-Base 웰 구조에 의한 JFET 저항 성분이 존재하며, 셀 간격을 줄일 경우 이 저항 성분이 크게 증가하는 문제점이 있어 고집적화에 한계가 있다. 트랜치 구조의 경우에는 JFET

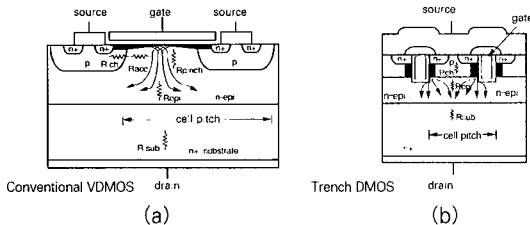


그림 8. 파워 MOSFET의 단면구조와 온-저항 성분.
(a) 플라나 구조, (b) 트랜치 구조

저항 성분이 존재하지 않으므로 셀의 고집적화가 가능하다. 특히 휴대단말기용 DC-DC 컨버터나 컴퓨터 주변회로, OA 기기 등에 사용되는 30V 이하의 영역에서는 셀 집적도를 더욱 향상시키기 위해서 서브-마이크론 트랜치 파워 MOSFET의 개발이 활발하게 이루어지고 있다.

100V 이상 600V 이하의 전압 영역에서는 셀 집적도를 높이는 것에 한계가 있어 항복전압을 향상에 주안점을 두고 기술이 개발되어 왔으나, 최근에는 수평형 소자에만 응용되었던 RESURF 원리를 수직형 소자에까지 확장시킨 COOLMOS가 SIEMENS에 의해 개발되었다(그림 9참조)[14].

COOLMOS는 N 에피층에 N형과 P형 영역이 Stripe형으로 형성된 것으로 전류가 흐르는 N영역의 농도가 높음에도 불구하고 N/P stripe영역의 완전 공핍에 의해 항복전압이 높아 실리콘의 한계를 넘어선 구조로 평가되고 있다. 이와 유사하게 에피층을 N/P stripe의 반복된 형태로 한 Superjunction 또는 Multi-RESURF 구조에 대한 연구가 최근에 활발하게 이루어지고 있다(그림 10 참조)[15,16]. 그러나 이들 구조는

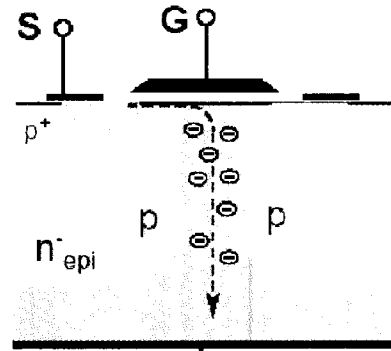


그림 9. COOLMOS 단면 구조.

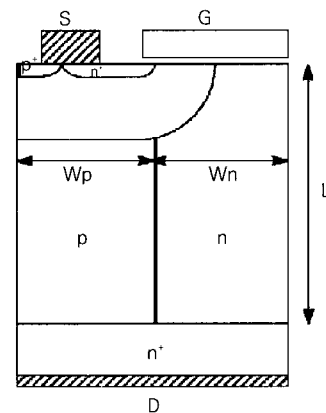


그림 10. Superjunction VDMOS의 단면 구조.

제작하기가 복잡한 단점이 있다. 예를 들어 COOLMOS의 경우에는 N/P stripe을 형성하기 위해 에피층 성장 공정과 이온 주입 공정을 수 차례 반복하는 매우 복잡하고, 어려운 공정을 수행해야 한다. 뿐만 아니라 이들 구조의 항복전압은 N/P stripe의 농도가 매우 정확하게 조절되어야만 하며, 농도가 적당하지 않은 경우 항복전압이 크게 감소하게 된다.

2.2.2 LDMOS

LDMOS는 20~30V에서부터 1200V 전압레벨까지 그 응용이 매우 다양하며, 파워 IC에 가장 많이 사용되는 소자이다. 그림 11은 일반적으로 사용되는 LDMOS의 단면구조이다.

LDMOS는 기존의 MOS 구조와는 달리 항복전압을 향상시키기 위한 저농도 영역(이하 드리프트 영역)을 가지고 있으며, 역방향 바이어스가 인가될 때 드리프트 영역으로 공핍층이 확장되면서 고전압을 견딜 수 있게 설계된 구조이다. 특히 RESURF 기술이 개발된 이후에는 대부분의 LDMOS에 RESURF 원리를 채택하고 있다. 접합 격리를 이용한 경우 에피층의 두께를 얇게 하면서 높은 항복전압을 얻을 수 있으므로 소자의 격리 측면에서도 유리하며, 에피층의 농도를 높게 할 수 있기 때문에 온-저항이 감소된다. SOI 웨이퍼를 사용한 LDMOS의 경우에도 대부분 RESURF 기술을 적용하고 있다.

LDMOS는 구조적으로 VDMOS에 비해 규격 온-저항(specific on-resistance)이 크기 때문에 전류레벨이 낮은 응용 분야에 주로 사용되고 있다. 그러나 최근 들어 트랜치 식각 기술을 적용하여 온저항을 저감시킨 LDMOS구조가 제안되었다.(그림 12, 13참조). 또한 Multi-RESURF 기술을 적용한

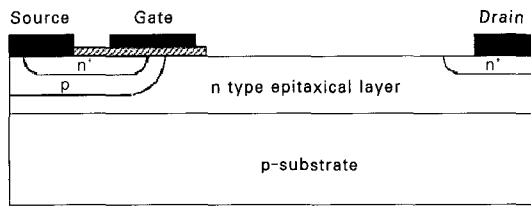


그림 11. LDMOS의 단면구조.

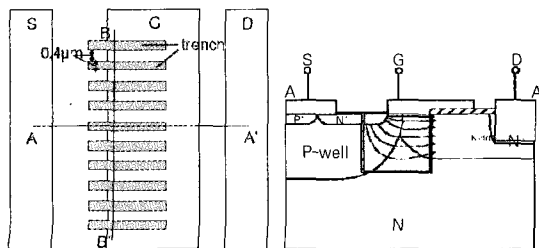


그림 12. 새로운 구조의 트랜치 게이트 파워 MOSFET(17).

LDMOS도 최근 활발하게 연구되고 있다.

3. 격리 기술(ISOLATION TECHNIQUE)

전력집적회로 기술의 실현은 개별 전력반도체 소자와 제어 회로(로직 및 아날로그 회로)를 집적화하기 위해 전력소자와 제어회로 사이를 전기적으로 절연 시키는 격리 기술(Isolation Technique)이 중요하다. 격리 기술은 크게 자기 격리(Self-Isolation), 접합 격리(Junction-Isolation), 절연 격리(Dielectric-Isolation)로 나눌 수 있다(19).

3.1 자기 격리(Self-Isolation)

그림 14는 자기격리 방법을 이용한 고전압 소자와 CMOS 로직 소자가 집적화된 구조의 단면도이다. P 기판은 nMOS의 바디(body)로 사용되며, pMOS의 바디를 위해서 n-well이 사용되었다. 자기격리 기술은 공정이 매우 단순한 반면 기생성분에 의한 영향으로 유용성이 다소 감소된다. 자기격리 방법에 의한 전력집적회로에 사용되는 전력반도체 소자로는 주로 LDMOS가 사용되며, 주 응용 분야는 디스플레이 구동 IC, 전원 IC, 통신용 IC 등이다(20, 21). 그림 15는 자기 격리를 이용하여 제작된 PDP 데이터 구동 IC의 사진이다. 자동

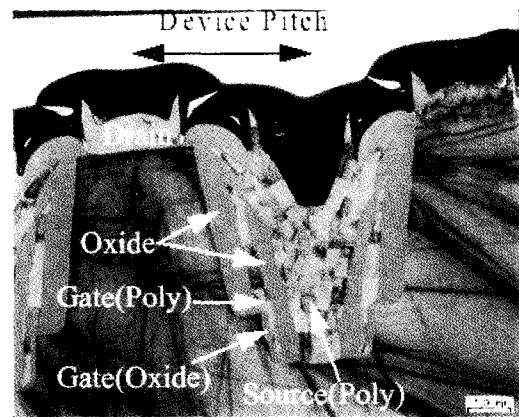


그림 13. 트랜치 공정을 이용한 LDMOS(18).

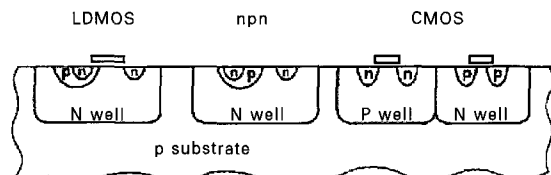


그림 14. 자기격리를 이용한 고전압 LDMOS와 CMOS 로직 소자의 단면도.

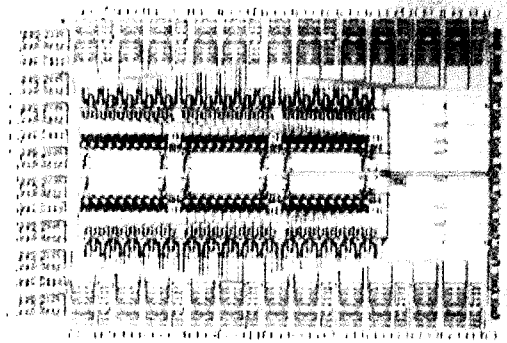


그림 15. 자기 격리를 이용하여 제작된 PDP 데이터 구동 IC(ETRI 1988).

차용 IC와 같이 높은 전류를 요하는 응용 분야에서는 수직형 파워 MOS도 사용된다[22]. 이 경우에는 N⁺ 기판 위에 성장된 N⁻ 에피 영역에 수직형 파워 MOS가 형성되고, 제어회로의 격리를 위해서 P-Tub 영역을 형성하여 사용한다.

3.2 접합 격리(Junction Isolation)

접합격리 기술은 P 기판 위에 성장된 N 에피층에 P형 영역을 에피층 깊이만큼 충분히 확산시킨 후에 역방향 바이어스를 인가하여 절연시키는 것으로 가장 많이 사용되는 방법이다. 그림 16은 에피층의 두께가 얇은 경우에 P 확산 영역을 위쪽에서 형성하는 경우와 에피층의 두께가 두꺼운 경우에 P 확산영역을 상하로 형성하는 경우의 격리구조이다. 격리를 위한 면적과 sinker 확산에 의한 면적 때문에 전체 칩 면적이 증가하는 단점이 있다.

접합격리를 이용한 고전압 IC기술에서 높은 항복전압이 요구되는 경우에는 얇은 에피층을 사용하면서 에피층의 농도와 두께를 조절하여 고전압을 얻을 수 있는 RESURF 원리를 이용한 구조를 적용할 수 있다. 단순히 수평 길이를 조절함으로써 추가의 공정이 필요 없이 항복전압을 증가시킬 수 있으며, 에피층이 얇기 때문에 격리 면적이 줄어든다.

3.3 절연 격리(Dielectric Isolation)

절연격리 기술은 실리콘 액티브 영역이 실리콘 산화막에 의해 완전히 둘러 싸여진 것으로 소자와 기판 사이의 기생 용량(parasitic capacitance), 누설 전류(leakage current)를 혁신적으로 줄일 수 있고, 격리를 위한 면적이 접합 격리에 비해 크게 줄어든다. 그러나 절연격리는 공정이 복잡하고, SOI(Silicon-On-Insulator) 기판 기술이 필요하다. 초기에는 다결정 실리콘을 기판으로 하는 절연격리 방법이 주로 사용되었으나, 최근에는 실리콘 직접 접합(Silicon Direct Bonding, SDB) 방법, lateral epitaxial growth, SIMOX, Smart Cut 등 새로운 절연격리 기술이 연구, 개발되고 있다. 이중 실

리콘 직접 접합 방법을 이용한 SOI 웨이퍼를 사용하여 트랜치 식각한 다음 다결정실리콘으로 채우는 방법이 많이 사용되고 있다. 그림 18은 절연격리를 이용한 수평형 전력소자와 CMOS 로직 회로의 단면도이다. 그림 19는 에피층이 8 μ m인

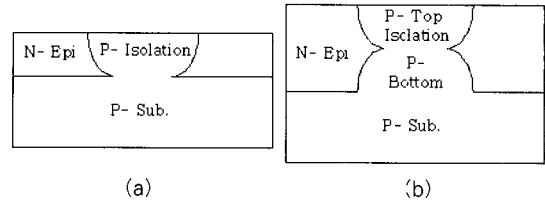


그림 16. 접합 격리 (a) 에피층이 얇은 경우 (b) 에피층이 두꺼운 경우

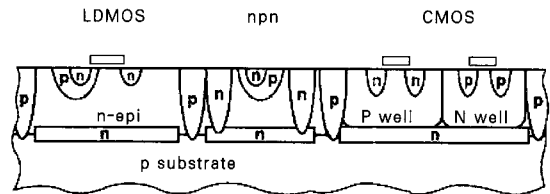


그림 17. 접합격리를 이용한 고전압 LDMOS와 CMOS 로직 소자의 단면도.

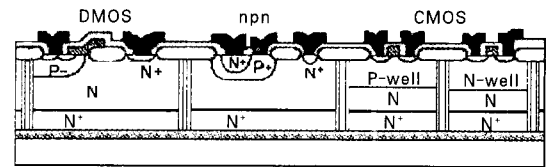


그림 18. 절연격리를 이용한 수평형 전력소자와 CMOS 로직 회로의 단면도.

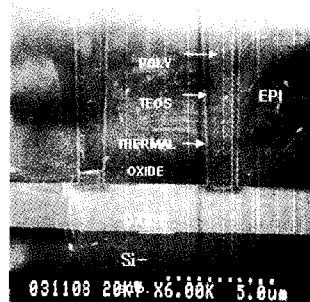


그림 19. 디스플레이 구동 IC 제작을 위한 SOI 웨이퍼의 절연격리를 위한 트랜치 식각 공정 SEM 사진 (ETRI 1998)[23].

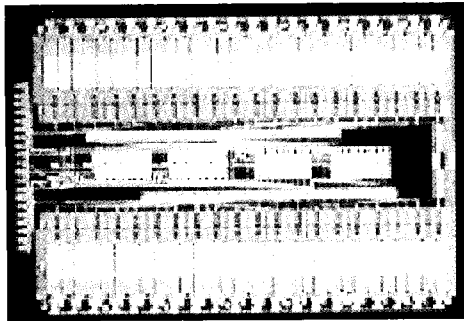


그림 20. PDP 스캔 구동 IC(ETRI 1998)(24).

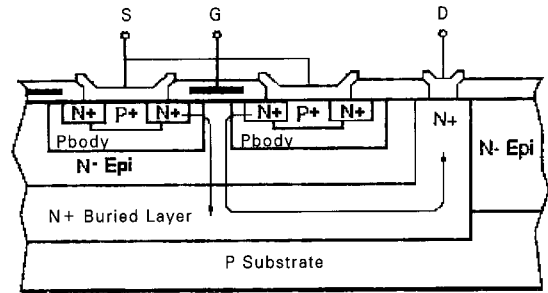
SOI 웨이퍼를 사용하여 절연격리된 구조를 형성하기 위해 트렌치 식각을 한 다음 실리콘 산화막을 형성시키고, 다결정 실리콘으로 식각된 부분을 채우는 공정을 수행한 후의 단면 SEM 사진이다. 그림 20은 절연 격리를 이용하여 제작한 PDP 스캔 구동 IC의 사진이다.

4. 전력집적회로 기술

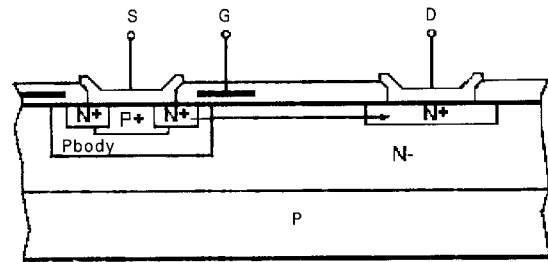
4.1 집적화 가능한 파워 MOSFET 구조

파워 MOSFET은 공정 기술 및 응용 분야의 필요성에 따라 그 구조와 집적화 공정이 결정된다. 높은 전류밀도와 고전압을 요구하는 분야에서는 VDMOS 에 제어회로를 집적하는 스마트 파워 IC 형태로 집적화 공정이 이루어진다. 이때 파워 MOSFET의 드레인 은 기관 쪽에 형성하므로 하나의 전력소자만을 사용해야 하거나 드레인을 공유해야 하는 제약이 있다. 여러 개의 VDMOS를 갖는 전력집적회로를 구성하기 위해서는 에피층의 하단에 N⁺ 매몰층을 형성한 후 sinker 확산을 통해 드레인 전극을 웨이퍼 상부로 구성해야 한다(그림 21(a) 참조). 그러나 이 구조에서는 전류가 매몰층과 sinker를 통해 웨이퍼 상부로 흐르게 되므로 온-저항이 증가하여 중전류·고전압 용으로 적합하다. 고전압·저전류 응용을 위해서는 RESURF 기술을 이용한 LDMOS가 얇은 에피층을 사용하여 높은 전압을 얻을 수 있으므로 격리면적이 줄고, 250V~300V 정도의 고전압을 얻기에 적합하다(그림 21(b) 참조).

일반적으로 고전압 전력IC에 레이스트랙(Racetrack) 레이아웃(Layout)를 가진 LDMOS가 사용된다[25]. 각각의 소자를 전기적으로 격리시키고 LDMOS의 가장자리 효과를 줄이는 장점을 이용하기 위하여 접지(VSS)에 연결된 소스가 드레인을 감싸는 구조를 가진 LDMOS가 주로 사용된다. 한편 일반적인 레이스트랙 소스 구조를 가진 LDMOS는 굽은 소스/드레인(Rounded Source/Drain) 부근에서 전류가 몰리기 때문에 국부적인 가열 현상이 일어나 소자파괴전압이 감소한다. 이러한 현상을 줄이기 위하여 요철형 레이스트랙 소스 구

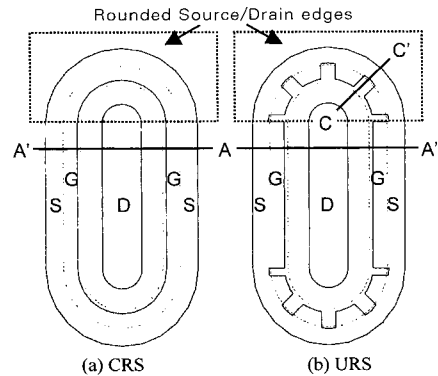


(a)



(b)

그림 21. 집적화 가능한 수평 및 수직구조 파워 MOSFET. (a) 수직구조, (b) 수평구조.



(a) CRS

(b) URS

그림 22. 소스 구조가 다른 LDMOSFET의 레이아웃(Layout). (a) 일반적인 레이스트랙 소스 (b) 요철형 레이스트랙 소스.

조를 가진 LDMOSFET를 제안하여 굽은 가장자리 소스/드레인 부근에서 소스에서 드레인으로 들어가는 전류 자체를 줄임으로써 LDMOSFET의 항복전압을 증가시킬 수 있다[25].

4.2 전력집적회로 제작기술

여기서는 전력집적회로의 한 예로 ETRI에서 제작한 PDP (Plasma Display Panel) 용 데이터 구동 IC와 스캔 구동 IC의 집적화 공정기술에 대해 알아본다.

4.2.1 PDP 데이터 구동 IC제작 기술

PDP 데이터 구동 IC는 100V 이하에서 동작하기 때문에 공정단가를 줄이고 열방열을 고려하여 실리콘 기판을 이용하고, 기존의 CMOS 공정에 고전압 소자인 LDMOSFET를 집적화 시킴으로써 제작할 수 있다. 제작된 PDP 데이터 구동 IC는 자기격리 기술을 이용하여 고전압 LDMOS와 로직회로를 집적화했다(그림 15참조). 그림 23은 기존의 1.2 μ m CMOS 공정에 n-LDMOSFET와 p-LDMOSFET를 집적화한 PDP 데이터 구동 IC의 단면도를 나타낸 것이고, 그림 24는 공정 순서도이다. PDP 데이터 구동 IC 제작에 사용된 기판은 5인치, (100), 6~9 $\Omega \cdot$ cm인 실리콘 위에 비저항이 30 $\Omega \cdot$ cm인 P형 에피층을 25 $\mu \cdot$ m 두께로 성장시킨 것으로 Deep N-well을 이용하여 고전압 RESURF p-LDMOS를 제작하고 에피층에 RESURF n-LDMOS와 CMOS를 제작할 수 있다. 이 때 기판의 비저항이 높기 때문에 CMOS는 twin-well 공정을 사용했으며, 고전압 LDMOS를 위해 Deep N-well을 비롯하여 p-drift, n-drift, HV n-well, HV p-well 등 7개의 마스크를 추가하여 형성했다. 이 때 고전압 LDMOSFET를 위한 공정이 기존의 CMOS 공정에 영향을 주지 않도록 설계하였다.

4.2.2 PDP 스캔 구동 IC제작 기술

PDP 스캔 구동 IC는 데이터 구동 IC 보다 높은 전압에서

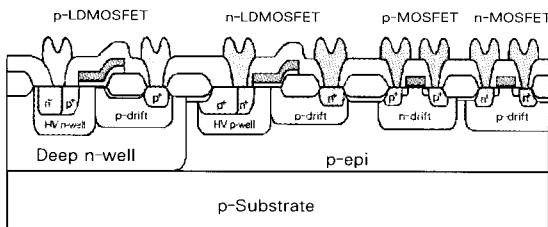


그림 23. PDP 데이터 구동 IC 단면도.

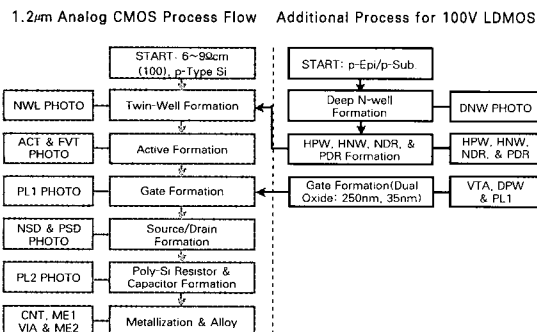


그림 24. 기존의 CMOS공정에 고전압 LDMOS공정을 추가한 공정 순서도.

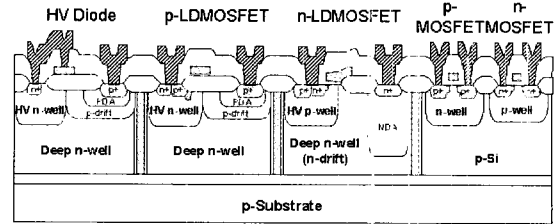


그림 25. PDP 스캔 구동 IC 단면도.

동작하기 때문에 SOI 기판과 트랜치를 이용한 절연격리기술을 사용함으로써 소자 격리 면적과 기생용량을 줄이고 공정을 간단히 할 수 있으며 기존의 CMOS 공정과 고전압 LDMOSFET를 집적화시켜 제작할 수 있다. 그림 25는 PDP 스캔 구동 IC의 단면도를 나타낸 것으로 non-RESURF n-LDMOSFET와 RESURF p-LDMOSFET, 고전압 다이오드, CMOS로 구성된다. 공정순서는 그림 24에 나타난 PDP 데이터 구동 IC와 비슷하며 well을 형성한 후 트랜치를 이용한 절연격리를 형성하는 공정이 추가된다(23)(그림 19참조). 300V급 non-RESURF n-LDMOS와 RESURF p-LDMOS를 위한 공정은 Deep N-well 형성, p-drift와 auxiliary n-drift 형성, HV n-well, HV p-well, auxiliary p-drift, N-well 및 P-well형성, 트랜치 격리, 활성영역 형성, 게이트 형성, n-LDD(Lightly Doped Drain) 및 p-LDD 형성, 소스/드레인 형성, 금속배선, 열처리 공정으로 이루어진다.

PDP 스캔 구동 IC를 제작하기 위하여 사용된 기판은 활성 실리콘층의 두께가 8 μ m 이고, 3 μ m 두께의 매몰 산화막이 끼워져 있는 SOI 기판이다. 고전력 소자인 LDMOSFET와 CMOS를 격리하기 위하여 트랜치 격리 기술을 이용하였으며(그림 19참조), 40 채널의 PDP 스캔 구동 IC를 제작했다(그림 20).

5. 결론

지금까지 본 고에서는 파워 MOSFET를 이용한 전력집적회로기술에 관계되는 기술에 대하여 살펴 보았다. 현재 전력 반도체는 개별 소자로 뿐 아니라 전력집적회로의 형태로 모든 전자제품에 필수적으로 필요한 부품임에도 불구하고 메모리 위주의 국내 반도체 업계에서는 상대적으로 주목 받지 못한 것이 사실이다. 그러나 최근 들어 노트북 컴퓨터, 핸드폰, PDA, MP3 플레이어 등 휴대용 정보기기의 수요가 급증하면서 전력의 효율적 관리 및 에너지 절감을 위해 전력용 반도체 및 전력관리 IC(Power Management IC)에 대한 관심이 높아지고 있다.

미국과 일본을 중심으로 한 선진업체에서는 지금까지 축적된 기술력을 바탕으로 성능이 획기적으로 향상된 제품들을 발표하고 있으며, 전력, 교통, 산업, 정보, 가전, 에너지, 저노이즈화 및 환경 분야에 필요한 전력 반도체 기술을 개발하고 있다. 이에 비해 국내에서는 관련 기술 인력이 부족하고, 전력반도체를 생산하는 업체가 많지 않아 대부분의 IC를 수입에 의존하고 있는 형편이다. 우리나라의 메모리 기술은 세계에서 인정 받고 있으며, 또 기술을 선도하는 분야이므로, 여기서 축적된 공정 기술을 이용한다면 전력용 반도체 기술도 세계적인 수준으로 끌어올릴 수 있으리라 기대한다.

참고 문헌

- [1] B. Murari, F. Bertotti, G. A. Vignola, "Smart Power ICs", Springer 1996.
- [2] B. J. Baliga and S. K. Ghandhi, "Analytical solutions for the breakdown voltage of abrupt cylindrical and spherical junction", Solid State Electronics, Vol. 19, p. 739, 1976.
- [3] M. S. Adler et al., "Theory and breakdown voltage for planar devices with a single field limiting ring", IEEE Trans. Electron Devices, Vol. 24, p. 107, 1977.
- [4] Seiji Yasuda and Toshio Yonezawa, "High-voltage planar junction with a field-limiting ring", Solid-State Electronics, Vol. 25, No. 5, p. 423, 1982.
- [5] V. Boisson et al., "Analytical expression for the potential of guard rings of diodes operating in the punchthrough mode", IEEE Transactions on Electron Devices, Vol. 32, No. 4, p. 838, 1985.
- [6] B. J. Baliga, "Closed-form analytical solutions for the breakdown voltage of planar junctions terminated with a single floating field ring", Solid-State Electronics, Vol. 33, No. 5, p. 485, 1990.
- [7] 서강덕, 반도체 전력소자에서의 최적 FLR 시스템의 해석적 설계 방법, 박사학위 논문, 1991.
- [8] F. Conti and M. Conti, "Surface breakdown in silicon planar diodes equipped with field plate", Solid-State Electronics, Vol. 15, p. 93-105, 1972.
- [9] V. Patrick O'neil and Paul G. Alonas, "Relation between oxide thickness and the breakdown voltage of a planar junction with field relief electrode", IEEE Transactions on Electron Devices, Vol. 26, No. 7, p. 1098, 1979.
- [10] Sel Colak, "Effects of drift region parameters on the static properties of power LMOST", IEEE Transactions on Electron Devices, Vol. 28, No. 12, p. 1455, 1981.
- [11] Qin Lu, P. Ratnam and C. A. T. Salama, "Novel high-voltage silicon-on-insulator MOS-FETs", Solid-State Electronics, Vol. 35, No. 12, pp. 1745-1750, 1992.
- [12] J. A. Appels and H. M. J. Vaes, "High voltage thin layer devices(RESURF devices)", IEDM Tech. Dig., p. 94, 1979.
- [13] J. A. Appels, M. G. Collet, P. A. H. Hart, H. M. J. Vaes, and J. F. C. M. Verhoeven, "Thin layer high-voltage devices-RESURF device", Philips J. Res., Vol. 35, p. 1, 1980.
- [14] G. Deboy et al., "A new generation of high voltage MOSFETs breaks the limit line of silicon", International Electron Devices Meeting, p. 683, 1998.
- [15] Y. C. Liang et al., "Oxide-bypassed VDMOS(OBVDMOS):an alternative to superjunction high voltage MOS power devices", IEEE Electron Device Letters, Vol. 22, No. 8, pp. 407-409, Aug. 2001.
- [16] K. P. Gan et al., "Poly flanked VDMOS(PFVD-MOS):a superior technology for superjunction devices", Power Electronics Specialists Conference, Vol. 4, p. 2156, 2001.
- [17] Akio Nakagawa and Yusuke Kawaguchi, "Improved 20 V trench gate power MOSFETs with very low on-resistance of $7.8 \text{ m}\Omega \cdot \text{mm}^2$ ", Proceedings of International Symposium on Power Semiconductor Devices & ICs, p. 47, 2000.
- [18] N. Fujishima et al., "A high density, low on-resistance, trench lateral power MOSFET with a trench bottom source contact", Proceedings of International Symposium on Power Semiconductor Devices & ICs, p. 143, 2001.
- [19] Vladimir Rumennik, "Power devices are in the chips", IEEE Spectrum, Vol. 22, p. 42, 1985.
- [20] Vladimir Rumennik, "A 1200 V BiCMOS technology and its applications", Proceedings of

International Symposium on Power Semiconductor Devices & ICs, Tokyo p. 322, 1992.

- [21] Tae-Moon Roh et al., "Integration of high voltage LD MOSFET into a low voltage CMOS for PDP data driver IC", Journal of the Korean Physical Society, Vol. 33, p. S235, 1998.
- [22] R. S. Wrathall, "The design of a high power solid state automotive switch in CMOS-VDMOS technology", 16th PESC Tech. Dig. 1985.
- [23] Sang-Gi Kim et al., "Analysis of etched silicon surface for trench isolation techniques", Journal of the Korean Physical Society, Vol. 35, p. S374, 1999.
- [24] Jongdae Kim et al., "High-voltage power integrated circuit technology using SOI for driving plasma display panels", IEEE Transactions on Electron Devices, Vol. 48, No. 6, p. 1256, 2001.
- [25] T. M. Roh, D. W. Lee, J. Kim, J. G. Koo, and K.-I. Cho, "Improvement of Breakdown Characteristics of LD MOSFETs with Uneven Racetrack Sources for PDP Driver Applications", in IEEE Int. Symp. Power Semiconductor Devices and ICs, p. 165, 2001.

저 자 약 력

성명 : 박 일 용

❖ **학 력**

- 1995년 아주대 전자공학과 공학사
- 1997년 아주대 대학원 전자공학과 공학석사
- 2000년 아주대 대학원 분자과학기술학과 공학박사

❖ **경 력**

- 2000년 9월 - 2000년 12월
한국전자통신연구원 인턴연구원
- 2001년 1월 - 현재
한국전자통신연구원 다기능소자팀
선임연구원

❖ **주관심분야**

- 전력반도체 소자, 전력집적회로

성명 : 노 태 문

❖ **학 력**

- 1984년 경북대 공과대학 전자공학과 학사
- 1986년 경북대 대학원 전자공학과 석사
- 1998년 경북대 대학원 전자공학과 박사

❖ **경 력**

- 1986년 9월 - 1988년 1월
삼성종합기술원 연구원
- 1988년 1월 - 현재
한국전자통신연구원 다기능소자팀
책임연구원

❖ **주관심분야**

- 아날로그 CMOS ASIC 소자 및 공정
- 스마트 전력집적회로 소자 및 공정
- 게이트 절연막 및 MOSFET 신뢰성

성명 : 구 진 근

❖ **학 력**

- 1980년 경북대 공과대학 전자공학과 공학사
- 1992년 경북대 산업대학원 산업공학과 공학석사

❖ **경 력**

- 1980년 1월 - 1985년 3월
한국전자 기술연구소 연구원
- 1985년 4월 - 현재
한국전자통신연구원 다기능소자팀
팀장

❖ **주관심분야**

- CMOS ASIC 소자 및 공정
- 스마트 전력집적회로 소자 및 공정
- 반도체 시설 및 장비기술