

새로운 에너지 회수 방식을 채용한 고효율 PDP 구동 회로

韓翔圭*, 李竣榮, 文建又, 尹明重, 朴昌培, 丁南聲, 朴正泌

A New High-Efficient Energy-Recovery Circuit for Plasma Display Panel

Sang-Kyoo Han, Jun-Young Lee, Gun-Woo Moon, Myung-Joong Youn,
Chang-Bae Park, Nam-Sung Jung, and Jung-Pil Park

요 약

새로운 에너지 회수 방식을 채용한 고효율 PDP 구동회로가 제안된다. 제안된 에너지 회수 회로는 PDP의 등가 캐패시터에 저장된 에너지를 회수하기 위해서 종래의 에너지 회수 회로에서 부가되었던 별도의 보조 회로 없이 2개의 인덕터만을 사용하므로 그 구조가 매우 간단하고 시스템 부피가 작으며 적은 수의 전력 소자만으로도 구현이 가능하므로 제작단가 절감효과를 얻을 수 있으며 높은 효율 등의 장점을 가지고 있다. 뿐만 아니라 PDP 화면에서 방사되는 광의 파형이 균일하고 안정적이므로 고품질을 보장하기도 한다. 제안된 회로의 유효성 검증을 위해 전 구간회로를 모두 갖춘 42인치 PDP를 스위칭 주파수 200kHz로 구동한 실험 결과를 제시하며, 본 논문에서 제안된 회로는 차세대 벽걸이형 컬러 TV에 매우 적합하게 적용될 수 있다.

ABSTRACT

A new high-efficient energy-recovery circuit is proposed to drive a plasma display panel (PDP) and compared with the conventional circuit. The proposed circuit uses only two inductors and no auxiliary circuit to recover the energy stored in the equivalent intrinsic capacitance of PDP. Therefore it features a simpler structure, less mass, lower cost of production, higher efficiency, and fewer power devices. The very stable and uniform light emitted from PDP proves the high quality of screen. It is suitable for wall-hanging color TVs. The proposed circuit, operating at 200kHz, is verified to be applicable on a 42-inch PDP by experimental results.

Key Words : plasma display panel(PDP), energy recovery circuit

1. 서 론

1964년 일리노이 대학의 Bitzer 교수와 Slottow 교수에 의해 플라즈마 디스플레이 패널(Plasma Display Panel)^[1,2,3]이 발명된 이래 수십 년간 그 가능성이 논의

되어 왔고 최근 그 가능성이 확인됨에 따라 대부분의 디스플레이 업체들은 20인치에서 60인치 사이의 벽걸이형 TV로 플라즈마 디스플레이 장치를 선택하게 되었다. 이러한 플라즈마 디스플레이는 메모리 특성이 있어 큰 사이즈의 디스플레이 장치를 만들어도 LCD에 비해 밝은 화면을 얻을 수 있으며, LCD나 projection 방식에 비해 수명이 길 뿐만 아니라 시야 각이 매우 넓다. 또한 플라즈마 디스플레이는 충격과 외부 자기 에 거의 영향을 받지 않으며 온도 특성 또한 매우 우수하며 제조 공정이 CRT공정과 공통되는 부분이 많아 현 CRT공정의 많은 부분을 그대로 사용할 수 있다는 장점을 가지고 있다.

*KAIST 전기전산학과 박사과정
E-mail : hskhaul@powerlab.kaist.ac.kr
접수일자 : 2001.12.31
1차심사요청일 : 2001.12.31
심사완료일 : 2002. 2.15

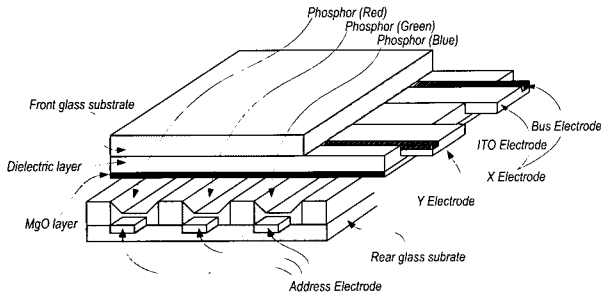
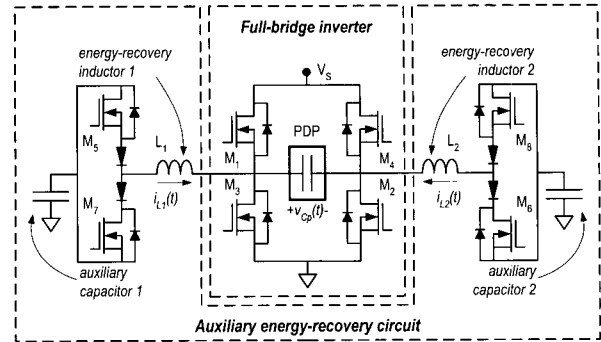
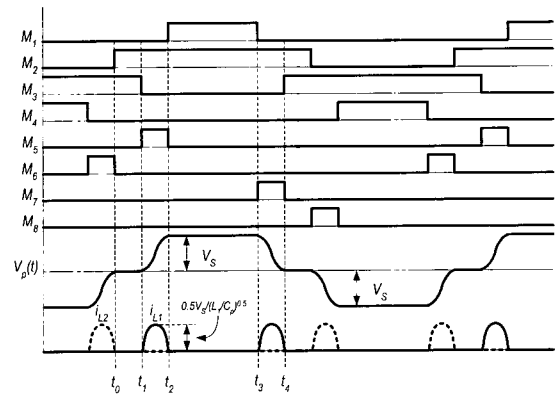


그림 1 AC 3전극 면 방전형 PDP의 구조
 Fig. 1 Schematic diagram of a three-electrode-type ac PDP

먼저 그림 1과 같은 AC 3전극 면 방전형 PDP의 구조를 살펴보면 유리로 되어 있는 전면기판 위에 투명한 ITO 전극을 형성하고, ITO 전극의 저항을 보상하기 위해 Bus전극이 중첩된 형태로 유지방전을 목적으로 하는 X 및 Y 전극이 한 쌍씩 배치되어 있다. 각 전극 위에는 유전체층이 인쇄 및 소성 되어 있고, 그 위에 비교적 2차전자 방사계수가 크고 스퍼터 부식율이 낮은 MgO 보호막이 증착 되어 있다. 한편 배면기판에는 데이터를 기입하기 위한 어드레스 전극이 각각 배치되어 있으며 인접 셀과의 방전공간을 격리하기 위한 격벽이 형성되어 있는데, 어드레스 전극면과 각 격벽면에는 컬러 플라즈마 디스플레이를 구현하기 위해 R(Red), G(Green), B(Blue)형광체 층이 도포 되어진다. 또한 전면과 배면기판을 결합한 후에는 제논(Xe), 헬륨(He), 네온(Ne)등의 방전가스를 채워 넣고 밀봉하게 된다. 이와 같은 AC PDP의 기본적인 동작 원리를 살펴보면 다음과 같다. 방전을 시작하는 breakdown 전압을 V_{bd} 라고 하면 V_{bd} 와 $V_{bd}/2$ 사이의 전압을 갖는 AC 서스테인 전압(sustain voltage) V_S 를 패널의 X 및 Y전극에 인가했을 때 방전은 일어나지 않는다. 여기에 V_{bd} 보다 높은 전압을 갖는 writing pulse를 가해주면 가스방전이 일어나 자외선이 발생한다. 이 자외선은 유리 기판 및 측면 격벽에 배치된 Red, Green, Blue의 형광막에 조사되어 가시광이 발생한다. 서스테인 전압이 역으로 가해지면 패널의 갭에는 벽에 쌓여 있던 전하에 의해 V_{bd} 보다 높은 전압인 약 2배의 V_S 가 가스에 가해지게 되어 방전이 지속적으로 이루어지게 된다. 따라서 AC PDP는 지속적인 화소의 발광을 위해 서스테인 전압을 발생하기 위한 서스테인 회로를 필요로 한다^[4]. AC PDP에서는 유리 기판사이에 유전체와 MgO박막을 도포하여 전류제한을 하는 용량성 부하이므로 서스테인 회로는 회로적으로 부하가 캐패



(a)



(b)

그림 2 기존 에너지 회수회로

- (a) 회로도
- (b) 각부 동작 파형

Fig. 2 Conventional energy recovery circuit
 (a) Circuit structure
 (b) operating waveform of the conventional circuit

시터인 DC/AC 인버터로서 기본적인 풀 브릿지 형태를 취한다. 따라서 이러한 PDP 패널의 등가 캐패시턴스를 C_p 라고 하면 PDP 패널을 서스테인 전압 V_S 로 충전 할 때 회로 내부 기생 저항에서 발생하는 에너지 손실은 $C_p V_S^2/2$ 이며 마찬가지로 PDP 패널을 V_S 에서 0전위로 방전시킬 때의 에너지손실 또한 $C_p V_S^2/2$ 로서 스위칭 디바이스의 스위칭 주파수를 f 라고 한다면 한 주기 당 전체 전력손실은 $4C_p V_S^2/2$ 으로 매 스위칭 시 상당히 큰 전력소모가 발생되며 이 값은 에너지 회수회로가 있는 경우에 비해 약 40배 이상의 에너지 손실에 달한다. 뿐만 아니라 스위칭 시의 서지성 충방전 전류로 인하여 EMI문제를 야기 시킬 뿐 아니라 스위치의 서지 전류 용량을 증가시키는 요인이 되기도 한다^[3,5].

이를 해결하기 위해서는 패널 캐패시터에 저장된 에너지를 회수하는 회로가 필수적이며 그림 2와 같은 에너지 회수회로^[1,2,4]가 제안된 바 있다. 먼저 그림 2 (a)에서 보조 캐패시터가 입력전압의 절반인 $V_S/2$ 로 충전되어 있다는 가정 하에 기존 회로의 기본 동작을 살펴보면 초기 t_0 시점에서 주스위치 M2와 M3가 도통하고 있어 패널 양단이 영 전압을 유지하고 있다가 t_1 시점에서 주스위치 M3가 턴 오프되고 보조스위치 M5가 도통하여 보조 캐패시터 1에 저장되어 있던 에너지가 패널 캐패시터와 인덕터와의 공진을 통해 패널 측으로 투입되어 패널 양단 전압은 그림 2(b)에서처럼 상승한다. 이후 패널 전압이 입력전압 V_S 에 도달하는 t_2 시점이 되면 주스위치 M1을 턴 온 시켜 패널 양단 전압을 V_S 로 유지시킨다. 이후 t_3 시점에서 주스위치 M1을 턴 오프 시키고 보조스위치 M7을 턴 온 시키면 패널 캐패시터에 저장되어 있던 에너지를 패널 캐패시터와 인덕터와의 공진을 통해 보조 캐패시터로 회수함으로써 그림 2 (b)에서처럼 패널 양단은 입력전압 V_S 에서 영 전압으로 하강하게 된다. 따라서 기존 회로는 패널 캐패시터와 인덕터와의 공진을 통해 무효전력 회수회로에 설치된 보조 캐패시터에 저장된 에너지를 패널 캐패시터에 이동시키거나 또는 패널 캐패시터에 저장된 에너지를 무효전력 회수회로에 설치된 보조 캐패시터로 회수하는 등의 에너지 교환을 한 후 주 스위치를 도통 시킴으로써 전력손실을 피하고 있다. 그러나 이러한 방식은 여전히 다음과 같은 몇 가지 단점을 안고 있다. 먼저 주 회로인 풀 브릿지 인버터보다 보조회로에서 다루는 에너지가 더 크므로 보조회로의 부피가 주 회로보다 훨씬 크고 복잡해져 패널 구동시스템은 전원시스템과 더불어 전체 PDP 시스템의 부피에서 차지하는 비율이 매우 크게 되고 이로 인해 패널의 두께 및 가격상승을 부추기는 요인이 된다. 또한 보조 캐패시터는 높은 주파수로 충전되므로 그 결과 보조 캐패시터의 등가직렬저항(ESR)에서 발생하는 과도한 열은 시스템의 수명을 단축시키게 되고 보조스위치에서의 추가적 스위칭 손실과 더불어 전체시스템의 효율을 저감시키기도 한다. 따라서 본 논문에서는 기존 회로에서 나타나는 상기 문제점들을 해결하기 위해 그림 3과 같은 새로운 에너지 회수 회로를 제안하며 제안된 회로는 에너지 회수와 투입을 위해 별도의 보조회로가 없이 인덕터만으로 그 동작이 가능하며 적은 수의 전력 스위치와 소자들로 구현되므로 구조가 매우 간단하고 부피가 작으며 제작단가를 절감할 수 있는 장점을 가진다.

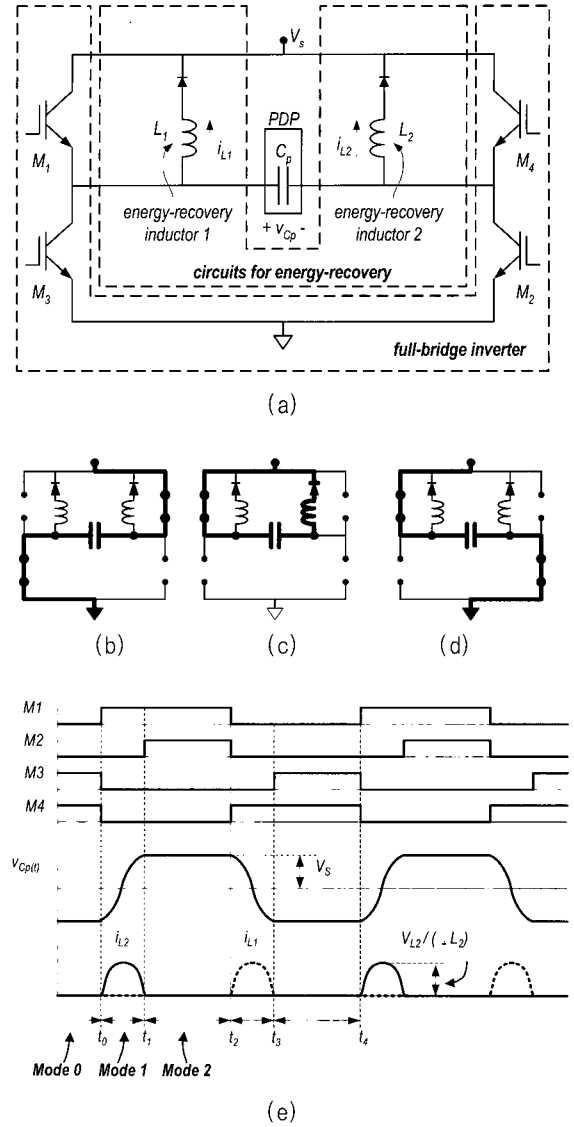


그림 3 제안된 에너지 회수 회로와 모드별 동작

- (a) 회로도
- (b) 모드 0
- (c) 모드 1
- (d) 모드 2
- (e) 모드 해석을 위한 각부 파형

Fig. 3 Proposed energy recovery circuit and circuit operation at each mode

- (a) Circuit structure
- (b) mode 0
- (c) mode 1
- (d) mode 2
- (e) operating waveform of the proposed circuit

또한 패널의 충전 방전을 위한 전류가 공진 반주기동안만 불연속적으로 흐르므로 도통 손실이 적을 뿐만 아니라 보조회로가 없으므로 추가적인 스위칭 손실이 없는 특징을 보인다.

2. 제안된 에너지 회수 회로

그림 3은 제안된 회로의 모드별 동작을 보이고 있다. 제안된 회로는 다이오드와 직렬로 연결된 L_1 , L_2 가 풀 브릿지 인버터 상부 스위치에 각각 병렬로 부가되어 PDP 패널 등가 캐패시터와의 LC 공진을 통해 패널 에너지 투입과 회수동작을 하게 된다. 다음은 에너지 회수 및 투입 동작의 한 주기를 $t_0 \sim t_2$ 와 $t_2 \sim t_4$ 와 같이 반주기로 나누고 또 $t_0 \sim t_2$ 를 두 개의 모드로 나눠 각 모드별 동작을 설명한다.

2.1 동작모드 0

그림 3(b)와 같이 스위치 M3, M4가 온 되어 있으므로 패널 양단 전압 v_{Cp} 는 $-V_s$ 로 유지되어 있다.

2.2 동작모드 1

스위치 M3, M4가 턴 오프되고 동시에 M1이 턴 온 하면 그림 3(c)와 같이 패널 등가 캐패시터와 공진 인덕터 L_2 로 이루어진 공진 회로를 형성하게 되고 패널 전압은 그림 3(e)처럼 $-V_s$ 에서 V_s 까지 반주기 공진을 통해 상승하게 된다. 패널 전압이 반주기 공진을 한 후 모드1의 동작은 끝이 나고, 모드 2로 전환하게된다. 이때 패널 전압과 공진 인덕터 전류는 식 (1)과 같이 표현된다.

$$\begin{aligned} v_{Cp}(t) &= -V_s \cos(\omega t) \\ i_{L2}(t) &= \frac{V_s}{\sqrt{(L_2/C_p)}} \sin(\omega t) \end{aligned} \quad (1)$$

where, $\omega = 1/\sqrt{(L_2 C_p)}$

2.3 동작모드 2

모드 1에서 패널 양단 전압이 V_s 까지 도달하게 되면 M2 스위치를 턴 온 시켜 그림 3(d)와 같은 경로를 형성하고 패널 양단 전압을 입력 전압 V_s 로 유지시키게 된다. 이때 패널 전압과 패널 전류는 식 (2)와 같이 표현된다.

$$\begin{aligned} v_{Cp}(t) &= V_s \\ i_{L2}(t) &= 0 \end{aligned} \quad (2)$$

이후 반주기인 $t_2 \sim t_4$ 의 동작은 $t_0 \sim t_2$ 의 동작과 동일하며 결과적으로 $t_0 \sim t_4$ 의 동작이 계속 주기적으로 반복하게 된다.

3. 기존 회로와 제안된 회로의 비교 분석

다음은 기존 회로와 제안된 회로를 토폴로지 구조적 측면과 전력 손실 측면에서 서로 비교한다.

3.1 토폴로지 구조적 측면

기존 회로의 경우 AC 출력을 위한 기본적인 풀 브릿지 인버터와 에너지 회수 및 투입 동작을 위한 보조 회로가 X 및 Y 전극에 대해 각각 부가되어 있다. 반면 제안된 회로의 경우 AC 출력과 패널 전압 유지를 위한 풀 브릿지 인버터와 에너지 회수 및 투입을 위한 별도의 보조회로 없이 공진 인덕터와 블러킹(blocking) 다이오드만 있는 구조이다. 따라서 기존 회로에서 사용되었던 보조회로를 제안된 구동회로에서는 사용하지 않으므로 그 만큼 사용되는 전력 스위치와 전력 스위치 구동을 위한 회로, 다이오드, 에너지 회수용 캐패시터 등 소자 개수를 과격적으로 줄일 수 있고 적은 수의 소자만으로도 동일한 기능을 기대할 수 있다는 장점을 가지고 있다.

표 1은 42인치 PDP 구동을 위한 회로에서 사용된 소자 개수를 기존회로와 제안된 회로 각각에 대해 비교한 결과를 보여 준다. 특기할 사항은 기존회로에 비해 제안된 회로는 별도의 보조회로가 없으므로 보조회로 측에 사용된 스위치와 보조 캐패시터, 그리고 다이오드가 전혀 필요 없고, 인덕터와 직렬로 연결된 블러킹(blocking) 다이오드 8개와 주 스위치 구동을 위한 2개의 IC칩만 있으면 모든 동작이 가능하다.

표 1 42인치 PDP에 적용된 소자 개수 비교

Table 1 The number of devices for 42-inch PDP

		Prior circuit	Proposed circuit
switch	M1, M4	2SK2995: 8EA	IRG4BC30W: 8EA
	M2, M3	2SK2995: 8EA	IRG4BC30W: 8EA
	auxiliary circuit	IRFP250: 8EA	0EA
energy-recovery inductor		0.2uH: 2EA	0.6uH: 2EA
diode		F10KF40: 16EA	F10KF40: 8EA
gate driver IC		IR2110: 4EA	IR2110: 2EA
auxiliary capacitor		2.2uF/150V: 4EA	0EA

3.2 소모전력 측면

먼저 손실 전력을 계산적으로 구하기 위해 회로 경로상의 도선 저항 성분과 PDP패널의 내부 기생 저항

성분에 의한 손실은 스위치와 다이오드에서 발생하는 손실에 비해 무시할 만큼 작으므로 스위치와 다이오드에서 발생하는 손실에만 국한하기로 한다. 스위치에서 발생하는 손실은 첫째, 스위치 온 저항 R_{ds} 에 의한 I^2R_{ds} 도통손실(conduction loss)과 둘째, 소프트 스위칭이 이루어지지 못해 스위치 출력 캐패시터에 저장된 에너지가 스위치 내부에서 모두 소모될 때 발생하는 스위칭 손실(switching loss), 그리고 셋째, 스위칭 과정에서 스위치 양단 전압과 스위치에 흐르는 전류가 서로 겹치면서 발생하는 스위치 턴온 손실(turn on loss)들로 이루어져 있다. 한편 다이오드에서 발생하는 손실은 다이오드의 온 전압강하가 실제 존재하므로 다이오드에 흐르는 전류에 의해 다이오드 도통 손실(diode on loss)이 발생한다. 한편 MOSFET 스위치 대신 IGBT 스위치를 사용할 경우의 손실은 위에서 언급한 손실 중 도통 손실이 스위치 내부 출력 저항에 의한 I^2R_{ds} 로 나타나지 않고 스위치의 온 전압강하(saturation voltage)에 의한 도통 손실(conduction loss)로 나타나는 특징이 있으며 나머지는 동일하게 계산되어 진다. 위 내용을 종합하여 손실분석을 위한 계산식과 손실 분석 결과를 다음과 같이 제시한다. 다만 다음에 제시된 계산식은 다소 비약된 가정이 있을 수 있지만 계산된 손실의 정확한 값 자체의 의미보다는 동일한 조건하에서 기존회로와 제안된 회로의 손실의 우열 비교 및 그 추이 분석에 더욱 의미가 있다 할 수 있다.

손실분석에 사용된 소자는 다음과 같다.

- ▶ MOSFET: 2SK2995 (TOSHIBA)
- ▶ IGBT : IRG4BC30W (IR)
- ▶ DIODE : F10KF40 (NIEC)
- ▶ PDP : 80nF (42-inch)

손실분석을 위한 계산식은 아래와 같다.

- MOSFET conduction loss :

$$\frac{1.57 V_L^2 C_p^{1.5} R_{ds}}{T_s \sqrt{L}} \quad (3)$$

- Diode on Loss :

$$\frac{2 V_L C_p V_{Don}}{T_s} \quad (4)$$

- IGBT on Loss :

$$\frac{2 V_L C_p V_{CE}}{T_s} \quad (5)$$

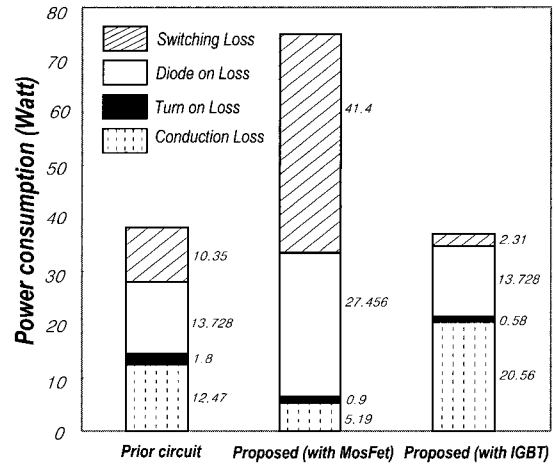


그림 4 기존회로와 제안된 회로의 전력 손실비교
Fig. 4 Computational Results for power consumption

- Switch turn on Loss :

$$\frac{V_{ds} I_{ds} T_{rise}}{6 T_s} \quad (6)$$

- Switching Loss :

$$\frac{C_{oss} V_{ds}^2}{2 T_s} \quad (7)$$

여기서, T_s 는 스위칭 주기, T_r 은 패널 등가 캐패시터와 공진 인덕터의 공진 반주기, R_{ds} 는 MOSFET의 온 저항, V_{Don} 은 Diode 온 전압 강하, V_{ce} 는 IGBT 온 전압 강하, V_L 은 공진 인덕터 양단 최대 전압으로 기존회로의 경우 $0.5V_S$ 이고 제안된 회로의 경우 V_S , V_{ds} 는 스위치 전압 스트레스로 기존회로의 경우 $0.5V_S$ 이고 제안된 회로의 경우 V_S , T_{rise} 는 스위치의 상승시간(rising time), I_{ds} 는 T_{rise} 시점에서의 스위치 전류, 그리고 C_{oss} 는 스위치의 출력 캐패시턴스이다.

본 논문에서 제안된 회로는 그림 3(a)에서 M1, M2, M3 그리고 M4 스위치를 MOSFET스위치나 IGBT스위치를 모두 사용할 수 있는데 두 스위치 중 제안된 회로에 대한 적합성 여부를 알아보기 위해 각각에 대한 손실 분석 결과도 함께 제시한다. 위 식에 따라 기존회로, MOSFET를 사용한 제안된 회로, 그리고 IGBT를 사용한 제안된 회로에 대한 전력 손실을 계산해 보면 그림 4와 같은 결과를 얻을 수 있는데 전체 손실 면에서 각 회로의 우위를 결정하는 가장 큰 비중을 차지하는 부분은 스위치의 출력 캐패시터에 저장된 에너지가 회생되지 못하고 스위치 내부에서 모두 소모

되는 스위칭 손실로서 이는 스위치의 출력 캐패시턴스 값의 크기와 스위치 양단 전압 스트레스, 그리고 한 주기 동안의 스위칭 회수에 의해 결정된다. 이 중 다른 요인들은 토폴로지와 구동 방식에 의해 결정되므로 조절이 불가능하고, 작은 출력 캐패시터를 가진 스위치를 사용한다면 스위칭 손실을 상당히 줄일 수 있음을 그림 4는 보이고 있다. MOSFET 스위치의 경우 출력 캐패시턴스가 다소 크고 도통 손실이 작은 반면 IGBT 스위치의 경우 도통 손실은 다소 크지만 출력 캐패시턴스가 MOSFET에 비해 수십 배 정도로 매우 작으므로 스위칭 손실이 매우 작다. 따라서 본 논문의 제안된 회로에 MOSFET 스위치와 IGBT 스위치를 적용하였을 때의 손실을 각각 구해본 결과 도통 손실은 IGBT 스위치를 사용한 경우가 MOSFET를 사용한 경우 보다 다소 크지만 IGBT의 작은 출력 캐패시턴스로 인해 스위칭 손실은 매우 작아지므로 전체적인 손실은 MOSFET 스위치를 사용한 제안된 회로보다는 IGBT 스위치를 사용한 제안된 회로가 월등히 우수하며 기존 회로보다는 다소 우수한 것으로 나타났다.

또한 MOSFET 스위치를 사용할 경우의 제안된 회로에서는 MOSFET의 내부 바디 다이오드의 도통을 막기 위해 블러킹(blocking) 다이오드를 스위치와 직렬로 삽입을 해야 하지만 역방향 다이오드가 없는 IGBT를 사용할 경우는 별도로 추가해야하는 블러킹(blocking) 다이오드가 불필요하므로 다이오드에 의한 도통 손실이 발생하지 않아 전력 손실 측면에서 유리하고 별도의 다이오드가 추가되지 않으므로 제작 단가 측면에서도 더욱 유리하다. 따라서 제안된 회로에 적합한 반도체 스위치로는 출력캐패시터가 작은 IGBT 스위치를 사용하는 것이 더욱 바람직하다는 결론을 얻을 수 있다.

4. 공진 인덕터 설계

일반적으로 스위칭 주파수는 PDP의 물리적 특성에 의해 결정되고, PDP의 휘도는 주파수에 따라 증가하므로 패널 전압 상승 및 하강 시간 $t_0 \sim t_1$ 과 $t_2 \sim t_3$ 를 가능한 짧게 하는 것이 바람직하다(일반적으로 스위칭 주파수 : 100kHz~200kHz, 상승 및 하강 시간 : 1usec 이하). 한편 상승 및 하강 시간 $t_0 \sim t_1$ 과 $t_2 \sim t_3$ 는 패널 등가 캐패시터와 공진 인덕터의 공진 반주기와 동일하며 패널 등가 캐패시터는 이미 알고 있는 값이므로 다음과 같은 식 (8)에 의해 공진 인덕터 L_1 과 L_2 를 결정할 수 있다.

$$L_1 = \frac{1}{C_p} \left(\frac{t_1 - t_0}{\pi} \right)^2 \quad (8)$$

$$L_2 = \frac{1}{C_p} \left(\frac{t_3 - t_2}{\pi} \right)^2 \quad (9)$$

여기서, 인덕터 L_1 과 L_2 는 회로내의 기생 인덕턴스 성분을 모두 포함하고 실제 구현 시 인덕터 L_1 과 L_2 는 그 값이 서로 동일하다.

5. 실험 결과

제안된 에너지 회수회로를 제작하여 42인치 PDP에 적용하여 그 동작을 확인한다. 설계된 회로에 사용된 소자와 설계 사양은 다음과 같다.

- ▶ 동작 주파수 : 200kHz
- ▶ 입력전압 : 165V
- ▶ 공진 인덕터 L1, L2 : 0.6uH
- ▶ PDP 패널 : 80nF (42-inch)
- ▶ 스위치 M1, M4 : HGTC30N60A4D IGBT
- ▶ 스위치 M2, M3 : HGTC30N60A4D IGBT
- ▶ 다이오드 : F10KF40

그림 5(a)는 패널의 광 출력 파형을 나타낸 것으로 패널 에너지 회수 및 투입 후 패널 양단 전압이 방전 유지전압 부근에 이르게 되었을 때 안정적인 균일한 광이 출력됨을 보이고 있다. 그림 5(b)는 패널의 양단 전압과 공진 인덕터 전류 파형을 보이고 있는데 이는 앞서 살펴본 그림 3의 이론적인 파형과 잘 일치함을 알 수 있다.

그림 6은 기존 회로와 제안된 회로를 42인치 PDP에 적용하여 각 계조에 따른 소모 전력을 측정하여 비교한 결과를 나타내고 있는데 기존 회로와 제안된 회로가 거의 유사한 전력 소모를 보이고 있음을 알 수 있다.

흰색과 파란색은 기존 회로보다 낮은 전력소모를, 붉은색과 녹색은 다소 높은 전력소모를 보이고 있으나 전체적으로 거의 유사한 결과를 나타내고 있으며, 그림 6에 제시된 기존회로의 전력소모의 경우 많은 최적화 과정을 거친 회로의 소모전력 데이터를 나타낸 것이고, 반면 본 논문의 실험결과는 실험실에서 제작된 시작품으로서 PCB 설계와 소자 선정 등의 회로 전반적인 최적화가 이루어지지 않은 점을 감안할 때 최적

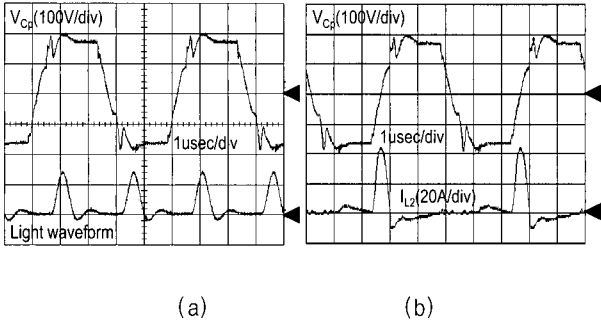


그림 5 백색 화면 출력시 실험 결과 파형
 (a) 패널 양단 전압 파형과 광출력 파형
 (b) 패널 양단 전압 파형과 공진 인덕터 전류
 Fig. 5 Experimental waveforms of the proposed circuit in displaying white image
 (a) Voltage across PDP and light emitted from PDP
 (b) Voltage across PDP and inductor current

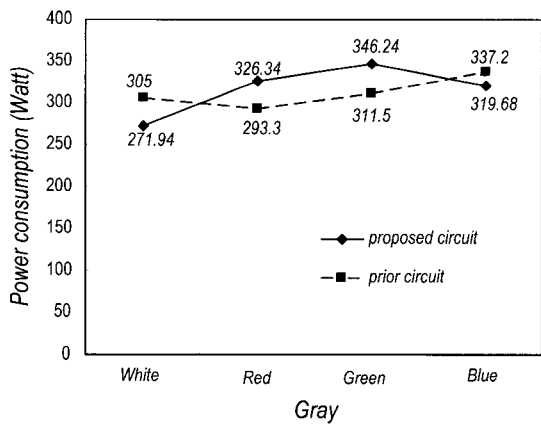


그림 6 각 계조에 따른 소모전력 비교 결과
 Fig. 6 Comparative result for power consumption of each gray

화 과정을 거친다면 제시된 것보다 더욱 우수한 결과를 얻을 수 있을 것으로 기대된다. 결론적으로 제시된 결과만을 두고 볼 때 제안된 회로는 기존 회로와 비교해 별도의 부가회로 없이 인덕터 만으로도 거의 유사한 전력소모를 보이며 그 기능 또한 대동소이하다고 할 수 있다.

6. 결 론

본 논문에서는 에너지 회수를 위한 고효율 및 간단한 구조를 가진 PDP 구동회로를 제안하고 제안된 회로에 적합한 공진 인덕터 설계 방법을 제시하였다. 또한 기존 회로와 제안된 회로의 토폴로지 구조적 측면과 전력손실의 측면에 대해 비교 검토하였는데 제안된 회로는 기존 회로에 비해 그 구조가 매우 간단하며, 소자수가 적어 제작단가측면이나 시스템 부피측면에서 많은 장점을 가지며, 손실 면에서 출력 캐패시턴스가 큰 MOSFET를 사용할 경우 기존회로에 비해 꽤 많은 전력 소모를 보이거나 출력 캐패시턴스가 작고 역 병렬 다이오드가 없는 IGBT를 사용할 경우 기존회로와 유사한 전력 소모를 보임을 증명하였다. 최종적으로 제안된 회로의 설계와 분석의 타당성 검증에 위해 제안된 회로를 실 용량에 맞게 설계 및 제작하여 42인치 PDP를 구동하였으며 그 결과 실험 파형에서도 보였듯이 패널에서 발산되는 광의 파형이 매우 안정적이며 균일하였고 전력소모도 기존회로와 거의 유사함을 실험 결과를 통해 검증하였다. 간단한 구조, 작은 부피, 적은 소자 수, 낮은 제작단가 및 높은 효율 등의 장점을 고루 갖춘 제안된 PDP 구동회로는 차세대 벽걸이 컬러 TV에 적합하게 사용될 수 있다.

참 고 문 헌

- [1] Webber & Wood, "Power efficient sustain drivers and address drivers for plasma panel", U.S. Patent No 5081400, Jan. 1992.
- [2] Akito Tanaka, "Low power driver circuit for AC plasma display panel", U.S. Patent, Number 5,438,290, August, 1995.
- [3] Horng-Bin Hsu, "Regenerative Power Electronics Driver for Plasma Display Panel in Sustain-Mode Operation", IEEE Transactions on Industrial Electronics, Vol. 47, No. 5, October 2000.
- [4] Chen-Chang Liu, "An Energy-Recovery Sustaining Driver with Discharge Current Compensation for AC Plasma Display Panel", IEEE Transactions on Industrial Electronics, Vol. 48, No. 2, April 2001.
- [5] Chen-Chang Liu, "A Novel Energy-Recovery Sustaining Driver for Plasma Display Panel", IEEE Transactions on Industrial Electronics, Vol. 47, No. 6, December 2000.

저 자 소 개



한상규(韓翔圭)

1973년 12월생. 1999년 부산대 전기공학과 졸업. 2001년 한국과학기술원 전자전산학과 전기 및 전자공학전공 졸업(석사). 2001년~현재 동 대학원 박사과정.



이준영(李竣榮)

1970년 10월생. 1993년 고려대 전기공학과 졸업. 1996년 한국과학기술원 전기 및 전자 공학과 졸업(석사). 2001년 동 대학원 전자전산학과 전기 및 전자공학전공 졸업(박사). 현재 삼성 SDI PDP 본부 과장.



문건우(文建又)

1966년 10월생. 1990년 한양대 전자공학과 졸업. 1992년 한국과학기술원 전기 및 전자 공학과 졸업(석사). 1996년 동 대학원 전기 및 전자 공학과 졸업(박사). 1996년~1998년 한국전력연구원 전력계통연구실 선임연구원. 1998년~2000년

(주)키테크놀러지 대표이사. 2000년 3월~2000년 8월 세종대학교 전자공학과 조교수. 2000년 9월~현재 한국과학기술원 전자전산학과 전기 및 전자공학전공 조교수.



윤명중(尹明重)

1946년 11월생. 1970년 서울대 졸업. 1974년 University of Missouri-Columbia 졸업(석사). 1978년 동 대학원 졸업(박사). 1978년부터 General Electric Columbia에서 Individual Contributor on Aerospace Electrical Engineering으로 재직. 현재 한

국과학기술원 전자전산학과 전기 및 전자공학전공 교수. 당 학회 회장 역임.



박장배(朴昌培)

1950년 5월생. 1977년 부산대 전기공학과 졸업. 1988년 경북대 전자재료공학과 졸업(석사). 1977년 삼성전관 입사. 현재 삼성 SDI Digital Display Tech. Center장.



정남성(丁南聲)

1962년 6월생. 1985년 한양대 전자공학과 졸업. 1990년 한국과학기술원 전기 및 전자 공학과 졸업(석사). 2000년 한국과학기술원 전기 및 전자공학과 졸업(박사). 1984년 12월 삼성 전관 입사. 현재 삼성 SDI PDP본부 개발팀 회로개발 그룹장.



박정필(朴正泌)

1971년 7월생. 1998년 부경대 전자공학과 졸업. 2000년 3월 日本 神戸대학 전기전자공학부 졸업(석사). 2000년 4월 삼성SDI PDP사업팀 입사. 현재 삼성 SDI PDP본부 개발그룹 근무.