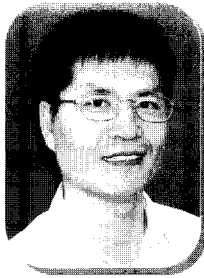


SiC 고전압 소자 기술



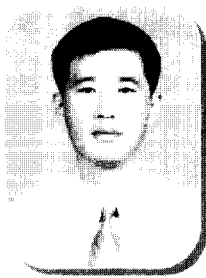
· 김남균 ·
한국전기연구원
책임연구원



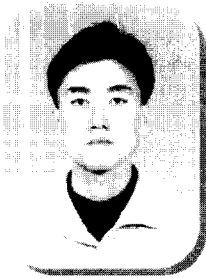
· 방 옥 ·
한국전기연구원
선임연구원



· 김은동 ·
한국전기연구원
전력기술연구단장



· 이 중 홍 ·
KEC 종합연구소
책임연구원



· 정종원 ·
KEC 종합연구소
선임연구원

1. 서론

탄화규소(SiC : silicon carbide)는 밴드갭이 넓은 반도체 재료 중에서 가장 많이 연구되는 물질이다. 실제로 물질계에서 탄화규소라고 불리우는 100여개의 polytype이 있으나 반도체 재료로서 사용되는 것은 4H-SiC와 6H-SiC로 한정되어 있다. 4H 및 6H-SiC의 밴드갭은 각각 3.3, 2.8eV로 실리콘(1.12eV)에 비교하여 2-3배 정도 넓으며 이런 이유로 밴드갭이 넓은 반도체로 분류된다(1-3).

반도체 재료로서의 SiC는 우수한 물질특성을 갖고 있는데 특히 절연파괴전계가 3×10^6 V/cm로 실리콘의 약 10배, 전자의 포화속도는 2×10^7 cm/s로 약 2배로 각각 뛰어난 점은 고전압 전력 소자로서의 SiC 활용 가능성을 매우 높이고 있다. 이러한 반도체 물질의 본질적 물성 차이에 기인한 소자의 성능 한계는 이득지수를 비교해 보면 쉽게 알 수 있다(4). Fig. 1은 높은 주파수와 대전력의 응용의 이점을 나타내는 Johnson의 이득지수로서 SiC를 비롯한 밴드갭이 넓은 반도체 재료와 실리콘을 비교한 것이다. 트랜지스터의 전력과 주파수의 한계를 항복전압과 포화 전자 이동속도로부터 유도한 것으로 탄화규소가 실리콘에 비해 약 600배 크다(4).

이러한 물질 특성으로부터 SiC를 사용하여 고전압 전력소자를 제작할 경우 상당한 장점을 기대할 수 있다. Fig. 2는 SiC와 실리콘으로 각각 5000V급 수직구조 MOSFET를 제작한다고 가정하고 그 설계 사양을 모식적으로 나타낸 것이다(5). 우선 SiC-MOSFET의 드리프트 층의 두께는 약 1/10으로 줄어들 수 있는데 이는 SiC 절연파괴전계가 약 10배 높기 때문이다. 또한 드리프트 층의 농도는 SiC의 경우 실리콘 소자보다 약 102배 높아질 수 있

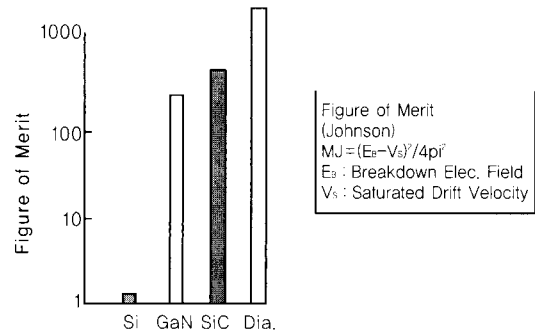
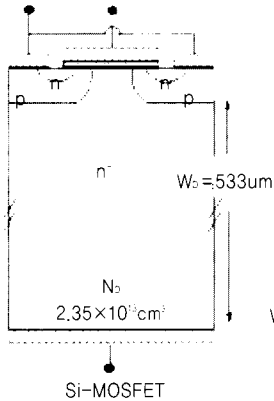


그림 1. 실리콘과 wide bandgap 반도체 재료의 Johnson 이득지수 비교.

고 결과적으로 온저항으로부터 환산된 전압강하는 실리콘 소자의 약 200분의 1로 감소할 수 있다. 이는 전압저지능력이 뛰어나면서도 통전손실이 작은 고전압 소자를 SiC에서 구현할 수 있다는 의미이다.

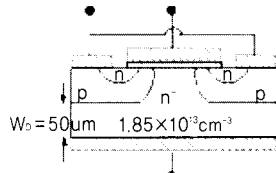
본고에서는 SiC 고전압 전력소자의 기술발전 현황과 최근의 연구 동향을 단일 캐리어 반도체(unipolar semiconductor)인 쇼트키 다이오드와 MOSFET 소자의 기술 동향을 중심으로 보고하고자 한다.

Voltage drop = 520V@50A/cm²



Si-MOSFET

Voltage drop = 2.6V



SiC-MOSFET

그림 2. 5000V급 SiC-MOSFET와 Si-MOSFET의 개략적 비교.

2. 고전압 SiC 쇼트키 장벽 다이오드

쇼트키 다이오드는 SiC 고전압 소자 가운데에서 가장 조기에 실용화될 것으로 일찍이 예견되었던 것이다. 그 이유는 첫째로 쇼트키 다이오드는 가장 간단한 구조로서 제작이 용이하다는 점을 들 수 있는데 실제로 고농도 n-type 기판 위에 낮은 농도의 이른바 n-에피층을 올린 다음 에피층 표면에는 쇼트키 접합을 고농도 기판 표면에 오믹 접합을 형성함으로써 간단하게 제작이 가능하다. 둘째로 SiC 쇼트키 다이오드는 특별한 공정이 없이도 고전압의 고속 스위칭이 가능한 소자 제작이 가능하여 실리콘계 고속회복 다이오드를 대체할 수 있을 것으로 기대되기 때문이다.

전력용 반도체에서 단일 캐리어반도체로 분류되는 쇼트키 다이오드는 빠른 스위칭 속도로 인해 고주파수 영역에서 안정하게 작동할 수 있는 반면, 항복전압이 낮고 게이트의 누설전류가 크다는 단점이 있다. 특히 실리콘계 쇼트키 다이오드는 높은 저항값과 낮은 장벽높이로 인해 큰 누설전류를 보이므로 일반적으로 항복전압이 약 100V 이내인 것이 대부분이다. 그러나 SiC의 높은 절연과 전압과 높은 장벽높이로 인하여 항복전압이 높으면서도 누설전류가 작은 쇼트키 다이오드 제작이 가능하게 되었다.

쇼트키 다이오드는 여러 연구그룹에서 광범위하게 연구되었는데 (6-19), Table 1은 4H-SiC에 대한 각 금속의 쇼트키 장벽높이 연구결과를 요약한 것이다. 항복전압에 미치는 가장 주요한 요인은 드리프트 층의 두께이지만 쇼트키 금속의 선택은 순방향 전압강하와 누설전류에 가장 직접적으로 영향을 미친다 (6). n-type

표 1. 4H-SiC에 대한 쇼트키 접합특성.

Type	Metals	Barrier Height(eV)		Ideality factor(η)	Annealing	Deposition Method	Reference	
		I-V	C-V				Year	Journal
n	TiC	1.23-1.24 (25-300°C)	--	1.23-1.24 (25-300°C)	unannealed	Co-evaporation 5×10 ⁻⁴ Torr	1998	MRS Symp. Proc. 512, 125
n		1.26	1.26	1.01			2000	MRS Symp. Proc 622,
p		1.29	1.65	2.07				
n	TiW	1.22	1.23	1.05	As-dep 500°C	- sputtering (TiW=30 : 70) weight %	2000	J. Appl. Phys. 87(11), 8039
		1.18	1.19	1.10				
p		1.41	2.11	3.11	As-dep 500°C			
		1.91	1.66	1.08				
p	Ni	1.31	1.48	1.29	300°C	- e-beam evaporation	2000	EMC Conf, Denver, U.S.A, Sept
	Au	1.35	1.42	1.08	vacuum annealing			
	Ti	1.94	2.00	1.07				
n	Ti/Al	0.99	1.15	1.2	unannealed	- e-beam	1995	IEEE Elec. Dev. Lett. 16, 226
p	Ti/Al	1.4-1.5	1.5	2.	unannealed		1998	IEEE Elec. Dev. Lett. 19(3), 71
n	Pd	1.54 (BEEM)		<1.1	-	- E-gun	1998	Appl. Phys. Lett. 72, 839
	Pt	1.58 (BEEM)					1998	Mater. Sci. Forum, 264-268, 813
n	Ta	1.03		1.03	unannealed	Sputtering	1998	HiTEC 98 4 th int. Conf. Proc.
p	Ti	1.21		1.08	500°C 4min	- Sputtering	1999	IEEE Trans. Electron. Dev. 46(3), 449

4H-SiC에 대한 측정결과들을 요약하면 쇼트키 장벽 높이가 낮은 물질로서 Ti를 대표적으로 꼽을 수 있으며 Ni, Au는 높은 편에 속한다.

쇼트키 장벽 높이의 상대적인 높낮이는 쇼트키 다이오드의 전력손실 계산에 있어 매우 중요하다. 전력손실만을 고려할 때 쇼트키 다이오드에 필요한 최적의 금속의 선택은 trade off 관계이다. 즉 쇼트키 장벽 높이가 낮은 금속의 경우에는 순방향 전압강하는 작지만 역누설전류는 커지게 된다. 반대로 쇼트키 장벽 높이가 높은 금속의 경우에는 순방향 전압강하는 커지지만 역누설전류는 작아지게 된다 [6]. 즉 쇼트키 다이오드의 전력손실은

$$P_s = (\%ON)(V_f J_s) + (1 - \%ON)(V_r J_r)$$

P_s 는 전력손실을 %ON은 duty cycle을 각각 의미한다. 따라서 쇼트키 금속을 선택하기 전에 duty cycle, 요구되는 순방향전압, 요구되는 역내전압 등을 먼저 고려해야만 한다.

Fig. 3은 전기연구원에서 구현한 SBD 소자의 순방향 특성을 보여주고 있다. Pt의 경우 Ni보다 쇼트키 장벽 높이가 낮고, 200A/cm² 이하의 전류밀도에서 순방향 전압강하가 훨씬 낮은 것으로 나타났다.

쇼트키 다이오드에서 항복전압의 이론값에 가까운 고전압을 구현하기 위해 여러 가지 edge termination기술을 구현하고 있다. Fig. 4는 SiC 쇼트키 다이오드에 가장 널리 이용되는 몇 가지 termination 방식을 보여 주고 있다 [6-9, 12-14, 18] Fig. 4에서 field plate 구조를 제외한 다른 방법은 모두 이온 주입을 통하여 구현할 수 있다. 최근에 전기연구원에서는 드리프트 층의 두께가 10 μ m인 4H-SiC를 사용하여 1200V급 쇼트키 다이오드 제작에 성공하였는데 알루미늄 이온을 주입한 JTE 구조에서는 1270V를, 50nm 두께의 열산화막을 가진 field plate 구조에서는 1100V의 항복전압을 실현하였다.

고전압 쇼트키 다이오드의 제작에 성공한 것은 1990년대 후반부터인데 미국 Cree에서는 항복전압 2000V인 쇼트키 다이오드가 개발되었으며, 미국 Purdue 대학에서는 이온주입법을 이용한 쇼트키 다이오드의 제작을 통해 13 μ m 두께의 저농도 드리프트 층에서 1720V를, 50 μ m 두께의 드리프트 층에서는 4900V를 각각 실현한 바 있다 [10]. 일본 교토대학에서는 이온주입법을 이용하여 1750V의 항복전압과 100A/cm²에서 1.67V 전압강하 특성을 가진 소자가 개발된 바 있다 [12,13].

SiC쇼트키 다이오드의 상업적 생산도 최근에 매우 활발해졌는데 우선 2000년 4월에 미국의 Microsemi에서 480V급 SiC 쇼트키 다이오드의 상업적 생산을 발표한 바 있다. 특히 독일의 Infineon은 300V-10A급 및 600V-5A급 SiC 쇼트키 다이오드를 2001년 6월부터 상업적으로 판매하기 시작하였다. 또한 미국의 Cree도 600V 1~10A 쇼트키 다이오드를 생산하여 판매하고 있다. Fig. 5는 Infineon의 300V-10A급 SiC 쇼트키 다이오드의 순방향 특성 커브를 보여주는데 400A/cm²의 전류밀도에서 2.6V의 순방향 전압강하를 나타내고 있다.

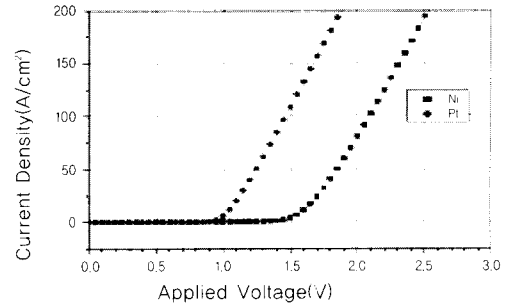


그림 3. Pt- 및 Ni-쇼트키 다이오드의 순방향 전류-전압 특성.

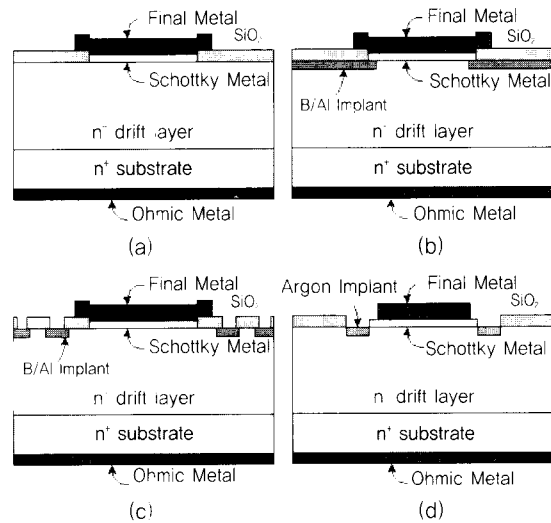


그림 4. SiC 쇼트키 다이오드 터미네이션 구조. (a) field plate (b)JTE(junction termination extension) (c)전계제한 테 구조, (d) 고저항 표면층 구조.

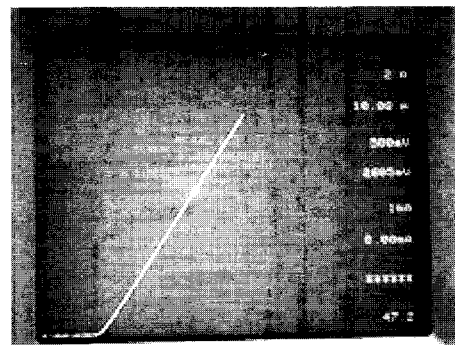


그림 5. Infineon 300V-10A급 SiC쇼트키 다이오드의 순방향 특성 커브.

3. 고전압 SiC MOSFET 기술

자연산화막으로서 SiO₂를 갖는다는 점은 SiC의 큰 장점 중의 하

나로서 밴드갭이 넓은 반도체 중에서 유일하다. 이는 결국 실리콘에서 열산화막을 이용한 여러 전력소자들 즉 파워 MOSFET, IGBT, 그리고 MOS controlled thyristors (MCTs) 등을 SiC에서 구현할 수 있다는 의미이다. 실제로 SiC MOSFET는 항복전압 2000V 이하의 중전압 영역의 실리콘 IGBT를 대체할 유력한 후보이다. SiC MOSFET는 입력 임피던스가 높고, 온 저항이 낮으며 스위칭 속도도 빠르다는 장점이 있다.

항복전압이 1000V 이상인 수직구조 실리콘 MOSFET을 제작하려면 약 100 μ m 두께의 드리프트 층이 필요하여 결과적으로 온 저항이 매우 커지게 된다. 따라서 상업적으로 판매되는 실리콘계 파워 MOSFET의 내전압은 1000V를 넘는 것이 거의 없다. 재료 자체의 우수한 물성으로 인하여 SiC MOSFET는 실리콘 MOSFET의 이러한 단점을 일거에 해소할 수 있을 것으로 기대를 모으고 있다.

초기 연구에서는 Fig. 6과 같은 수평구조(lateral DMOSFET)를 채택하여 2.6kV의 항복전압을 갖는 소자를 제작하였는데 이는 10 μ m 이상 두께의 양질의 에피박막을 얻기가 불가능하였기 때문이다(19). 일반적으로 수평구조 MOSFET는 전력밀도를 높이는 데 불리하므로 SiC 파워 MOSFET에서도 수직구조를 채택하는 경우가 대부분이다.

최근에는 SiC 단결정 박막 기술의 발달로 두꺼운 에피층 형성이 용이해짐으로써 수직구조의 고전압 SiC MOSFET에 대한 연구가 매우 활발하다(20-26). Fig. 7은 이른바 수직구조의 DMOS와 UMOS를 보여주고 있다.

현재 SiC MOSFET 연구에 있어서 최대의 문제점은 벌크 이동도에 비하여 극히 낮은 낮은 채널 이동도이다(24-26). 1990년대 후반까지 4H-SiC MOSFET의 채널 이동도는 20cm²/Vsec 정도로 아주 낮은 것으로 보고되었다. SiC의 채널 이동도가 낮은 이유는 크게 두 가지로 분석되는데 그 첫째로는 SiC-SiO₂ 계면의 높은 interface states를 들 수 있다. SiC-SiO₂의 계면준위밀도는 약 4 × 10¹²cm⁻²으로 Si-SiO₂보다 약 1000배 높은 것으로 보고되었으나, 2000년도 이후에는 열산화 공정으로 게이트 산화막 제조한 후에 NO 혹은 NO₂ 분위기 속에서 열처리함으로써 채널 이동도를 향상시킨 결과가 잇따라 보고되었다(26-27). 두 번째로 Al이나 B 이온을 주입하여 p-base를 형성한 후 1600°C 이상의 고온에서 활성화하는 과정에서 이른바 SiC 표면에 macrostep이 형성되어 이동도가 저하된다(27-29).

DMOS와 UMOS의 선택은 결국 단결정의 어느 면 방향에 채널을 형성하느냐의 문제이다. Fig. 7의 UMOS 구조는 채널이동도가 상대적으로 높은 것으로 알려진(11-20)면 즉 DMOS의 표면에 수직된 면을 활용할 수 있다. 그러나 UMOS의 경우에도 전식 식각에 의한 표면 거칠기를 낮추는 것이 문제점으로 남아 있다. SiC MOSFET에서는 약 3000V급을 기준으로 하여 그 이상일 경우에는 JFET저항과 드리프트층 저항이 상대적으로 비중이 크고, 이하일 경우에는 채널 저항 비중이 큰 것으로 이해되고 있다(24).

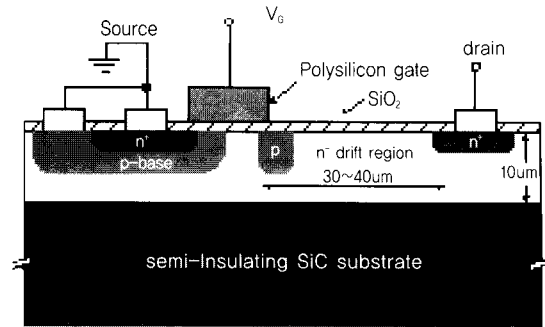


그림 6. 수평구조 MOSFET 구조.

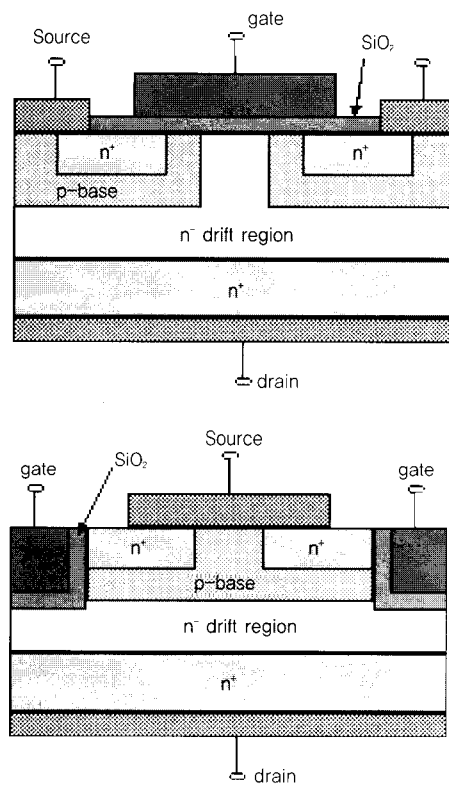


그림 7. 수직구조 SiC MOSFET.
(a)DMOSFET, (b) UMOSFET.

Fig. 8은 n-type 4H-SiC 기판에 p-well을 형성하고자 Al을 650°C에서 여러 가지 에너지로 이온주입하여 깊이방향으로의 농도분포를 보여주는 것이다(30). Fig. 8(a)로부터 TRIM으로 모의실험한 결과와 비교한 것으로 실험값과 모사값이 잘 일치하고 있음을 알 수 있다. Fig. 8(b)는 주입된 이온을 활성화하기 위하여 1500°C, 1600°C, 1700°C에서 각각 40분간 열처리한 후의 SIMS 농도분포 분석결과를 보여주고 있다. 열처리 후에도 전체적인 농도분포는 거의 변화하지 않음을 알 수 있으며 이는 SiC 내에서 모든 도

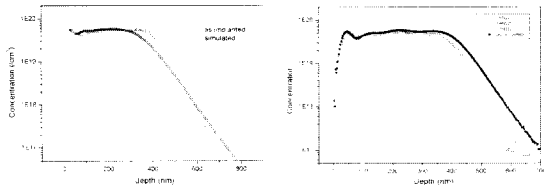


그림 8. Si 이온을 다중 에너지로 주입한 샘플. (a) 깊이방향으로의 농도분포 비교, (b) 각 온도에서 40분간 열처리한 후의 깊이방향으로의 농도분포.

판트의 확산계수가 극히 낮아 비롯된 결과이다. 이러한 까닭으로 실리콘에서 일반적으로 사용되는 이른바 self-align 기법을 SiC MOSFET 제작에서는 사용하기가 어렵다.

SiC에 주입된 도판트를 활성화하고자 고온에서 열처리하면 macrostep이라는 계단모양의 표면결함이 생성되는데 이는 MOSFET 채널의 이동도를 급격히 저하시키게 된다(31). 따라서 4H-SiC의 이동도를 향상시키기 위하여 macrostep의 형성을 방지하는 기술이 필요한데, 이를 억제하기 위한 일련의 연구가 있어왔다(27-31). 주입 이온을 활성화하기 위한 열처리공정 중에 SiH₄를 주입하여 Si-과잉 분위기 기법이 소개된 바 있고(27), 탄소마스크를 이용하여 macrostep 형성을 억제하였다는 보고(31)도 있었다. 최근에 50nm 이상의 두께를 가진 열산화막을 보호막으로 덮어 macrostep의 형성을 억제하였다는 보고(30)가 있었으며 이는 기존의 반도체 공정에서의 적합성 면에서 뛰어난 기술로 평가된다.

4. 그 밖의 고전압 SiC 소자 개발동향

SiC PiN 다이오드의 높은 전압저지능력은 전력용으로 사용될 가능성을 높이고 있다. 항복전압 1.4kV 이하의 영역에서는 SiC 쇼트키 다이오드의 손실이 PiN보다 작은 편이지만 1.4kV 이상의 내전압에서는 스위칭 속도가 빠른 쪽에서는 쇼트키 다이오드가 느린 쪽에서는 PiN 다이오드가 손실이 작은 편으로 평가된다(24). 일본의 간사이 전력은 미국 Cree와 공동으로 세계 최초의 6200V 급 SiC 다이오드를 개발하였다고 1999년 1월에 발표한다 있다

(32). SiC 반도체를 전력용으로 사용하기 위하여 필요한 6천 볼트 이상의 고내압을 실현한 것은 이때가 최초이다. 최근에는 전압저지능력이 19kV인 PiN 다이오드의 개발도 보고되었다(33). 이러한 SiC 전력소자를 전력기에 응용하여 3000만kW급 AC-DC 변환장치에 사용하는 경우를 생각하면 전력손실은 실리콘 소자의 1/4, 소자의 부피는 약 1/6로 축소될 뿐만 아니라 고온에서 동작할 수 있어 수냉식이 아닌 공랭식 장치가 사용될 수가 있는 장점이 있다.

SiC 바이폴라 트랜지스터는 실리콘 IGBT의 대안으로 부각되고 있다. 그러나 SiC IGBT는 실리콘계 IGBT만큼 주목을 받고 있지 못한데 그 이유는 다음과 같다. 첫째로 IGBT는 온 상태에서 흡수의 순방향 접합부를 가지므로 전류의 도통경로에서 한 개의 접합부 전압강하부를 갖게 된다. 둘째로 n 채널 IGBT의 경우 p형 기판 위에 제작되는데 p형 SiC 기판의 비저항이 커서 손실이 매우 커지기 때문이다(24). 이상의 몇 가지 소자에서의 연구사례를 Table 2에 정리하였다.

SiC 반도체 소자에 관한 연구는 최근에 비약적인 발전을 이루고 있다. 이는 6H-SiC에 이어서 1990년말에 4H-SiC 단결정이 상용화됨으로써 힘입은 바가 크다. 소자의 개발은 결정결함밀도의 감소 기술의 개발과 2인치 구경 웨이퍼의 상용화에 이은 3인치 구경 웨이퍼의 개발로 인하여 더욱 가속화될 것으로 보인다. 특히 21세기에 인류가 공통으로 풀어야 할 문제들 중 가장 중요한 것으로 에너지와 지구환경 문제를 들 수 있는데 이를 해결하기 위한 기술들 중의 하나는 에너지 고효율화 기술임을 부인할 수 없다.

SiC 고전압 반도체는 실리콘 소자에 비하여 이론적으로는 전력소모가 1/100에 지나지 않아 손실에너지의 획기적인 절감을 가져다 줄 것으로 기대된다. 이러한 초저손실 SiC 반도체는 산업전자, 정보통신 등의 21세기를 주도할 산업분야에서 기존의 실리콘 반도체의 한계를 극복할 것으로 기대되고 있다.

감사의 글

본 논문은 산업자원부 차세대연구개발사업 'SiC 반도체 기술 개발(SiCDDP)'의 사업의 하나로서 수행된 연구결과입니다.

표 2. 최근의 SiC 바이폴라 트랜지스터/사이리스터 성취 현황

Device Type	Polytype	Power Ratings	Features	Researcher
BJT	6H	200V, 20mA	$\beta \sim 10, 126\text{m}\Omega\text{ cm}^2$	Cree, 1993
	4H	1800V, 3.6A	$\beta \sim 20, 10.8\text{m}\Omega\text{ cm}^2, 1.0 \times 1.4\text{mm}^2$	Cree, 2001
IGBT	6H	200V, 1mA	Self-Aligned UMOS	RPI/GE, 1996
	4H	800V	Self-Aligned UMOS, p-channel	RPI, 1997
Thyristors	6H	200V, 20mA	Gate Triggered	Cree, 1993
	4H	900V, 2A	Gate Triggered, $0.82\text{m}\Omega\text{ cm}^2$	Cree, 1996
	6H	200V, 1.8A	Gate Turn-Off(GTO) $V_{\text{GTO}}=2.9\text{V}, J_{\text{max}}=2500\text{A/cm}^2$	ARL, 1995
	4H	600V, 4.2A	Gate Turn-Off(GTO), $1600\text{A/cm}^2, V_F=1.5\text{V}$	Northrop Grumman, 1997
	4H	600V	Implanted p+Emitter	RPI, 1997
4H	1100V	Gate Turn-Off(GTO)	GE/RPI, 1999	

참고 문헌

- [1] C. E. Weitzel, et al., "Silicon carbide high-power devices", *IEEE Trans. Electron Devices*, Vol. 43, No. 10, p. 1732, 1996.
- [2] K. Shenai, et al., "Optimum semiconductors for high-power electronics", *IEEE Trans. Electron Devices*, Vol. 36, No. 9, p. 1811, 1989.
- [3] R. J. Trew, et al., "The potential of diamond and SiC electronic devices for microwave power applications", *Proc. IEEE* Vol. 79, No. 5, p. 598, 1991.
- [4] T.P. Chow, et al., "SiC and GaN bipolar power devices", *Solid-State Electronics*, Vol. 44, p. 277, 2000.
- [5] T. Yatsuo, "SiC 파워 디바이스의 가능성", *Ohm*, 4월호, p. 43, 1997.
- [6] K. J. Schoen, J. M. Woodall, J. A. Cooper, Jr., and M. R. Melloch, "Design considerations and experimental characterization of high voltage SiC Schottky barrier rectifiers," *IEEE Trans. on Electron Devices*, Vol. 45, No. 7, p. 1595, 1998.
- [7] D. Alok, et al., "A planar, nearly ideal, SiC device edge termination", *Proc. ISPSD 1995*, p. 96, 1995.
- [8] G. Brezeanu, et al., "A nearly ideal SiC Schottky barrier device edge termination", *ICSCRM'99*, p. 183, 1999.
- [9] A. P. Knights et al., "Low temperature annealing of 4H-SiC Schottky diode edge terminations formed by 30keV Ar implantation", *J. Appl. Phys.*, Vol. 87, No. 8, p. 3973, 2000.
- [10] H. M. McGlothlin, et al., "4kV silicon carbide Schottky diodes for high-frequency switching applications," *IEEE Device Research Conf.*, Santa Barbara, CA, June 28-30, 1999.
- [11] G. M. Dolny, D. T. Morissette, P. M. Shenoy, M. Zafrani, J. Gladish, J. M. Woodall, J. A. Cooper, Jr., and M. R. Melloch, "Static and dynamic characterization of large-area high-current-density SiC Schottky diodes," *IEEE Device Research Conf.*, Charlottesville, VA, June 22-24, 1998.
- [12] A. Itoh, T. Kimoto, and H. Matsunami, "Excellent reverse blocking characteristics of high-voltage 4H-SiC Schottky rectifiers with boron-implanted edge termination," *IEEE Electron Device Letters*, Vol. 17, No. 3, p. 139, 1996.
- [13] A. Itoh, T. Kimoto, and H. Matsunami, "High performance of high-voltage 4H-SiC Schottky barrier diodes", *IEEE Electron Dev. Lett.* Vol. 16, No. 6, p. 280, 1995.
- [14] R. Raghunathan and B.J. Baliga, "P-type 4H and 6H-SiC high-voltage Schottky barrier diodes", *IEEE Electron Dev. Lett.* Vol. 19, No. 3, p. 71, 1998.
- [15] R. Raghunathan D. Alok, and B.J. Baliga, "High voltage 4H-SiC Schottky barrier diodes", *IEEE Electron Dev. Lett.* Vol. 16, No. 6, p. 226, 1995.
- [16] K. Ueno, T. Urushidani, K. Hashimoto, and Y. Seki, "Al/Ti Schottky barrier diodes with the guard ring termination for 6H-SiC", *ISPSD'95*, p. 107, 1995.
- [17] D. Defives, O. Noblanc, C. Dua, C. Brylinski, M. Barthula, V. Aubry-Fortuna, and F. Meyer, "Barrier inhomogeneities and electrical characteristics of Ti/4H-SiC Schottky rectifiers", *IEEE Trans. Electron Dev.* Vol. 46, No. 3, p. 449, 1999. 참고문헌
- [18] V. Saxena, J. Nong, and A. Steckl, "High-voltage Ni- and Pt-SiC Schottky barrier diodes utilizing metal field plated termination", *IEEE Trans. Electron Dev.*, Vol. 46, No. 3, p. 456, 1999.
- [19] J. Spitz, M. R. Melloch, and J. A. Cooper, Jr., "2.6 kV 4H-SiC power MOSFET," (late news) *IEEE Device Research Conf.*, Ft. Collins, CO, June 23-25, 1997.
- [20] J. N. Shenoy, M. R. Melloch, and J. A. Cooper, Jr., "High-voltage double-implanted MOS power transistors in 6H-SiC," *IEEE Device Research Conf.*, Santa Barbara, CA, June 24-26, 1996.
- [21] J. N. Shenoy, J. A. Cooper, Jr., and M. R. Melloch, "High-voltage double-implanted power MOSFETs in 6H-SiC," *IEEE Electron Device Lett.*, Vol. 18, p. 93, 1997.
- [22] J. Spitz, M. R. Melloch, J. A. Cooper, Jr., and M. A. Capano, "High-voltage (2.6 kV) lateral DMOSFETs in 4H-SiC," *IEEE Electron Device Lett.*, Vol. 19, p. 100, 1998.
- [23] J. Tan, J. A. Cooper, Jr., and M. R. Melloch, "High-voltage accumulation-layer UMOSFETs in 4H-SiC", *IEEE Electron Device Lett.*, Vol. 19, p. 487, 1998.
- [24] J. A. Cooper, "Opportunities and technical strategies for silicon carbide device development", *Mater. Sci. Forum*, Vol. 389-393, p.15, 2002.
- [25] C-Y. Yu, et al., "Effect of process variation on 4H-SiC MOSFET mobility", *ICSCRM 2001*, Tsukuba, Japan, 2001
- [26] K. Fukuda, et al., "Field-effect channel mobility of 110cm²/V-sec in 4H-SiC MOSFET on (11-20) face using high temperature hydrogen annealing", *Elec. Mat'l Conf.*, Notre Dame, USA, June 27-29, 2001.
- [27] M. A. Capano, et al., "Dopant activation and surface morphology of ion implanted 4H- and 6H-silicon carbide", *J*

Elec. Mat., 27, p. 370, 1998.

[28] S. Scharnholz, E. Stein von Kamienski, A. Golz, C. Leonhard, and H. Kurz, Mater. Sci. Forum, Vol. 264-268, p. 1001, 1998.

[29] M. A. Capano, et al., "Surface roughening in ion implanted 4H-silicon carbide", J. Elec. Mat., Vol. 28, No. 3, p. 214, 1999.

[30] W. Bahng, et al., "Suppression of macrostep formation in 4H-SiC using a cap oxide layer", Mater. Sci. Forum Vol. 389-393, p. 863, 2002.

[31] C. Thomas, C. Taylor, J. Griffin, W. L. Rose, M. G. Spencer, M. Capano, S. Rendakova, and K. Kornegay, Mat. Res. Soc. Symp. Proc. Vol. 572, p. 45, 1999.

[32] Web site of Cree Inc., www.cree.com.

[33] Y. Sugawara, et al., "12-19kV 4H-SiC PiN diodes with Low power loss", 13th ISPSD, Osaka, Japan, June 4-7, 2001.

저자 약력

성명 : 김남균

❖ 학력

- 1984년 서울대 무기재료공학과 공학사
- 1990년 서울대 대학원 무기재료공학과 공학박사

❖ 경력

- 1990년 한국전기연구원 입사
- 1987년 독일 막스플랑크 재료금속연구소 연구원
- 1995년 일본 과학기술청 무기재질연구소 연구원
- 현재 한국전기연구원 전력반도체연구그룹 책임연구원

성명 : 방욱

❖ 학력

- 1990년 서울대 무기재료공학과 공학사
- 1992년 서울대 대학원 무기재료공학과 공학석사
- 1997년 서울대 대학원 무기재료공학과 공학박사

❖ 경력

- 1997년 8월 - 2002년 6월
일본 전자기술종합연구소(ETL) 특별연구원
- 2000년 6월 - 현재
한국전기연구원 전력반도체연구그룹 선임연구원

성명 : 김은동

❖ 학력

- 1980년 부산대 재료공학과 공학사
- 1982년 부산대 대학원 재료공학과 공학석사
- 1985년 KAIST 재료공학과 공학박사

❖ 경력

- 1985년 9월 - 1986년 4월
KAIST 전기전자공학과 연수연구원
- 1989년 2월 - 1990년 1월
LGET, CNRS, France 연수연구원
- 1986년 5월 - 현재
한국전기연구원 책임연구원
전략기술연구단장
전력용반도체기술개발단장

성명 : 이종홍

❖ 학력

- 1990년 충남대 재료학과 이공학사
- 1996년 경북대 대학원 전자공학과 이공석사
- 2000년 금오공과대 대학원 재료공학과 박사수로

❖ 경력

- 1989년 KEC 입사
- 현재 KEC 종합연구소 책임연구원

성명 : 정종원

❖ 학력

- 1994년 서울시립대 전자공학과 이공학사
- 1996년 서울시립대 대학원 전자공학과 이공석사

❖ 경력

- 1996년 KEC 입사
- 현재 KEC 종합연구소 선임연구원