

논문 15-7-4

재산화 질화산화막의 기억트랩 분석과 프로그래밍 특성

A Study on the Memory Trap Analysis and Programming Characteristics of Reoxidized Nitrided Oxide

남동우*, 안호명*, 한태현*, 이상은**, 서광열*

(Dong-Woo Nam*, Ho-Myoung An*, Tae-Hyeon Han*, Sang-Eun Lee**, and Kwang-Yell Seo*)

Abstract

Nonvolatile semiconductor memory devices with reoxidized nitrided oxide(RONO) gate dielectrics were fabricated, and nitrogen distribution and bonding species which contribute to memory characteristics were analyzed. Also, memory characteristics of devices depending on the anneal temperatures were investigated. The devices were fabricated by retrograde twin well CMOS processes with 0.35 μ m design rule. The processes could be simple by in-situ process in growing dielectric. The nitrogen distribution and bonding states of gate dielectrics were investigated by Dynamic Secondary Ion Mass Spectrometry(D-SIMS), Time-of-Flight Secondary Ion Mass Spectrometry(ToF-SIMS), and X-ray Photoelectron Spectroscopy(XPS). As the nitridation temperature increased, nitrogen concentration increased linearly, and more time was required to form the same reoxidized layer thickness. ToF-SIMS results showed that SiON species were detected at the initial oxide interface which had formed after NO annealing and Si₂NO species within the reoxidized layer formed after reoxidation. As the anneal temperatures increased, the device showed worse retention and degradation properties. It could be said that nitrogen concentration near initial interface is limited to a certain quantity, so the excess nitrogen is redistributed within reoxidized layer and contribute to electron trap generation.

Key Words : Reoxidized nitrided oxide(RONO), CMOS, D-SIMS, ToF-SIMS, XPS

1. 서론

MIS(Metal-Insulator-Semiconductor)형 소자는 고집적화에 따라 게이트 유전막의 두께가 얇아지면서 유전막의 누설전류증가와 같은 신뢰도의 문제가 크게 제기되고 고품질의 유전막 제작이 필요하게 된

다. MOS 제작에서, 실리콘 위에 성장시킨 산화막을 N₂O 또는 NO 분위기에서 질화 열처리하면 Si-SiO₂ 계면근처에 질소가 축적된다[1,2]. 형성된 질화산화막은 구조적으로 안정하고 붕소의 침투를 막는 등 유전막의 신뢰성이 높아진다고 알려져있다[3,4].

또한 질화산화막은 MONOS(Metal-Oxide-Nitride-Oxide-Semiconductor)구조의 전하트랩형 비휘발성 기억소자에서 전하트랩층인 질화층의 역할을 할 수 있다고 기대할 수 있다[5,6]. 질화열처리 후 다시 열산화 공정을 수행하면 질화산화막-실리콘 계면에 새로운 산화막이 성장하게 된다. 그러면 산화막 안에 질소층이 매몰된 형태의 구조를 갖게되어 적층

* : 광운대학교 전자재료공학과

(서울 노원구 월계동 광운대학교

Fax : 02-941-6008

E-mail : kyseo@daisy.gwu.ac.kr)

** : 삼성전자 SRAM/NVM 개발실 NVM팀

2001년 12월 12일 접수, 2002년 1월 31일 1차 심사 완료

2002년 3월 15일 2차 심사 완료, 2002년 4월 8일 최종 심사 완료

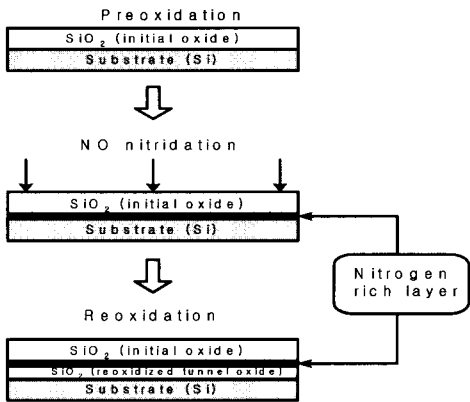


그림 1. NO 질화를 포함한 재산화 질화산화막 일괄 공정.

Fig. 1. In-situ reoxidized nitrated oxide process including NO nitridation.

ONO삼중 유전막과 유사한 기하학적 모양을 갖게 된다. 더욱이 이와같은 재산화 질화산화막공정은 일괄공정(in-situ)으로 제작할 수 있다. 그림 1은 NO 기체를 사용한 공정순서와 유전막 형성 개략도를 나타낸 것이다. 그림에서 재산화에 의한 산화막은 전하트랩형 MONOS 구조의 터널 산화막으로, 초기 산화막은 블로킹 산화막으로 작용하고 질화 열처리에 의한 SiON층은 전하트랩층의 역할을 할 것으로 기대할 수 있다. 본 논문에서는 전하트랩형 비휘발성 기억소자의 게이트 유전막을 산화막의 질화와 재산화공정을 이용한 새로운 공정방법으로 성장시키고, 질소층의 질소분포와 농도, 결합층을 SIMS와 XPS로 분석하여 기억특성과의 관계를 조사하였다. 그리고 재산화 질화산화막을 유전막으로 갖는 전하트랩형 NVSM을 제작하고 기억동작과 특성을 조사하였으며, 새로운 공정법의 적용가능성을 제시하였다.

2. 실험

소자의 제작은 리트로그레이트 트윈웰과 일층폴리 그리고 일층 금속배선을 갖는 0.35 μ m 설계규칙의 CMOS 표준공정을 그대로 사용하였다. 게이트 재산화 질화산화막 성장을 위한 공정은 다음과 같다. 실리콘 기판위에 초기 산화막을 800 $^{\circ}$ C에서 습식 산화법으로 성장시켰다. 산화막을 NO 분위기에서 온도를 변화시키면서 각각 30분간 열처리하고, 마지막으

표 1. NO 열처리한 재산화 질화산화막의 공정 조건.

Table 1. Split table of NO annealed RONO fabrication condition.

W/F No.	Initial oxide	Nitridation condition		Reoxidation condition		N Content (%)
		Temp.	Time	Time	Method	
1	67A	800 $^{\circ}$ C	NO, 30min.	2'10''	WET	0.33
2		850 $^{\circ}$ C		4'00''		0.72
3		900 $^{\circ}$ C		9'30''		1.34
4		950 $^{\circ}$ C		19'00''		1.89
5		1000 $^{\circ}$ C		31'00''		2.10

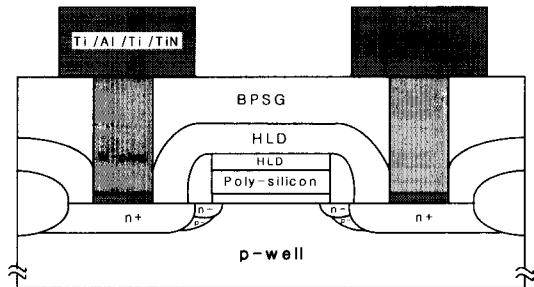


그림 2. 재산화 질화산화막 게이트 유전막을 갖는 비휘발성 메모리소자의 단면도.

Fig. 2. The cross-sectional diagram of charge trap type NVSM with reoxidized nitrated oxide gate dielectrics.

로 850 $^{\circ}$ C에서 습식 산화법으로 재산화하여 20 \AA 정도의 터널링 산화막을 성장시켰다. NO 분위기에서 열처리한 재산화 질화산화막의 제작 조건에 대한 분류는 표 1과 같고 제작된 소자의 단면도는 그림 2와 같다. 재산화 질화산화막을 게이트 유전막으로 갖는 전하트랩형 비휘발성 기억소자를 제작하고 특성을 조사하기 위해서는 전하트랩층으로 사용되는 질화층의 질소 분포를 파악하고 조절할 수 있어야 한다. 질소의 농도와 분포를 조사하기 위해서 D-SIMS를 통해 분석하였고 ToF-SIMS를 사용하여 질소의 결합층에 대하여 분석하였다. 그리고 실리콘과 산소원자의 결합상태를 조사하기 위해서 XPS 분석을 수행하였다.

3. 결과 및 고찰

67A의 초기산화막을 NO 분위기에서 질화 열처

리와 재산화를 실시한 후 D-SIMS로 분석한 질소의 분포는 그림 3과 같다. 그림에서 보는바와 같이 질화열처리 온도에 대한 유전막내에 축적되는 질소는 증가하였으며, 그림 4의 □에서 보는바와 같이 실험온도범위 내에서 선형적으로 증가함을 알 수 있다. 또한 ▲로 나타낸 바와 같이 동일한 20Å의 터널링 산화막을 제작하기 위해 수행하는 재산화 시간은 열처리 온도에 대하여 지수 함수적으로 증가하였다.

그림 5는 재산화 질화산화막 내 질소의 결합종을 조사하기 위한 ToF-SIMS 분석 결과이다. 그림에서

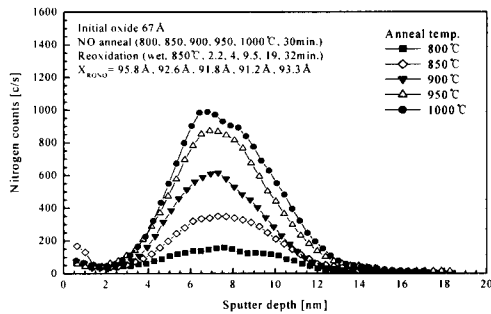


그림 3. NO 열처리 온도를 달리한 경우 D-SIMS로 측정된 질소 깊이분포.

Fig. 3. Nitrogen in-depth profiles measured by D-SIMS for different NO anneal temperatures.

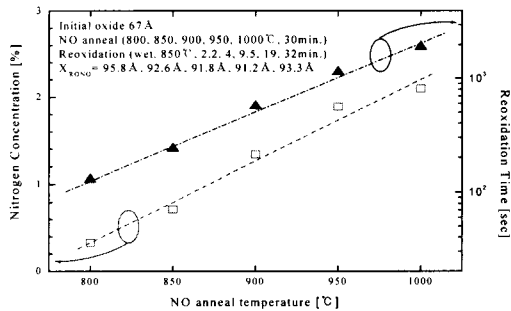


그림 4. NO 열처리 온도에 따른 축적된 질소의 농도 및 20Å 터널 산화막 성장을 위한 재산화 시간.

Fig. 4. Incorporated nitrogen concentration and reoxidation time for 20Å tunnel oxide growth as a function of NO anneal temperature.

알 수 있는바와 같이 질소의 피크는 가우시안 분포를 갖지 않는다. 이것은 질소 결합종의 피크는 두개 이상의 피크가 중첩되어 나타난 것을 의미한다.

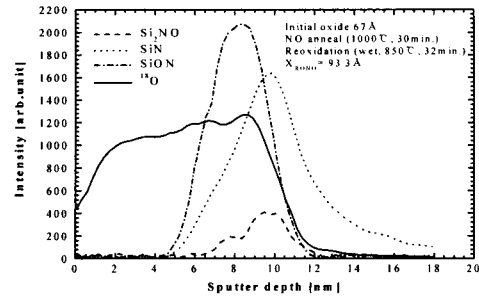


그림 5. ToF-SIMS로 분석한 재산화 질화산화막 내 질소 결합종의 깊이분포.

Fig. 5. Depth profile of nitrogen bonding species in reoxidized nitrided oxide measured by ToF-SIMS.

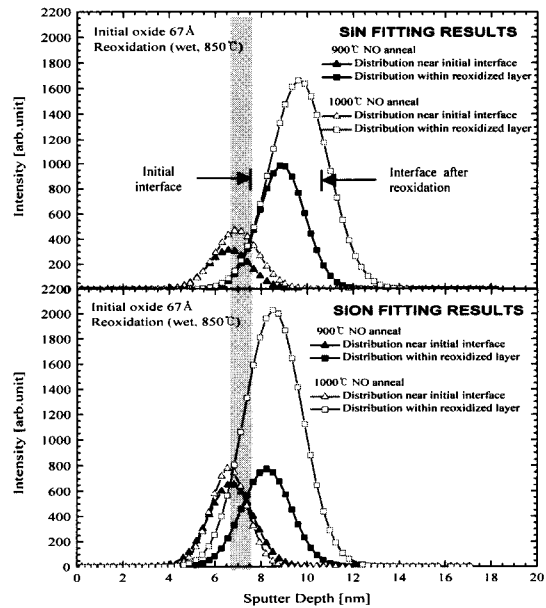


그림 6. 질소 농도를 달리한 경우 SiN과 SiON 결합종의 중첩된 피크를 가우시안 분포를 이용하여 분리한 깊이분포.

Fig. 6. Separated depth profiles of overlapped SiN and SiON species using gaussian distribution for different nitrogen concentration.

ToF-SIMS에 의해 분석된 질소의 결합종 SiN과 SiON을 이상적인 가우시안 분포를 이용하여 최적 일치시킨 결과를 열처리 온도에 따라서 나타내면 그림 6과 같다. 질소 결합종의 피이크가 재산화전의 계면이었던 초기계면부근과 재산화막 내에 존재하고 있음을 알 수 있다. 그러나 열처리 온도가 900℃와 1000℃인 경우를 비교하면, 초기계면에서는 높은 온도에서 질소의 증가는 크지 않으나 재산화막에서는 매우 크게 증가한다는 것을 알 수 있다. 이 결과를 도식적으로 표현하면 그림 7과 같다. 재산화 시간에 대해 초기계면에서의 질소의 양은 포화하는 경향을 나타내며 재산화막에서는 계속 증가하였다. 이는, NO 열처리 직후 생성된 초기계면에 존재할 수 있는 SiON 결합종의 농도는 제한되어 있으며 잉여의 질소는 재산화시 질화산화막 밖으로 방출되거나 재산화막 내로 확산하는 것으로 해석된다.

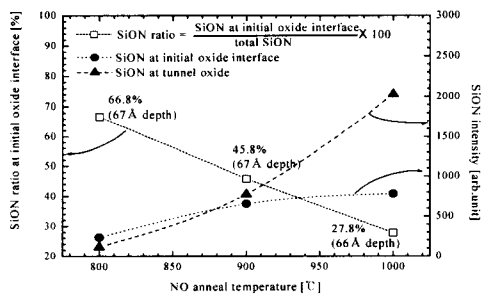


그림 7. NO 열처리 온도(질소의 농도)에 따른 SiON 의 분포.

Fig. 7. SiON ratio and species intensity with NO anneal temperature (i.e. N concentration).

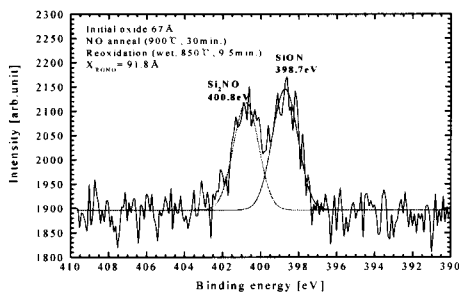


그림 8. NO 열처리 재산화 질화산화막에서 XPS에 의한 질소의 결합상태.

Fig. 8. Chemical bonding states of nitrogen in NO annealed RONO analyzed XPS.

재산화 질화산화막 내에 존재하는 질소의 결합상태를 정확하게 조사하기 위해서 XPS 분석을 실시하였다. 검출효율을 높이기 위하여 200:1로 희석된 HF 용액에서 시료의 상부 초기산화막 일부를 제거하였다. 그림 8은 재산화 질화산화막 내 질소의 결합상태를 XPS로 분석한 결과이며 질소 피이크의 결합임을 알 수가 있다.

재산화막 내의 질소 결합종의 공간적인 분포를 더욱 자세히 조사하기 위해 질화열처리한 초기 산화막을 제거한 후, XPS 분석을수행하였으며 그 결

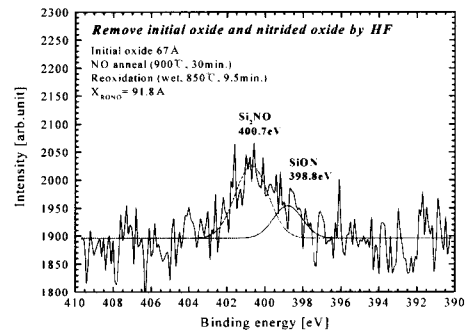


그림 9. NO 열처리 RONO의 초기산화막과 질화산화막을 희석된 HF에 의해 습식 식각한 후 재산화막 내의 질소의 결합상태.

Fig. 9. Chemical bonding states of nitrogen within the reoxidized layer after removing initial oxide and nitrided oxide of NO annealed RONO by diluted HF.

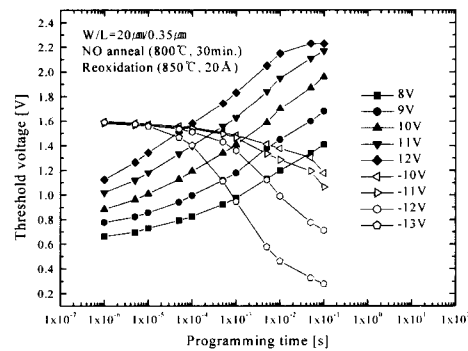


그림 10. 800℃에서 NO 질화 열처리를 수행한 재산화 질화산화막 소자의 스위칭 특성.

Fig. 10. Switching characteristics of RONO annealed at 800°C in NO ambient.

과는 그림 9와 같다. SiON 피이크가 거의 사라졌고 Si₂NO만 남아있는 것으로 보아 재산화막 내에서의 주된 질소 결합종은 Si₂NO, 초기 계면부근 질화산화막에서의 주된 질소 결합종은 SiON임을 알 수 있다.

NO 분위기에서 질화 열처리하고 재산화한 재산화 질화산화막을 게이트 유전막으로 하여 제작한 비휘발성 메모리 소자의 스위칭 특성은 그림 10과 같다. 12V, 100ms와 -13V, 100ms에서 약 2V의 기억창을 얻을 수 있었다. 소자의 기억/소거 전의 초기 문턱전압은 1.1V이다. 그림에서 알 수 있는바와 같이 기억상태로부터의 소거동작시간이 소거상태로부터의 기억동작시간에 비해서 더 많은 시간이 소요된다. 이와 같이 기억동작속도가 소거동작속도보다 빠른 것은 실리콘 기판에서 본 전위장벽의 높이가 전자에서보다 정공에서 더 크기 때문이라 해석된다.

단일접합 전하펌핑 방법[7,8]을 통해서 질화 열처리 온도에 따른 초기상태의 계면트랩밀도를 조사한 결과는 그림 11과 같다. 질화 열처리 온도에 비례하여 계면트랩밀도가 증가하였다.

NO 질화 열처리 온도에 따라 분류한 소자의 기억유지특성은 그림 12와 같다. 질화 열처리 온도가 증가할 때 소거상태에서의 기억유지 감쇠율이 증가하는 것으로 나타났다. 이는 재산화로 형성된 터널링 산화막으로 확산하여 존재하는 잉여의 질소들이 전자의 트랩으로 작용함으로써 문턱전압에 영향을 주는 것으로 생각할 수 있다.

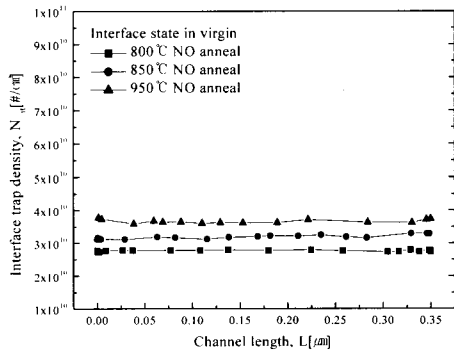


그림 11. NO 열처리 온도에 따른 소자의 초기상태 계면트랩밀도.

Fig. 11. Interface trap density throughout the channel length samples for different anneal temperatures in virgin.

또한 그림 13의 결과처럼 내구성 특성에 의하면 질화 열처리 온도가 증가할수록 기록과 소거사이의 기억창이 감소하고 사이클링 가능횟수가 감소하였다.

질화 열처리 온도에 따라 분류한 소자의 열화정도를 비교하기 위해서 기록/소거 반복후의 계면트랩밀도를 조사하였다. 질화 열처리 온도가 증가할수록

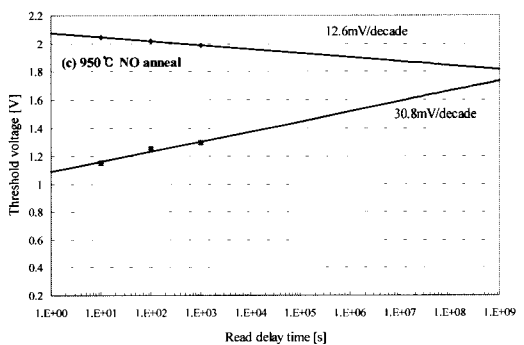
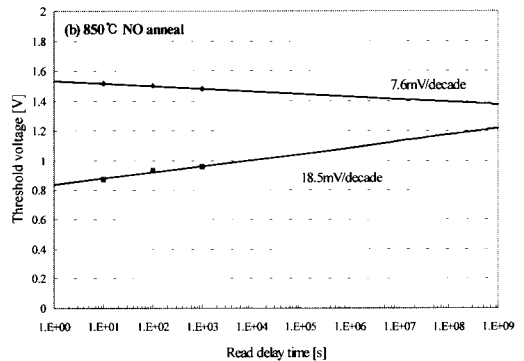
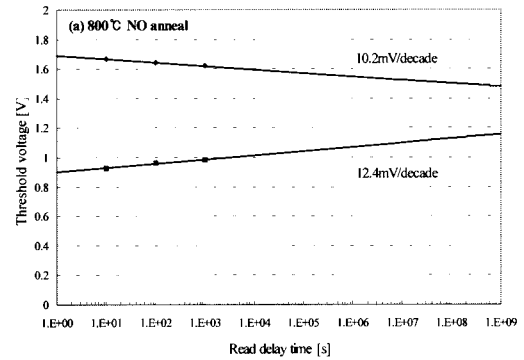


그림 12. NO 열처리 온도에 따른 소자의 기억유지 특성.

Fig. 12. Retention characteristics of devices for different NO anneal temperatures.

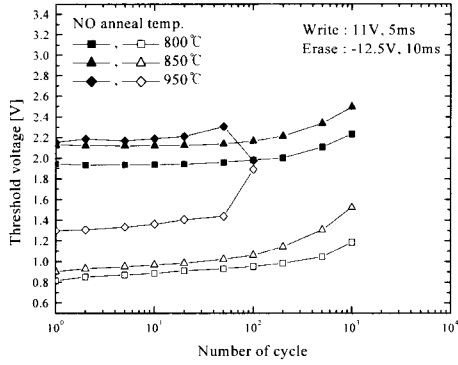


그림 13. NO 열처리 소자의 기록/소거 반복에 의한 내구성.
Fig. 13. Cycling endurance of NO anneal devices.

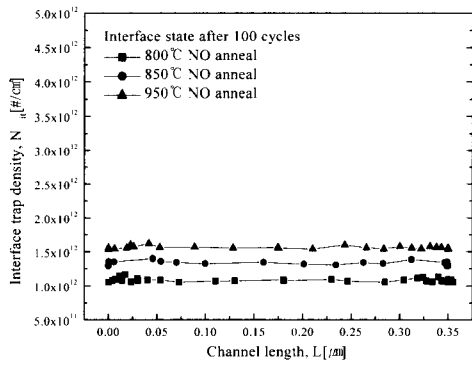


그림 14. 질화 열처리 온도에 따른 100회 기록/소거 반복 후의 계면트랩밀도.
Fig. 14. Interface trap density after 100 write/erase cycles for different NO anneal temperatures.

내구성 특성이 저하되는 것처럼 사이클링 후의 계면트랩밀도도 비례하여 증가하는 것을 그림 14에서 보여주고 있다. 이와 같은 현상은 재산화시 재산화막으로 확산하여 재분포한 질소가 열처리 온도에 대하여 증가하기 때문이라고 볼 수 있다. 소자의 기록과 소거가 게이트의 전면을 통해 이루어졌기 때문에 계면의 트랩이 채널의 전 영역에 고르게 분포하고 있다.

그림 15는 게이트에 양과 음의 방향으로 각각 램프 전압을 인가하였을 때의 게이트에서의 누설전류를 나타내고 있다. 질화 열처리 온도가 높아짐에 따

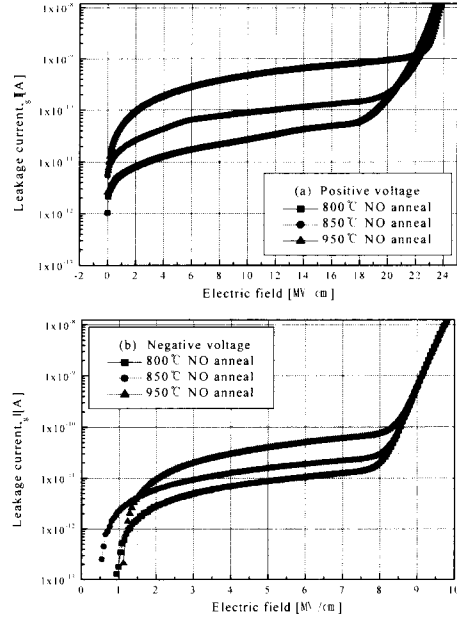


그림 15. 다른 NO 열처리 조건을 갖는 소자의 램프 방법에 의한 I-E 곡선.
Fig. 15. I-E curves for different NO anneal temperatures by ramp method.

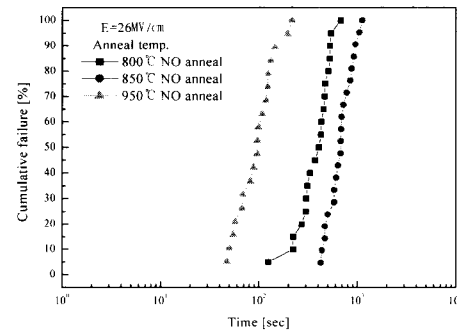


그림 16. 질화 열처리 온도를 달리하였을 때, 등전압 방법에 의해 측정된 절연 파괴 특성.
Fig. 16. Breakdown characteristics for different NO anneal temperature by constant voltage method.

라서 축적되는 질소가 많아질수록 누설전류가 많이 발생하였다. 질소가 계면에 축적되면 계면에서의 에너지 장벽이 낮아지게 된다[9]. 그러나, 여기서는 질소의 양이 매우 적으므로 확산된 질소에 의한 트랩이 증가하기 때문으로 볼 수 있다.

증가하는 전계에 대하여 갑자기 전류가 증가하는 부분은 음의 전압을 인가하였을 때가 더 빨리 발생하였다. 각 소자의 게이트에 26MV/cm의 전계를 동일하게 인가하여 시간에 대한 절연과피특성을 조사하였다. 이러한 소자의 TDDB(Time-Dependent Dielectric Breakdown) 특성을 누적분포로 나타낸 결과는 그림 16과 같다. 950°C에서 열처리를 수행한 소자가 가장 일찍 절연과피가 일어났으며 850°C에서 열처리한 소자가 가장 우수한 TDDB 특성을 나타내었다.

4. 결론

산화막을 NO로 열처리 할 때 질화 열처리 후 재산화한 질화산화막을 전하트랩형 비휘발성 기억소자의 게이트 유전막으로 사용할 수 있음을 확인하였다. 게이트 유전막을 제작할 때 산화막의 질화 열처리 온도가 높을수록 유전막 내에 축적되는 질소의 농도는 증가하였다. 유전막 내부의 질소는 초기 계면 부근에서는 SiON, 재산화후의 계면부근에는 Si₂NO 결합이 주를 이룬다는 것을 알 수 있었다. 0.35 μ m 설계규칙으로 제작한 기억소자의 기억유지특성은 열처리 온도가 높아질수록 소거상태에서 상대적으로 저하되었으며 기억/소거 반복 가능 횟수가 열처리 온도가 높을수록 초기 계면트랩밀도는 증가하였고, 100회 싸이클링(cycling)후 온도에 비례하여 증가하였다. 기억특성에서 질소의 농도증가에 따라서 특성이 저하되는 이유는, 전체 질소농도가 증가할때 산화막내에 매몰되어 기억특성에 기여하는 질소층에 존재하는 질소의 양은 한정되어 있으나 터널링 산화막 내부와 계면부근에는 많은 질소들이 확산 분포하기 때문이라고 해석할 수 있다. 따라서 신뢰성을 높이기 위해서는 재산화막에 질소가 재분포되지 않는 재산화 공정 조건을 찾을 필요가 있다.

참고 문헌

[1] M. Suzuki and Y. Saito, "Structural stability of ultrathin silicon oxynitride film improved by incorporated nitrogen", Appl. Surface Science, Vol. 173, p. 171, 2001.
[2] 윤성필, 이상은, 김선주, 서광열, 이상배, "산화막의 NO/N₂O 질화와 재산화공정을 이용한 전하트랩형 NVSM용 게이트 유전막의 성장과 특

성", 전기전자재료학회논문지, 12권, 5호, p. 389, 1999.
[3] M. Navi and S. T. Dunham, "Investigation of boron penetration through thin gate dielectrics including role of nitrogen and fluorine", J. Electrochem. Soc., Vol. 145, No. 7, p. 2545, 1998.
[4] M. Cao, P. V. Voorde, M. Cox, and W. Greene, "Boron diffusion and penetration in ultrathin oxide with poly-Si gate", IEEE Electron Device Lett., Vol. 19, No. 8, p. 291, 1998.
[5] 이상배, 김선주, 이성배, 서광열, "저전압 비휘발성 반도체 기억소자를 위한 Scaled MONOS 구조의 트랩 연구", 응용물리, 9권, 2호, p. 191, 1996.
[6] 이상은, 윤성필, 김선주, 서광열, "2차 미분 Auger 스펙트럼을 이용한 ONO 초박막의 결합상태에 관한 연구", 전기전자재료학회논문지, 11권, 10호, p. 978, 1988.
[7] 양전우, 홍순혁, 서광열, "Single junction charge pumping 방법을 이용한 전하트랩 SONOSFET NVSM 셀의 기억트랩분포 결정", 전기전자재료학회논문지, 13권, 10호, p. 822, 2000.
[8] C. Chen, Z.-Z. Liu, and T. P. Ma, "Analysis of enhanced hot-carrier effects in scaled flash memory devices", IEEE Trans. on Electron Devices, Vol. 45, No. 7, p. 1524, 1998.
[9] R. Natarajan and D. J. Dumin, "Traps in reoxidized nitrided oxides of varying thicknesses", J. Electrochem. Soc., Vol. 142, No. 2, p. 645, 1995.