

## Dual Band PLL Synthesizer Module(SMD형) 개발에 관한 연구

윤종남

전자부품연구원 무선회로 연구센터

### Development of Dual Band Synthesizer Module(SMD Type)

Jong Nam Yoon

RF Communication Research Group, Korea Electronics Technology Institute

**초 록:** 본 연구에서는 Dual Band 휴대폰 전화기의 핵심부품인 Dual Band PLL Module의 무선회로 설계 기술, 초소형 설계기술, 표면실장기술, 소형화 SMD기술, Test기술 및 설계기반 마련 및 대외 경쟁력 있는 Dual PLL Module의 초소형화 기술을 확보하였다.

**Abstract:** In this project, we have developed various techniques for subminiaturization, surface implementation, high frequency design, small-size SMD, performance test and application of the Dual PLL module, which is a core component for the personal communication systems. We also obtained base techniques for the next-generation Dual PLL module design and fabrication techniques for an internationally competitive subminiature Dual PLL module.

**Keywords:** Dual Band PLL module, 무선회로 설계, SMD, 소형화 기술

## 1. 서 론

### 1.1. Dual PLL의 개요

미국의 경우 여러 해 전부터 서비스를 시작한 PCS 사업자들은 셀룰러 사업자들에 비해 협소할 수 밖에 없는 자신들의 서비스 커버리지 확대를 위해 기존 사업자들과의 로밍을 피하고 있다. 이 과정에서 '멀티 모드/밴드 단말기' (서로 다른 주파수 대역 네트워크에서 모두 사용 가능한 듀얼 모드, 듀얼 밴드 혹은 트리플 밴드 단말기)의 필요성이 크게 부각되었다.

달라스에서 열린 'PCS 97'에서 일본 소니사가 그 해 가을 출시할 것이라고 밝힌 멀티 단말기는 이러한 시장을 겨냥한 것으로서 앞으로도 이와 관련된 개발은 더욱 활발해질 것으로 보이며, 현재 유럽에서는 멀티밴드/멀티 모드 및 단일밴드의 수요의 비가 90:10 이상으로 되었다.

국내에서도 현재 멀티 단말기에 대한 개발이 진행 중이다. 특히 가장 큰 의욕을 보이고 있는 업체가 SK텔레콤이며, 2000년 이후 역시 IMT2000 서비스를

개시할 수 있을 것으로 보는 SK텔레콤으로서는 기존 셀룰러망을 이용한 IMT2000 전국 서비스를 위해서도 이의 개발이 절실한 입장이다.<sup>1-3)</sup>

Dual PLL(Phase Locked Loop)은 Single PLL이 2개로 구성되어 있으므로 Fig. 1과 같이 구성되었으며, Dual PLL의 기본 개념은 Single PLL의 기본개념과도 같다. 1960대까지는 PLL 구성회로가 많은 부품을 필요로 했기 때문에 거의 실현이 이루어지지 않았다.

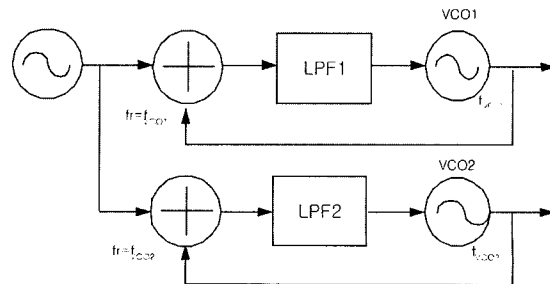


Fig. 1. Dual PLL block.

그러나 현재는 IC 기술의 급속한 발달로 소형화, 저가격화가 이루어져 고주파용의 거의 모든 분야에서 널리 사용되고 있다.

Dual PLL 기본구성은 그림 Fig. 1에 나타낸 바와 같이 기준발진기, 위상비교기, 저역필터(LPF), 그리고 전압제어발진기(VCO)로 구성되어있다.

위상비교기는 기준발진기 신호와 VCO 출력신호간의 위상차에 따라 전압을 발생하고, 이 전압은 저역 필터로 평활되어 VCO의 제어전압으로 주파수를 가변 시켜 위상차가 없을 때까지 계속 Loop되어, 입력 신호와 VCO 출력 신호와의 위상차가 같으면 정지하여 계속 그 값을 유지한다.

## 2. 본 론

### 2.1. PLL의 듀얼 모듈러스 방식

상기 사용이 필수적인 PCS의 PLL 방식은 여러 가지나 Spurious개선을 위해 듀얼 모듈러스 방식을 많이 사용한다. PLL 소요 부품중 프리스케일러의 사용에 의하여 기준주파수  $f_r$ 의 작아짐으로 인해 노이즈 성분이 증가한다. 이를 방지하기 위한 프리스케일러 방식으로 듀얼 모듈러스 프리스케일러 방식이 있다. 이 방식은 프리스케일러의 장점을 살리면서  $f_r$ 을 낮추지 않아 노이즈 성분을 제거할 수 있는 방식이다.

예를 들면  $P=10$  이라고 할 때,

$N_f = N \times 10 + A (A < 10)$ 으로 쓸 수 있으므로,

$$f_0 = (N \times P + A) \cdot f_r \quad (1)$$

라고 표현할 수 있다. ※ 단( $A < P$ 임의),  $A < P$  및  $N$ 이다.

식 (1)를 변형하면,

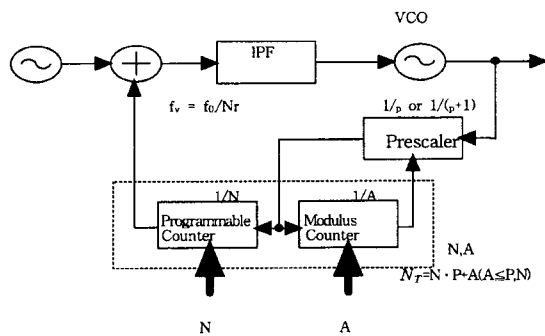


Fig. 2. PLL modulus prescaler.

$$f_0 = \{(N-A) \cdot P + A \cdot (P+1)\} \cdot f_r \quad (2)$$

가 얻어진다. 이것을 블록으로 구성하면

Fig. 2과 같이 되며, 위 방식에서 기준 주파수  $f_r$ 의 감소를 방지하면서 프리스케일러의 장점을 살리는 분주비  $N$ 의 결정 과정을 보면

- ① 프리스케일러는 초기에 VCO출력을  $(P+1)$ 로 분주한다.
- ② 프리스케일러의 출력은 A카운터와 N카운터에 각각 입력되고 A개의 입력에서 A 카운터는 0이 된다. 이 때 프리스케일러의 분주비를 P로 전환하는 출력을 낸다.

이 시점까지  $A \times (P+1)$ 의 압력이 프리스케일러에 있게 된다. 여기서 A카운터를 모듈러스 카운터라고 한다.

- ③ 또한 N카운터는 프리스케일러로부터의 입력으로 카운트다운을 계속한다. 여기서 N 카운터가 0이 되려면  $(N-A)$ 개의 입력이 필요하다.
- ④ N 카운터가 0이 되고 나서 프리스케일러의 분주값은 다시  $(P+1)$ 로 돌아가며 A카운터의  $1/N$  카운터도 초기 값으로 설정된다.
- ⑤ 따라서  $N_f = (N-A) + A(P+1)$ 개의 입력에 대해 1 출력으로 된다. 이것은 식 (1)의 변형이므로 A

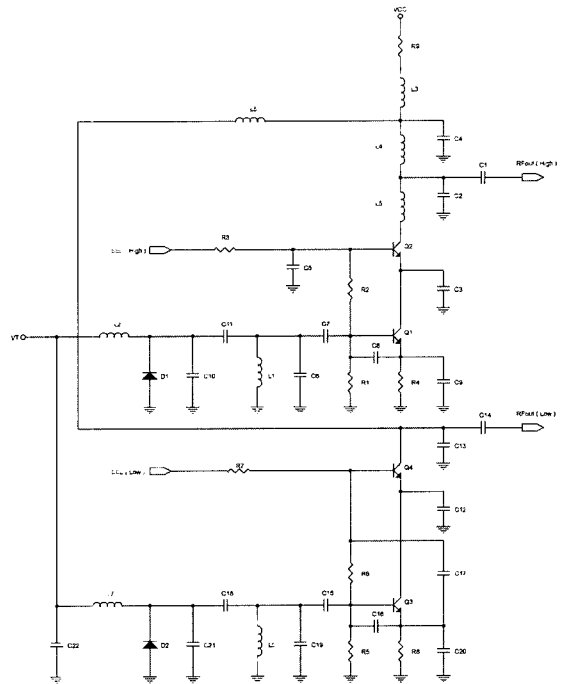


Fig. 3. Dual VCO circuit.

를 하나 바꾼 때의 에 대한 변화분은 과 같고 프리스케일러를 사용하지 않는 경우에는 같은 값이 된다. 이와 같이하여 시스템의 성능저하를 경감시킬 수 있다.<sup>4)</sup>

**2.2. Dual VCO의 설계 및 Dual VCO의 Simulation**

VCO의 설계를 위하여, TR의 선정은 6 GHz 대역에서 안정하게 동작하는 BJT를 선정하였으며, VCO의 공진회로의 선택은 C/N비를 향상시키기 위하여  $\lambda/4$ 형 공진회로를 선정하였다. VCO의 케환회로는 고출력과 부하에 안정을 줄 수 있는 Common-Emitter 방식을 선택하였다.

전체적인 발진기의 특성을 고려할 때 중요한 파라미터 C/N비에 영향을 미치는 요인으로서 발진회로에서 사용되고 있는 능동소자의 잡음지수, 능동소자의 Bias에 의하여 결정되는 AM-FM변화에 의한 잡음 특성 및 공진회로의 Q 값 등이 영향을 미치며 또 하나의 요소로서 발진기에 잡음특성이 좋은 TR, FET를 사용하여도 소비전류를 작게 하면 AM-FM 변환에 의한 잡음특성에 나쁘게 된다.

결국, 발진기의 C/N을 향상시키기 위하여 공진회로의 부하  $Q_L$  및 출력을 올릴 필요가 있으며, Noise Figure (NF)를 낮출 필요가 있다. 이상과 같은 모든 요소들을 최적화 설계한 회로를 Fig. 3에 나타내었다.

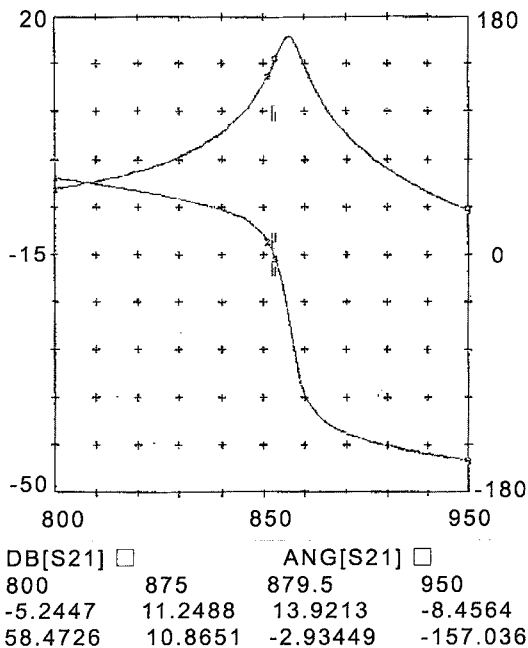


Fig. 4 Simulation result of GSM VCO.

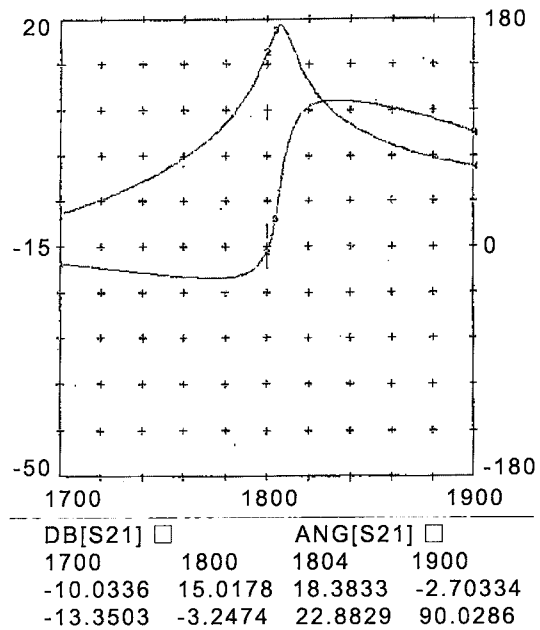


Fig. 5. Simulation result of DCS1800 VCO.

Simulation 결과는 Fig. 4 및 Fig. 5와 같이 GSM (Global System for Mobile Communications) 및 DCS1800(Digital Cordless System) 전달함수의 특성  $S_{21}$ 의 Peak 부분과 전달함수의 위상특성  $P_{21}$ 의 0°부분이 875 MHz 및 1800 MHz부근에서 발진하는 양호한 특성을 얻는 것으로 나타났다.

VCO의 DLY NFD의 Simulation 결과를 나타내었으며, VCO의 특성 가운데 중요한 C/N비는 일반적으로

$$\log(N/C) = 10 \log \left[ \frac{1}{2} \left( \left( \frac{f_0}{2} Q_c f_m \right)^2 + 1 \right) + 1 \right) \left( \frac{f_c}{f_m} + 1 \right) Fk \frac{T}{P_s} \right] \quad (3)$$

으로 표시된다.<sup>5,9)</sup>

식 (3)에서 C/N비를 결정하는 주요 파라미터는  $Q_c$ ,  $F$  및  $P_s$ 로 되며, 세가지 파라미터를 최적화시 C/N비는 양호하게 된다.

**2.3. LPF의 설계**

위상동기 루프내의 잡음을 최소화 하기 위해서는 위상동기 루프의 등가 잡음 대역폭을 최소화 할 필요가 있다. 전류 차지펌프를 사용하는 경우는 보통 수동필터를 사용하여 적은 부품이 소요되므로 저 가격과 특히, 능동소자사용에 수반되는 노이즈가 감소되

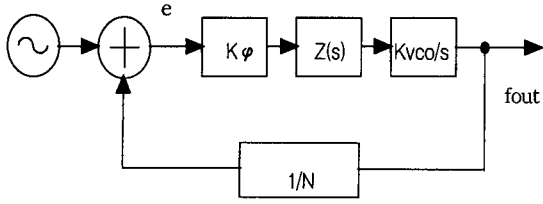


Fig. 6. LPE circuit.

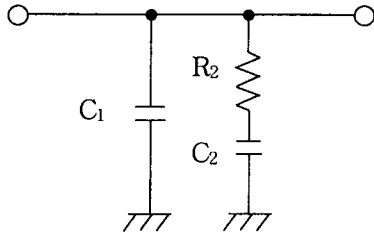


Fig. 7. LPF circuit.

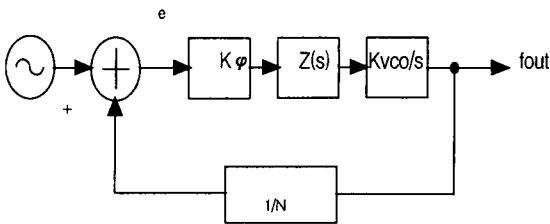


Fig. 8. PLL bode block.

는 효과가 있다. 대신에 능동필터를 사용하면 직류이득이 커서 VCO의 제어범위를 넓힐 수 있다. LPF가 사용된 PLL 각부분의 설명도를 Fig. 6에 나타내었으며, 전달함수 Z(s)에 포함되어 있는 Loop Filter를 Fig. 8에 나타내었다.

전달함수 Z(s)는 다음과 같다.

$$Z(s) = \frac{s(C_2 \cdot R_2) + 1}{s^2(C_1 \cdot C_2 \cdot R_2) + sC_1 + sC_2} \quad (4)$$

전달함수가 영점, 또는 극한으로 되는 시정수는

$$T_2 = R_2 \cdot C_2 \quad (5)$$

$$T_1 = R_2 \cdot \frac{C_1 + C_2}{C_1 + C_2} \quad (6)$$

이 된다.

PLL의 수식 Modeling을 Fig. 8에 나타내었다.

위상비교기와 VCO를 이용한 이득[Kφ와 Kvco] 그리고 Loop Filter의 시정수 [Z(s)]에 대한 Open Bode

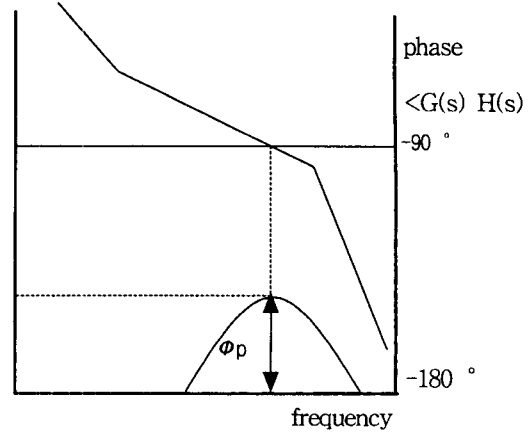


Fig. 9. Open loop transfer function.

선도 해석을 Fig. 9에 나타내었다.

오픈 루프 이득은

$$\frac{\theta_i}{\theta_e} = H(s) \cdot G(s) = \frac{K\phi \cdot Z(s) \cdot K_{vco}}{N_s} \quad (7)$$

폐루프 이득은

$$\frac{\theta_o}{\theta_i} = \frac{G(s)}{[1 + H(s) \cdot G(s)]} \quad (8)$$

이와 같이 하여 3차 Open Loop Gain을 구하면

$$G(s) \cdot H(s)|_{s=jw} = \frac{-K_j \cdot K_{vco}(1+jw \cdot T_2)}{w^2 \cdot C_1 \cdot N \cdot (1+jw \cdot T_1)} \times \frac{T_1}{T_2} \quad (9)$$

식 (9)에 의해 위상을 구해보면

$$\Phi(w) = \tan^{-1}(w \cdot T_2) - \tan^{-1}(w \cdot T_1) + 180^\circ \quad (10)$$

$$\frac{d\phi}{dw} = \frac{T_2}{1+(w \cdot T_2)^2} - \frac{T_1}{1+(w \cdot T_1)^2} = 0 \quad (11)$$

에서 그림 4~7에서 εp를 식(11)에서 계산하면

$$\omega_p = \frac{1}{\sqrt{T_2 \cdot T_1}} \quad (12)$$

이 된다. unity 이득을 식 (9)으로 부터 1 이 되게 하면

$$C_1 = \frac{K_\phi \cdot K_{vco} \cdot T_1}{\omega_p^2 \cdot N \cdot T_2} \left\| \frac{(1+jw_p \cdot T_2)}{(1+jw_p \cdot T_1)} \right\| \quad (13)$$

이 되며, T1 과 T2 는

$$T_1 = \frac{\sec \varphi_p - \tan \varphi_p}{\omega_p} \quad (14)$$

$$T_2 = \frac{1}{\omega_p^2 \cdot T_1} \quad (15)$$

이며

$$C_1 = \frac{T_1}{T_2} \cdot \frac{K_f \cdot K_{vco}}{\omega_p^2 \cdot N} \sqrt{\frac{1 + (\omega_p \cdot T_2)^2}{1 + (\omega_p \cdot T_1)^2}} \quad (16)$$

$$C_2 = C_1 \cdot \left( \frac{T_2}{T_1} - 1 \right) \quad (17)$$

$$R_2 = \frac{T_2}{C_2} \quad (18)$$

가 된다. 3차 Filter 일 때는

$$T_3 = \frac{\sqrt{10^{(atten)/20} - 1}}{(2\pi \cdot f_{ref})^2} \quad (19)$$

$$Atten = 20 \log[(2\pi f_{ref} R_3 C_3)^2 + 1] \quad (20)$$

$$T_3 = R_3 \cdot C_3 \quad (21)$$

$$T_2 = \frac{1}{\omega_c^2 \cdot (T_1 + T_3)} \quad (22)$$

$$\omega_c = \frac{\tan \varphi \cdot (T_1 + T_3)}{[(T_1 + T_3)^2 + T_1 \cdot T_3]}$$

$$\left[ \sqrt{1 + \frac{(T_1 + T_3)^2 + T_1 \cdot T_3}{[\tan \varphi \cdot (T_1 + T_3)]^2}} - 1 \right] \quad (23)$$

이며

$$C_1 = \frac{T_1}{T_2} \cdot \frac{K_f \cdot K_{vco}}{\omega_c^2 \cdot N} \cdot \left[ \frac{(T_1 + T_3)^2 + T_1 \cdot T_3}{(1 + \omega_c^2 \cdot T_1^2)(1 + \omega_c^2 \cdot T_3^2)} \right]^{1/2} \quad (24)$$

이다.

#### 2.4. PLL Module의 제작

PLL Module은 이동통신 부품인 휴대용전화기에 사용되는 것으로 소형화가 필수적이다. 소형화를 실현하기 위해서는 SMD가 필수적이며 Fig. 10과 같이 PCB설계를 하여야 한다. PLL Module은 PLL Control부, LPF 및 VCO 등으로 구성되어있다.

PLL Module의 시제품의 Size는 0.45 cc로 실현하였다.

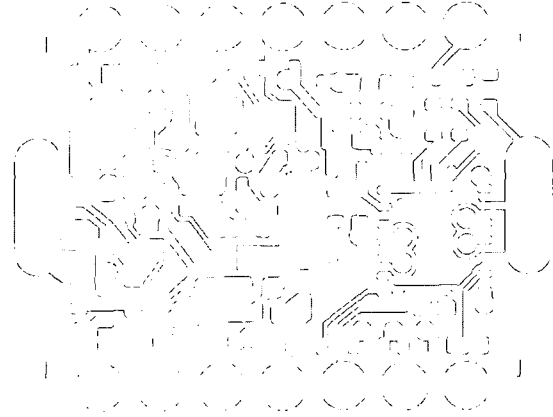


Fig. 10. Dual PLL conductor pattern.

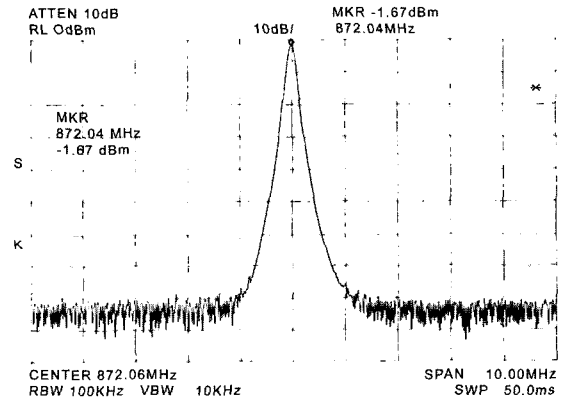


Fig. 11. Result of GSM VCO.

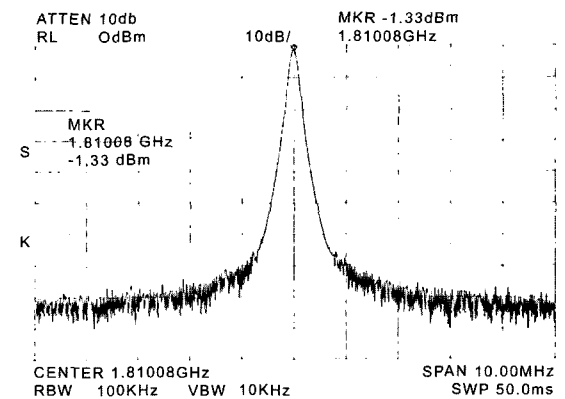


Fig. 12. Result of DCS 1800 MHz.

### 3. 결 론

PLL Module은 에폭시 다층 기판을 사용하여 제작, 실험하였다.

**Table 1.** GSM/DCS PLL (900/1740 MHz) Module Test Result

	Result	UNIT	Object	Result	Result Method	
freq.	RF 1	MHz	857~920	872~946	freq. Result	OK
	RF 2		1710~1770	1686~1800		OK
Output Level	RF 1,2	dBm	0±3	≥-1.67	Power 측정	OK
C/N ratio	RF 1	dBc/Hz	-100 @ 25kHz	-102	C/N	OK
	RF 2		-90 @ 25kHz	-96		OK
Voltage		V	3	3	Voltage	OK
Lock up time	RF 1	sec	600 min	293	Time	OK
	RF 2			573		OK

Test는 Software를 구성하여 PLL Module을 구동하였으며, PLL Module의 특성은 Table 1과 같다. Fig. 11 및 Fig. 12까지 PLL Module의 Test 특성 결과를 나타내었다. PLL Module의 특성 결과는 PLL Module의 규격을 거의 만족하는 우수한 특성이 나왔으며, 차후 상품화에도 좋은 자료로 활용될 것으로 예상된다.

### 참고문헌

1. 전경훈, "CDMA 핵심기술 및 부품기술", 대한전자공학회, 제21권, 제1호, 1994.
2. 이효진, "이동국의 구현방안", 대한전자공학회, 제19권, 제9호, 1992.
3. 김종해, "셀룰라 전화기의 RF부품", 월간전자부품, 1990.
4. 柳翬 健編, "PLL 응용회로", 종합전자출판, 1989.6.
5. Allen A.Sweet, "MIC and MMIC Amplifier and Oscillator Circuit Design", pp. 111-112 Artech House, Inc. , 1990.
6. V.F.Kroupa, "Noise Properties of PLLsystems", IEEE Trans. Comm., vol. COM-30, no.10, pp. 2224-2252, Oct.1982.
7. G.Vendelin, A.M.Pavio and U.L.Rohde, "Microwave Circuit Design", John Wiley and Sons, chap. 8, 1990.
8. 윤종남, 이재영, 최장욱, "전압제어 발진기의 신호대 잡음비에 관한 연구", ISHM-Korea, Vol. 3, No. 2, 1996.
9. 윤종남, 이재영, "PCS용 PLL Module 개발에 관한 연구", ISHM-Korea, 1997.